

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平8-195753

(43) 公開日 平成 8 年 (1996) 7 月 30 日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
7/00	A			
7/08	Z			
		9466-5K	H 0 4 L 11/ 20	D
審査請求 未請求 請求項の数 6 O L (全 20 頁)				

(21) 出願番号 特願平7-5748

(22) 出願日 平成 7 年 (1995) 1 月 18 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

(72) 発明者 中山 幹夫

神奈川県川崎市中原区上小田中 1015 番地  
富士通株式会社内

(74) 代理人 弁理士 遠山 勉 (外 1 名)

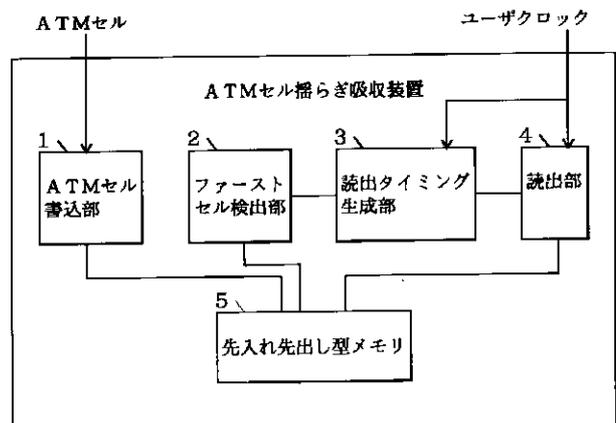
(54) 【発明の名称】 ATMセル揺らぎ吸収装置

(57) 【要約】

【目的】 最初に受信した Nセルの揺らぎに大幅に動作が依存することのない ATMセル揺らぎ吸収装置を提供することを目的とする。

【構成】 先入れ先出し型メモリ 5 と、ATMセルに格納された情報を読み出して先入れ先出し型メモリ 5 に書き込む ATMセル情報書込部 1 と、最初に受信した ATMセルを検出するファーストセル検出部 2 と、ファーストセル検出部 2 で最初に受信した ATMセルを検出した場合に、所定時間経過後に読出し開始を示す読出しタイミングを生成する読出しタイミング生成部 3 と、読出しタイミング生成部 3 で読出しタイミングを生成した場合に、先入れ先出し型メモリ 5 に格納された情報の読出しを開始する読出部 4 とを備えて構成した。

本発明の ATMセル揺らぎ吸収装置の原理構成図



## 【特許請求の範囲】

【請求項1】先入れ先出し型メモリを有し、受信したATMセルの揺らぎを吸収するATMセル揺らぎ吸収装置において、

前記ATMセルに格納された情報を読み出して前記先入れ先出し型メモリに書き込むATMセル情報書込部と、ATMセル揺らぎ吸収装置に電源が投入された場合、前記先入れ先出し型メモリが空の状態データ読み出しが行われた場合、及び前記先入れ先出し型メモリに上限までデータが格納された状態でデータの書き込みが行われた場合のいずれかが生じた後、最初に受信した前記ATMセルを検出するファーストセル検出部と、

前記ファーストセル検出部で最初に受信した前記ATMセルを検出した場合に、所定時間経過後に読み出し開始を示す読み出しタイミングを生成する読み出しタイミング生成部と、

前記読み出しタイミング生成部で読み出しタイミングを生成した場合に、前記先入れ先出し型メモリに格納された情報の読み出しを開始し、ユーザクロックに同期してデータの読み出しを続ける読み出し部とを備えたことを特徴とするATMセル揺らぎ吸収装置。

【請求項2】前記読み出しタイミング生成部は、所定時間の経過を測るために、外部から一定の周期のクロックを入力することを特徴とする請求項1に記載のATMセル揺らぎ吸収装置。

【請求項3】前記ファーストセル検出部で最初に受信した前記ATMセルを検出した場合に、前記読み出しタイミング生成部をリセットすることを特徴とする請求項1に記載のATMセル揺らぎ吸収装置。

【請求項4】前記読み出しタイミング生成部が生成する読み出しタイミングは、前記読み出し部が前記先入れ先出し型メモリのデータを読み出すクロックを生成するためのユーザクロックを、読み出しタイミング生成の所定時間計測用の入力クロックとして使用することを特徴とする請求項1に記載のATMセル揺らぎ吸収装置。

【請求項5】前記読み出しタイミング生成部に入力されるユーザクロックは、ネットワーククロックに基づいて生成されることを特徴とする請求項1に記載のATMセル揺らぎ吸収装置。

【請求項6】前記ATMセルは、一定速度での伝送が要求される情報を格納することを特徴とする請求項1に記載のATMセル揺らぎ吸収装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ATMセル揺らぎ吸収装置に関し、特に、ATMセルの揺らぎを受信側で吸収する装置に関する。

【0002】

【従来の技術】ATMのAAL(ATMアダプテーションレイヤ)1では、音声や画像等を一定の情報速度

で提供するCBR(コンスタントビットレート)サービスが行われている。

【0003】このCBRサービスを実現する仕組みを図面を参照して説明する。図2は、ATMセルの構成を示している。周知のように、ATMセルは、5バイト長のATMヘッダと、48バイト長のSAR-PDU(セルアセンブルリアセンブル-プロトコルデータユニット)とで構成されており、ATMヘッダの最後の1バイトは、ヘッダのビットエラーを検出するためのHEC(ヘッダエラーコントロール)となっている。

【0004】そして、前記SAR-PDUは、AAL1では、図3に示す構成となっている。即ち、最初の1バイトは、セルの送出順序を格納するSARヘッダとして使用し、残りの47バイトは、音声や画像等の情報を格納する領域であるSAR-SDU(セルアセンブルリアセンブル-サービスデータユニット)として使用する。そして、前記SARヘッダに格納された値を確認することにより、受信側はセル紛失を検出する。

【0005】前記SARヘッダは、図4に示す構成となっている。即ち、MSB側に位置する4ビット長のSNF(シーケンスナンバーフィールド)と、LSB側に位置する4ビット長のSNPF(シーケンスナンバープロテクトフィールド)とで構成されている。

【0006】そして、SNFは、CS(コンバージョンサブレイヤ)を示す1ビット長の領域と、0から7までのいずれかの数字であるSN(シーケンスナンバー)を格納する3ビット長の領域とで構成されている。SNは、サイクリックにインクリメントされ、その値がセル送出順序に相当する。

【0007】また、SNPFは、SNのエラー検出・訂正に使用されるCRC(サイクリックリダンダンシチェック)演算の値を格納する3ビット長の領域と、偶数パリティであるEP(イーブンパリティ)を示す1ビット長の領域とで構成されている。なお、CRCは、XをSNの値として、 $X^3 + X + 1$ で生成される。

【0008】ところで、ATM交換機では、ATMセルをスイッチングバッファに蓄えた後に読み出して目的地へルーティングするが、読み出す速度が一定でないため、揺らぎが生じることがある。

【0009】また、伝送遅延が生じたり、輻輳が発生してATMセルが紛失した場合にも、揺らぎが生じることがある。このようなATMセルの揺らぎ吸収を目的とする従来の技術の一例は、図5に示すように、ユーザクロック分周部10、FIFO部70、ATMセル分解部20、セルカウンタ部30、リードクロック生成部40、AND回路50、FIFOリセット生成部60及びセレクタ部80を備えて構成されている。

【0010】以下、各構成要素を説明する。

(イ)ユーザクロック分周部10

ユーザクロック分周部10は、ネットワーククロック

(例えば、 $155.52 / 8 = 19.44$  MHz) を分周して生成したユーザクロック UC を出力する。

【0011】(ロ) FIFO部70

FIFO部70は、ATMセル分解部20から入力した受信情報RIを所定長蓄積する。

【0012】(ハ) ATMセル分解部20

ATMセル分解部20は、ATMセルから47バイトの情報部(SAR-SDU)を抽出し、FIFO部70に書き込む。

【0013】(ニ) セルカウンタ部30

セルカウンタ部30は、FIFO部70に書き込まれたデータ量をセル単位(47バイト単位)でカウントし、Nセル(Nは整数)が書き込まれた後、読み出し開始のタイミングRDSTをリードクロック生成部40に出力する。

【0014】(ホ) リードクロック生成部40

リードクロック生成部40は、ユーザクロックUCと同一のリードクロックRCをセクタ部80に出力する。

【0015】(ヘ) FIFOリセット生成部60

FIFOリセット生成部60は、FIFO部70をリセットする信号XRSTの生成に使用されるXRSAを出力する。

【0016】FIFOリセット生成部60は、FIFO部70が空(エンブティ)の状態です読み出しがされた場合や満杯(フル)になった状態で書き込みがされた場合に、リセットパルスを生成して、セルカウンタ部30とFIFO部70をリセットし、パワーオンリセットと同様な動作を開始させる。

【0017】(ト) AND回路50

AND回路50は、パワーオンリセットXPORとXRSAの論理積をとり、XRSTを出力する。

【0018】(チ) セクタ部80

セクタ部80は、揺らぎ吸収に必要なセル数NがFIFO部70に書き込まれた時に、ユーザクロックUCと同一のFRCをFIFO部70のREADに出力する。そして、FIFO部70から読み出しが開始されると、ユーザ情報UIを一定速度で再生開始する。それ以降読み出しは継続される。

【0019】

【発明が解決しようとする課題】前記従来の揺らぎ吸収技術では、パワーオンリセット後、又はFIFO部70がエンブティあるいはフルとなってリセットされた後の最初のNセルが揺らぎにより間隔が短く受信された場合に、セル読み出し開始時間は、揺らぎが小さい場合に比べて早くなる。ATMセルの送信側は、一定時間で送出しているため、間隔が短いセルがきた分だけ、その後、セル間隔の長いセルが受信される可能性が高くなり、FIFO部70がエンブティになりやすい問題がある。図6は、この問題を具体的に示す図である。

【0020】図6の上段、中段及び下段は、それぞれ送

信セルの送信間隔と受信セルの到達間隔、受信セルの読出間隔及びFIFO部70に蓄積されているセル容量を示している。送信セルは、平均値がTで、分散が小さな時間間隔で送信されているが、実際にはATM交換機内のゆらぎにより、その到達時間間隔 $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_i$ となっている。また、受信セルは一定のタイミングTで読み出される。そして、FIFO部70は、4セル分格納する容量を有し、 $N=2$ 、即ち、2セルを受信してからデータ読み出しを開始する。このような条件下で、

3セル分読んだ時点でFIFO部70がエンブティとなり、エンブティリセットが発生する。

【0021】また、前記従来の揺らぎ吸収技術では、パワーオンリセット後、又はFIFO部70がエンブティあるいはフルとなってリセットされた後の最初のNセルが揺らぎにより間隔が長く受信された場合に、セル読み出し開始時間は、揺らぎが小さい場合に比べて遅くなる。ATMセルの送信側は、一定時間で送出しているため、間隔が長いセルがきた分だけ、その後、セル間隔の短いセルが受信される可能性が高くなり、FIFO部70がフルになりやすくなる問題がある。図7は、この問題を具体的に示す図である。

【0022】図7の上段、中段及び下段は、それぞれ送信セルの送信間隔と受信セルの到達間隔、受信セルの読出間隔及びFIFO部70に蓄積されているセル容量を示している。送信セルは、平均値がTで、分散が小さな時間間隔で送信されているが、実際にはATM交換機内のゆらぎにより、その到達時間間隔 $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_i$ となっている。また、受信セルは一定のタイミングTで読み出される。そして、FIFO部70は、4セル分格納する容量を有し、 $N=2$ 、即ち、2セルを受信してからデータ読み出しを開始する。このような条件下で、2セル分読んだ時点でFIFO部70がフルとなり、フルリセットが発生する。

【0023】更に、前記従来の揺らぎ吸収技術では、ATMセルの紛失によるダミーデータの挿入が行われた場合に、受信セルが少ない分だけ読み出し開始が遅延してしまい、FIFO部70がフルになりやすくなるという問題がある。図8は、この問題を具体的に示す図である。

【0024】図8の上段、中段及び下段は、それぞれ送信セルの送信間隔と受信セルの到達間隔、受信セルの読出間隔及びFIFO部70に蓄積されているセル容量を示している。送信セルは、平均値がTで、分散が小さな時間間隔で送信されているが、実際にはATM交換機内のゆらぎにより、その到達時間間隔 $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_i$ となっている。また、受信セルは一定のタイミングTで読み出される。そして、FIFO部70は、4セル分格納する容量を有し、 $N=2$ 、即ち、2セルを受信してからデータ読み出しを開始する。そして、 $SN=1$ 、2及び3のセルが紛失したものと仮定する。このような条件下で、5セル分読んだ時点でFIFO部70がフルと

なり、フルリセットが発生する。

【0025】ここまでは、Nの値を2として説明したが、Nの値はシステムによっては2から100程度の値となる。ところで、FIFO部70の容量は、エンプティになる確率とフルになる確率をほぼ同じにする目的とハード量を削減する目的のため、一般には、Nの約2倍の値とする。ここで、Nを小さな値に想定すると、前記のような問題が発生して正常に動作しなくなる恐れがあるため、ある程度大きな値のNを想定することが好ましいが、このことはFIFOの容量の増加を意味し、ハード量が増加するとともにコスト面でも好ましくない。

【0026】本発明は、このような事情に鑑みてなされたもので、最初に受信したNセルの揺らぎに大幅に動作が依存することのないATMセル揺らぎ吸収装置を提供することを課題とする。

【0027】

【課題を解決するための手段】

《本発明のATMセル揺らぎ吸収装置》本発明のATMセル揺らぎ吸収装置は、前述した課題を解決するため、先入れ先出し型メモリ5を有し、受信したATMセルの揺らぎを吸収するATMセル揺らぎ吸収装置において、ATMセル書込部1、ファーストセル検出部2、読出タイミング生成部3及び読出部4を必須構成要素として構成されている（請求項1に対応）。この構成を、以下、本発明の第1の構成と呼ぶ。図1は、第1の構成に対応した図、即ち原理構成図である。

【0028】（ATMセル書込部1）ATMセル書込部1は、前記ATMセルに格納された情報を読み出して前記先入れ先出し型メモリ5に書き込む。ここで、読み出される情報は、ATMセルのSAR-SDU領域に格納されている（図3参照）。

【0029】（ファーストセル検出部2）ファーストセル検出部2は、ATMセル揺らぎ吸収装置に電源が投入された場合、前記先入れ先出し型メモリ5が空の状態データ読出しが行われた場合、及び前記先入れ先出し型メモリ5に上限までデータが格納された状態でデータの書込みが行われた場合のいずれかが生じた後、最初に受信した前記ATMセルを検出する。

【0030】（読出タイミング生成部3）読出タイミング生成部3は、前記ファーストセル検出部2で最初に受信した前記ATMセルを検出した場合に、所定時間経過後に読出し開始を示す読出タイミングを生成する。

【0031】（読出部4）読出部4は、前記読出タイミング生成部3で読出タイミングを生成した場合に、前記先入れ先出し型メモリ5に格納された情報の読出しを開始し、ユーザクロックに同期してデータの読出しを続ける。

《本発明の第1の構成に対する限定的構成》本発明の第1の構成に対して、以下の限定的構成を設けてもよい。

【0032】即ち、前記読出タイミング生成部3は、所

定時間の経過を測るために、外部から一定の周期のクロックを入力することである（請求項2に対応）。この構成を、以下、本発明の第2の構成と呼ぶ。

【0033】また、前記ファーストセル検出部2で最初に受信した前記ATMセルを検出した場合に、前記読出タイミング生成部3をリセットすることである（請求項3に対応）。この構成を、以下、本発明の第3の構成と呼ぶ。

【0034】更に、前記読出タイミング生成部3が生成する読出タイミングは、前記読出部4が前記先入れ先出し型メモリ5のデータを読み出すクロックを生成するためのユーザクロックを、読出しタイミング生成の所定時間計測用の入力クロックとして使用することである（請求項4に対応）。この構成を、以下、本発明の第4の構成と呼ぶ。

【0035】そして、前記読出タイミング生成部3に入力されるユーザクロックは、ネットワーククロックに基づいて生成することである（請求項5に対応）。この構成を、以下、本発明の第5の構成と呼ぶ。

【0036】更に、前記ATMセルは、一定速度での伝送が要求される情報を格納することである（請求項6に対応）。この構成を、以下、本発明の第6の構成と呼ぶ。

【0037】

【作用】本発明の第1、第2、第3、第4、第5及び第6の構成によれば、先入れ先出し型メモリ5に格納されたデータは、読出タイミング生成部3で生成された読出タイミングが所定時間経過した後に、読出部4により読み出されるようになる。

【0038】

【実施例】以下、本発明のATMセル揺らぎ吸収装置の実施例を図面を参照して説明する。

【0039】《実施例のATMセル揺らぎ吸収装置が用いられるATMシステム》本実施例のATMセル揺らぎ吸収装置は、ATM装置に内蔵される形で設けられ、そのATM装置は、例えば、図9に示すようなATMシステムに用いられる。

【0040】なお、ATMシステムの伝送速度は、例えば155.52Mbps（19.44Mbit/s）であり、この伝送速度で伝送されるATMセルは音声や画像等のCBRデータを格納している。以後、64Kbps（8Kbit/s）の音声データを例として説明する。

【0041】以下、図9のATMシステムの構成要素を説明する。

（イ）第1のATM装置101

第1のATM装置101は、一定の情報速度で再生することが好ましいCBRデータをATMセルに格納して出力する。説明のため、図9では、ATM装置101は送信側とする。なお、CBRデータは、具体的には、音声、画像等の情報である。

## (ロ) ATM交換機102

ATM交換機102は、第1のATM装置101に接続し、この第1のATM装置101から入力したATMセルを図示していないバッファに蓄えた後に読み出して目的対地へルーティングする。

## (ハ) 第2のATM装置103

第2のATM装置103は、ATM交換機102に接続し、このATM交換機102から入力したATMセルに格納されたCBRデータを出力する。この第2のATM装置103は、ATMセル揺らぎ吸収装置を内蔵する。

【0042】なお、システムによっては、第2のATM装置103がATM交換機102に内蔵されることがある。このような場合には、ATM交換機102にATMセル揺らぎ吸収装置が内蔵されることになる。

【0043】《ATM揺らぎ吸収装置》まず、以下の説明において参照する図面中で用いられている記号とその名称について主なものを説明する。

【0044】(記号とその名称) 記号とその名称を、以下に、記号：名称の形式で示す。

ATMDT：ATMデータ、CHECK：セルクロック、CKI：クロックインプット、DT：データ、EMPTY：エンブティ、FULL：フル、NC：ネットワーククロック、PG：ペイロードゲート、POR：パワーオンリセット、RC：リードクロック、RDST：リードスタート、RDSTP：リードストップ、RI：受信情報、RST：リセット、SN：シーケンスナンバー、SNINFO：シリアルナンバーシーケンス情報、SNRD：シーケンスナンバーリード、UC：ユーザクロック、UI：ユーザ情報、UICK：ユーザ情報クロック、WC：ライトクロック。

【0045】なお、記号の先頭に付いている"X"は負論理で動作することを意味する。又、記号の先頭に付いている"F"及び記号の末尾に付いている"A"並びに数字は、類似する他の記号の名称から区別するための添字を意味する。

【0046】(構成要素の説明) 図10は、本実施例のATM揺らぎ吸収装置の構成図である。ATM揺らぎ吸収装置は、同図に示すように、ユーザクロック分周部10、ATMセル分解部20、セルカウンタ部30、リードクロック生成部40、FIFOリセット生成部60、FIFO部70、セレクタ部80、ファーストセル検出部90及びAND回路50を備えて構成されている。

【0047】以下、各構成要素を説明する。

〔ユーザクロック分周部10〕ユーザクロック分周部10は、ネットワーククロックNCを利用して、ATM揺らぎ吸収装置内で使用されるパルス信号であるユーザクロックUCを生成する回路であり、図11に示すように、CLK入力部と、D出力部と、XR入力部とを有している。

【0048】CLK入力部は、ネットワーククロックNC

Cを入力する。ネットワーククロックNCは、例えば、155.52MHzを8分周した19.44MHzのパルス波である。

【0049】D出力部は、64Kbsの音声データの場合の例では、ネットワーククロックNCを2430分周した8kHzのユーザクロックUCを出力する。XR入力部は、ユーザクロック分周部10自体をリセットするパワーオンリセットXPORを入力する。

【0050】図12に、ネットワーククロックNCがX(=19.44MHz/8kHz=2430)分周されてユーザクロックUCが作られる様子を示す。

〔ATMセル分解部20〕ATMセル分解部20は、受信したATMセルから47バイトの情報部(SAR-SDU)を抽出しFIFO部70に書き込む回路であり、図13に示すように、AND回路21と、AND回路22-0~22-7と、ATMヘッダ検出部23とを有している。

【0051】AND回路21は、ネットワーククロックNCとATMヘッダ検出部23から出力されるペイロードゲートPGとの論理積演算を行い、演算値をライトクロックWCとして出力する。なお、ペイロードゲートPGとは、ATMセルのATMヘッダとSARヘッダを処理している時に"L"で、SAR-SDUを処理している時に"H"となる信号のことである。

【0052】AND回路22-0~22-7は、それぞれ、ATMデータATMDT0~7とペイロードゲートPGとの論理積演算を行い、演算値を受信情報RI0~7として出力する。なお、ATMデータATMDT0~7は、ATMセルを構成する各バイトのビット0~7に対応した値である。

【0053】ATMヘッダ検出部23は、ATMセルの先頭の5バイト部分を占めるATMヘッダ(図1参照)を検出する回路であり、図14に示すように、D-FF23a、ヘッダ値格納部23b、コンパレータ23c、D-FF23d、AND回路23e、コンパレータ23f、CRC演算部23g、47カウンタ23h、D-FF23i、D-FF23j、D-FF23k、D-FF23l、D-FF23m、D-FF23n、D-FF23o及びSN-FIFO23pを備えている。

【0054】以下、前記構成要素を説明する。

(イ) D-FF23a

D-FF23aは、コンパレータ23fのCから出力される信号を、ネットワーククロックNCによってラッチし、ヘッダチェックCHKとしてQ出力する。

【0055】(ロ) ヘッダ値格納器23b

ヘッダ値格納器23bは、4バイト×8ビット、即ち32ビットのヘッダ値を格納する。図14中、Hの次の数字は、1~4のいずれのバイトであるかを表し、その次の数字は、バイト中のビット位置を表す。

【0056】(ハ) コンパレータ23c

コンパレータ 23 c は、2つの32ビット入力部 A 1 ~ 3 2 及び B 1 ~ 3 2 を有し、それらの値を比較して一致すれば C 出力部に " H " を出力し、一致しなければ

" L " を出力する。なお、入力部 A 1 ~ 3 2 には、ヘッダ値格納器 23 b が格納するヘッダ値が入力され、入力部 B 1 ~ 3 2 には、D - F F 23 k ~ 23 n から出力される Q 出力である D 4 7 ~ D 1 0 が入力される。

【0057】(ニ) D - F F 23 d

D - F F 23 d は、コンパレータ 23 c の C 出力部から出力される信号を、D - F F 23 a から出力されるヘッダチェック H C K によってラッチし、ヘッダが O K が否かを示すヘッダオーケー H O K として Q 出力する。

【0058】(ホ) AND 回路 23 e

AND 回路 23 e は、D - F F 23 d から出力されるヘッダオーケー H O K と 4 7 カウンタ 23 h の出力の反転値との論理積演算を行い、演算値をペイロードゲート P G として出力する。

【0059】(ヘ) コンパレータ 23 f

コンパレータ 23 f は、2つの8ビット入力部 A 7 ~ 0 及び B 7 ~ 0 を有し、それらの値を比較して一致すれば C 出力部に " H " を出力し、一致しなければ " L " を出力する。なお、入力部 A 7 ~ 0 には、C R C 演算部 23 g の出力値が入力され、入力部 B 7 ~ 0 には、D - F F 23 j の Q 出力である D 5 7 ~ 5 0 が入力される。

【0060】(ト) C R C 演算部 23 g

C R C 演算部 23 g は、D - F F 23 k ~ 23 n から出力される Q 出力 (全 3 2 ビット) を入力し、 $X^i + X + 1$  の C R C 演算を行って、その演算値を出力する。

【0061】(チ) 4 7 カウンタ 23 h

4 7 カウンタ 23 h は、ネットワーククロック N C を入力し、N C 中のパルスを数えて、4 7 個数える毎に 4 7 個数えたことを示す 4 7 C N T を出力する。この 4 7 カウンタ 23 h は、D - F F 23 a から出力されるヘッダチェック H C K によってリセットされる。

【0062】(リ) D - F F 23 i

D - F F 23 i は、ATM データ A T M D T 0 ~ 7 を、ネットワーククロック N C を反転させた値によってラッチし、D 6 7 ~ D 6 0 として Q 出力する。

【0063】(ヌ) D - F F 23 j

D - F F 23 j は、D - F F 23 i から Q 出力された D 6 7 ~ D 6 0 を、ネットワーククロック N C を反転させた値によってラッチし、D 5 7 ~ D 5 0 として Q 出力する。

【0064】(ル) D - F F 23 k

D - F F 23 k は、D - F F 23 j から Q 出力された D 5 7 ~ D 5 0 を、ネットワーククロック N C を反転させた値によってラッチし、D 4 7 ~ D 4 0 として Q 出力する。

【0065】(ヲ) D - F F 23 l

D - F F 23 l は、D - F F 23 k から Q 出力された D

4 7 ~ D 4 0 を、ネットワーククロック N C を反転させた値によってラッチし、D 3 7 ~ D 3 0 として Q 出力する。

【0066】(ワ) D - F F 23 m

D - F F 23 m は、D - F F 23 l から Q 出力された D 3 7 ~ D 3 0 を、ネットワーククロック N C を反転させた値によってラッチし、D 2 7 ~ D 2 0 として Q 出力する。

【0067】(カ) D - F F 23 n

D - F F 23 n は、D - F F 23 m から Q 出力された D 2 7 ~ D 2 0 を、ネットワーククロック N C を反転させた値によってラッチし、D 1 7 ~ D 1 0 として Q 出力する。

【0068】(ヨ) D - F F 23 o

D - F F 23 o は、D - F F 23 i から Q 出力された D 6 7 ~ D 6 0 を、D - F F 23 a から出力されるヘッダチェック H C K によってラッチし、S A R ヘッダとして Q 出力する。

【0069】(タ) S N - F I F O 23 p

S N - F I F O 23 p は、先入れ先出し型メモリであり、D - F F 23 o から出力された S A R ヘッダの 6 ~ 4 ビットを D I N 部から入力し、W R 部に入力される D - F F 23 a のヘッダチェック H C K の反転のシーケンスナンバライト S N W R の立ち上がりで蓄積する。そして、R D 部にシーケンスナンバーリード S N R D 信号が入力された時に、蓄積していたデータを、D O U T 部からシリアルナンバーシーケンス情報 S N I N F O として出力する。

【0070】なお、D - F F 23 o から出力された S A R ヘッダの 6 ~ 4 ビットのみを入力するのは、A T M セルのシーケンスナンバーが 3 ビットで表されるからである。次に、A T M セル分解部 20 の動作と A T M ヘッダ検出部 23 の動作を図 15 を参照して説明する。

【0071】まず、入力された A T M セルの先頭から 1 バイト目が、ネットワーククロック N C の立ち下がりに同期してデータが切り出されて D 6 7 ~ 6 0 のデータとなる。次の N C の立ち下がりに同期して、D 6 7 ~ 6 0 のデータが D 5 7 ~ 5 0 のデータとなると共に、A T M セルの 2 バイト目が切り出され D 6 7 ~ 6 0 のデータとなる。そして、次の N C の立ち下がりに同期して、D 5 7 ~ 5 0 のデータが D 4 7 ~ 4 0 のデータになると共に、D 6 7 ~ 6 0 のデータが D 5 7 ~ 5 0 のデータになり、A T M セルの 3 バイト目が切り出され D 6 7 ~ 6 0 のデータとなる。このような動作が繰り返されて、D 1 7 ~ 1 0 に A T M セルの先頭から 1 バイト目が格納された時、A T M ヘッダ 4 バイトと H E C がチェックされ、正当ならば、ヘッダチェック H C K 信号がオンになる。さらに、D 1 7 ~ 1 0、D 2 7 ~ 2 0、D 3 7 ~ 3 0 及び D 4 7 ~ 4 0 に格納された A T M ヘッダとヘッダ値格納部 23 b の値が比較され、受信すべき A T M セルと判

断された場合に、ヘッダオーケーHOKとペイロードゲートPGがオンになる。

【0072】ヘッダオーケーHOKがオンになると、ATMセルの情報部(SAR-SDU)47バイトが計数され、47バイト計数されたところで、ペイロードゲートPGがオフになる。

【0073】また、ペイロードゲートPGがオンの間、ライトクロックWCが生成されて、受信情報RI7~0が、FIFO部70に格納される。

〔セルカウンタ部30〕セルカウンタ部30は、ファーストセル検出部90が最初のATMセルを検出し出力されるリセット信号XRSによりリセットされた後、所定時間をATMセルゆらぎがない場合のセル間隔(47バイト単位)でカウントする回路であり、図16に示すように、1/47カウンタ31と、1/Nカウンタ32と、D-FF33と、D-FF34とを有している。

【0074】1/47カウンタ31は、クロックインパルスCKIを入力するCLK入力部を有し、CKI中のパルスを数えて、47個数える毎に47個数えたことを示すセルクロックCECKをCO部から出力する。クロックインパルスCKIにはユーザクロックUCが接続されているので、セルクロックCEは、ATMセルゆらぎがない場合のセル間隔を示している。なお、1/47カウンタ31は、リセット信号XRSによってリセットされる。

【0075】1/Nカウンタ32は、セルクロックCECKを入力するCLK入力部を有し、CECK中のパルスを数えて、N個数えるごとにN個数えたことを示す信号36をCO部から出力する。なお、1/Nカウンタ32は、リセット信号XRSによってリセットされる。

【0076】D-FF33は、"H"に保持された信号を、1/Nカウンタ32から出力される信号36によってラッチし、信号37として出力する。D-FF33は、リセット信号XRSによってリセットされる。

【0077】D-FF34は、D-FF33から出力されるQ出力を、セルクロックCECKを反転させた値によってラッチし、信号39として出力する。AND回路35は、D-FF33から出力された信号37とD-FF34から出力された信号39との論理積演算を行い、演算値をリードスタートRDSTとして出力する。

【0078】図17に、セルカウンタ部30の動作を示す。まず、リセット信号XRSが"L"から"H"に変化した後に、クロックインパルスCKIが47個発生すると、セルクロックCECKがN個発生する。この動作が繰り返されてセルクロックCECKがN個発生すると、リードスタートRDSTが1個発生する。以後、リセット信号XRSに下向きパルスが入力されない限りRDSTは発生しない。

【0079】〔リードクロック生成部40〕リードクロック生成部40は、図18に示すように、D-FF4

1、D-FF42、D-FF43、3ビット引き算器44、3ビット引き算器45、D-FF46、カウンタ47、デコーダ48、AND回路49a、AND回路49b、AND回路49cを備えて構成されている。

【0080】(イ)D-FF41

D-FF41は、"H"に保持された信号を、リードスタートRDSTによってラッチし、リードオーケーRDOKAとしてQ出力する。D-FF41は、リセット信号XRSによってリセットされる。

10 【0081】(ロ)D-FF42

D-FF42は、リードオーケーRDOKAを、ユーザクロックUCによってラッチし、リードオーケーRDOKとして出力する。D-FF42は、リセット信号XRSによってリセットされる。

【0082】(ハ)D-FF43

D-FF43は、3ビットのシリアルナンバーシーケンス情報SNINFOを、AND回路49cから出力されるシリアルナンバーリードSNRDによってラッチし、NPRVとしてQ出力する。なお、シリアルナンバーシーケンス情報SNINFOは、最新に入力されたATMセルのシリアルナンバーに相当し、NPRVは、直前に入力されたATMセルのシリアルナンバーに相当する。D-FF43は、リセット信号XRSによってリセットされる。

【0083】(ニ)3ビット引き算器44

3ビット引き算器44は、シリアルナンバーシーケンス情報SNINFOからNPRVを減算し、演算結果を出力する。

【0084】(ホ)3ビット引き算器45

30 3ビット引き算器45は、3ビット引き算器44から出力された演算結果から1を減算し、演算結果をシリアルナンバー差分DSNとして出力する。

【0085】(ヘ)D-FF46

D-FF46は、AND回路49cから出力されたシリアルナンバーリードSNRDを、ユーザクロックUCを反転させた値によってラッチする。

【0086】(ト)カウンタ47

40 カウンタ47は、3ビット引き算器45から出力されたシリアルナンバー差分DSNを入力し、AND回路49bから出力された値によって1ずつ減算し、演算結果をシリアルナンバーカウントSNCNTとして出力する。なお、カウンタ47は、リセット信号XRSによってリセットされる。

【0087】(チ)デコーダ48

デコーダ48は、カウンタ47から出力されたSNCNTをデコードし、SNCNTが"000"であった時"1"を出力する。この出力を反転させたものは、リードストップXRDSTPとなる。

【0088】(ヌ)AND回路49a

50 AND回路49aは、ユーザクロックUCとD-FF4

2から出力されるリードオーケーRDOKとの論理積演算を行い、演算結果をリードクロックRCとして出力する。

【0089】(ル)AND回路49b

AND回路49bは、D-FF41から出力されるRDOKAとセルクロックCECKとの論理積演算を行い、演算結果をシリアルナンバーリードSNRDAとして出力する。

【0090】(ヲ)AND回路49c

AND回路49cは、リードストップXR DSTPとシリアルナンバーリードSNRDAとの論理積演算を行い、演算結果をシリアルナンバーリードSNRDとして出力する。

【0091】図19に、リードクロック生成部40の動作を示す。まず、リセット信号XRSが" L "から" H "に変化した後に、リードスタートパルスRDSTが入ると、D-FF41でパルスが保持された後、D-FF42で位相合わせされて、リードオーケーRDOKが負から正に変化する。このリードオーケーRDOKとユーザクロックUCとの論理積演算により、リードクロックRCが生成される。

【0092】図20に、セル紛失時のATMヘッダ検出部23とリードクロック生成部40の動作を示す。また、図21に、リードクロック生成部40とATMヘッダ検出部23の動作を示す。図20及び図21は、共通の動作を示す部分が多いので、以下まとめて説明する。

【0093】ここでは、シリアルナンバーSNが0から7のATMセルのうち、SNが1、2及び3のATMセルが紛失しているものとする。また、N=2、即ちシリアルナンバーデータSNDTが0になってから2単位の読出タイミングが経過した後、データの読出を行うものとする。

【0094】まず、SNDTが0になってから2単位の読出タイミングが経過した後、FIFO部70からのデータ読出を指示するRDSTパルスが発生する(図21参照)と共に、SNRDパルスが発生する。この時SN=0のATMセルが読まれるので、SNINFOは0になる。次に、SNRDパルスが発生したとき、SN=4のATMセルが読まれるので、SNINFOは4となる。このSNINFOは、以後SN=5、6・・・のデータが読み込まれてから2単位の読出タイミング分遅れて、5、6・・・の値をとる。

【0095】SNINFOの値は、SNCNTに反映されSNCNTが0から3に変化したところで、FIFO部70からのデータ読出中止を指示するXRSTPパルスが発生(" H "から" L "になる)する。

【0096】そして、読出タイミングが1単位経過する毎にSNINFOの値が1ずつ減算され、0になったところで、XRSTPパルスは、" L "から" H "に変化し、FIFO部70から読出が続行されるようになる。

【0097】〔ファーストセル検出部90〕ファーストセル検出部90は、XRSを生成する回路であり、図22に示すように、D-FF91、D-FF92及びAND回路93を有している。

【0098】D-FF91は、ATM揺らぎ装置のリセット直後のライトクロックWCを保持する回路であり、" H "に保持された信号を、ライトクロックWCによってラッチし、信号a1をQ出力する。D-FF91は、リセット信号XRSTによってリセットされる。

10 【0099】D-FF92は、信号a1を微分してパルス状の信号とする回路であり、信号a1を、ライトクロックWCによってラッチし、反転信号a2を出力する。D-FF92は、リセット信号XRSTによってリセットされる。

【0100】AND回路93は、信号a1と信号a2との論理積演算を行い、演算結果の反転値をXRSとして出力する。図23に、ファーストセル検出部90の動作を示す。

20 【0101】まず、リセット信号XRSTにより、D-FF91及びD-FF92がリセットされる。次に、ライトクロックWCが" L "から" H "に立ち上がるのと同期して、信号a1が" L "から" H "に変化する。この後、信号a1は、リセット信号XRSTが入るまで、ライトクロックWCの値にかかわらず、" H "を保持する。

【0102】そして、信号a1が" L "から" H "に立ち上がるのと同期してXRSが" H "から" L "に変化し、ライトクロックWCが" L "から" H "に立ち上がるのと同期して、" L "から" H "に変化する。

30 【0103】〔FIFOリセット生成部60〕FIFOリセット生成部60は、FIFO部70が空の状態を読まれた場合やFIFO部70が満杯になった場合に、FIFO部70をリセットする信号XRSAを生成する回路であり、図24に示すように、D-FF61、AND回路62、D-FF63、D-FF64及びAND回路65を有している。

40 【0104】D-FF61は、XEMPTYを反転した値を、FIFOリードクロックFRCによってラッチし、反転したQ出力の信号d1を出力する。反転したQ出力となるのは、Qの前にXが付いているからである。D-FF61は、パワーオンリセットXPORによってリセットされる。ここで、XEMPTYは、FIFO部70が空の状態を読まれた場合に、FIFO部70から発生される信号である。

【0105】AND回路62は、信号d1とXFULLとの論理積演算を行い、演算結果の反転値を出力する。ここで、XFULLは、FIFO部70が満杯になった場合に、FIFO部70から発生される信号である。

50 【0106】D-FF63は、AND回路62から出力された値を、ネットワーククロックNCによってラッチ

し、Q出力の信号d2を出力する。D-FF63は、パワーオンリセットXPORによってリセットされる。

【0107】D-FF64は、信号d2を、ネットワーククロックNCによってラッチし、反転したQ出力信号d3を出力する。D-FF64は、パワーオンリセットXPORによってリセットされる。

【0108】AND回路65は、信号d2とd3との論理積演算を行い、演算結果の反転値をXRSAとして出力する。図25に、FIFOリセット生成部60の動作を示す。

【0109】同図に示すように、EMPTYの反転値がFRCによってラッチされ、信号d1が反転されたQ出力となっていることがわかる。次に、信号d1又はXFULLが"L"で、かつネットワーククロックNCが"L"から"H"に立ち上がるのと同期して、信号d2が"L"から"H"に変化する。また、信号d1及びXFULLの両方が"H"で、かつネットワーククロックNCが"L"から"H"に立ち上がるのと同期して、信号d2が"H"から"L"に変化することがわかる。

【0110】そして、信号d2とd3との論理積演算の反転値がXRSAとして出力される。

〔FIFO部70〕FIFO部70は、ATMセル分解部20から入力した受信情報RIを所定長蓄積する回路であり、DIN部、DOU T部、WRITE入力部及びREAD入力部を備えている。

【0111】DIN部は、蓄積するデータを入力する。DOU T部は、蓄積していたデータを出力する。WRITE部は、データを蓄積する指示を入力する。

【0112】READ部は、蓄積していたデータを出力する指示を入力する。図26に、FIFO部70の動作を示す。まず、リセット信号XRSが"L"から"H"に変化した後に、受信情報RIがライトクロックWCに同期してDIN部に入力される。このDIN部に入力されたデータは、蓄積データFDTとなる。

【0113】そして、FIFOリードクロックFRCが"L"から"H"に変化すると、蓄積データFDTがDOU T部から出力される。

〔セクタ部80〕セクタ部80は、FRCをFIFO部70のREADに出力する一方、FIFO部70から読み出しが開始されると、ユーザ情報UIを一定速度で再生開始する回路である、図27に示すように、アイドルデータ格納部81、セクタ82及びAND回路83を有している。

【0114】アイドルデータ格納部81は、紛失したATMセルの代わりとなる代替データADTを格納するもので、ここでの代替データADTは、オール0にされている。なお、代替データADTは、他の値をとるようになっていても良い。

【0115】セクタ82は、FIFO部70から読み出された蓄積データFDTと、アイドルデータ格納部8

1から読み出された代替データADTとの切替を行う〔AND回路50〕AND回路50は、FIFOリセット生成部60から出力されるXRSAとパワーオンリセットXPORとの論理積演算を行い、演算結果をXRS Tとして出力する。このXRS Tは、FIFO部70及びファーストセル検出部90に供給される。

【0116】《本実施例の効果》次に、図29から31を参照して、本実施例の効果の説明する。

(最初のNセルがATMセル揺らぎにより間隔が短く受信された場合)図29は、最初のNセルがATMセル揺らぎにより間隔が短く受信された場合の効果の説明図である。

【0117】図29の上段、中段及び下段は、それぞれ送信セルの送信間隔と受信セルの到達間隔、受信セルの読出間隔及びFIFO部70に蓄積されているセル容量を示している。送信セルは、平均値がTで、分散が小さな時間間隔で送信されているが、実際にはATM交換機内のゆらぎにより、その到達時間間隔 $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_i$ となっている。また、受信セルは一定のタイミングTで読み出される。そして、FIFO部70は、4セル分格納する容量を有する。

【0118】このような条件で、従来技術によれば、図6に示すように、3セル分読んだ時点でFIFO部70がエンプティとなり、エンプティリセットが発生していた。これは、2セルを受信してからデータ読出を開始したためである。しかしながら、本実施例では、N=2、即ち、FIFO部70がリセットされてから2単位の読出タイミングが経過した後、FIFO部70からのデータ読出を開始するようにしたため、FIFO部70がエンプティにならない。そのため、エンプティリセットも発生せず、安定して動作する。

(最初のNセルがATMセル揺らぎにより間隔が長く受信された場合)図30は、最初のNセルがATMセル揺らぎにより間隔が長く受信された場合の効果の説明図である。

【0119】図30の上段、中段及び下段は、それぞれ送信セルの到達間隔、受信セルの読出間隔及びFIFO部70に蓄積されているセル容量を示している。送信セルは、平均値がTで、分散が小さな時間間隔で送信されているが、実際にはATM交換機内のゆらぎにより、その到達時間間隔 $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_i$ となっている。また、受信セルは一定のタイミングTで読み出される。そして、FIFO部70は、4セル分格納する容量を有する。

【0120】このような条件で、従来技術によれば、図7に示すように、2セル分読んだ時点でFIFO部70がフルとなり、フルリセットが発生していた。これは、2セルを受信してからデータ読出を開始したためである。しかしながら、本実施例では、N=2、即ち、FIFO部70がリセットされてから2単位の読出タイミン

グが経過した後、F I F O部70からのデータ読出を開始するようにしたため、F I F O部70がフルにならない。そのため、フルリセットも発生せず、安定して動作する。

(セルが紛失した場合) 図31は、セルが紛失した場合の効果の説明図である。

【0121】 図31の上段、中段及び下段は、それぞれ送信セルの到達間隔、受信セルの読出間隔及びF I F O部70に蓄積されているセル容量を示している。送信セルは、平均値がTで、分散が小さな時間間隔で送信されているが、実際にはA T M交換機内のゆらぎにより、その到達時間間隔 $T_1$ 、 $T_2$ 、 $\dots$ 、 $T_i$ となっている。また、受信セルは一定のタイミングTで読み出される。そして、F I F O部70は、4セル分格納する容量を有する。そして、SN = 1、2及び3のセルが紛失したものと仮定する。

【0122】 このような条件で、従来技術によれば、図8に示すように、5セル分読んだ時点でF I F O部70がフルとなり、フルリセットが発生していた。これは、2セルを受信してからデータ読出を開始したためである。しかしながら、本実施例では、N = 2、即ち、F I F O部70がリセットされてから2単位の読出タイミングが経過した後、F I F O部70からのデータ読出を開始するようにしたため、F I F O部70がフルにならない。そのため、フルリセットも発生せず、安定して動作する。

#### 【0123】

【発明の効果】 本発明の第1から第6の構成によるA T Mセル揺らぎ吸収装置によれば、先入れ先出し型メモリに対して、空の状態データ読出しが行われたり、上限までデータが格納された状態でデータの書き込みが行われたりすることが生じにくくなるので、安定的な動作が保証され、最初に受信したNセルの揺らぎに大幅に動作が依存することがなくなる効果を有している。このため、先入れ先出し型メモリの容量を必要以上に大きくしなくてもすむようになり、ハード量やコストを削減できるようにもなる。

#### 【図面の簡単な説明】

【図1】 本発明のA T Mセル揺らぎ吸収装置の原理構成図である。

【図2】 A T Mセルの構成図である。

【図3】 A T MセルのS A R - P D Uの構成図である。

【図4】 A T MセルのS A Rヘッダの構成図である。

【図5】 従来のA T Mセル揺らぎ吸収装置の構成図である。

【図6】 従来のA T Mセル揺らぎ吸収装置において、最初のNセルがA T Mセル揺らぎにより間隔が短く受信された場合の動作図である。

【図7】 従来のA T Mセル揺らぎ吸収装置において、

最初のNセルがA T Mセル揺らぎにより間隔が長く受信された場合の動作図である。

【図8】 従来のA T Mセル揺らぎ吸収装置において、セルが紛失した場合の動作図である。

【図9】 実施例のA T Mシステムの構成図である。

【図10】 実施例のA T Mセル揺らぎ吸収装置の構成図である。

【図11】 ユーザクロック分周部の構成図である。

【図12】 ユーザクロック分周部の動作図である。

10 【図13】 A T Mセル分解部の構成図である。

【図14】 A T Mヘッダ検出部の構成図である。

【図15】 A T Mセル分解部とA T Mヘッダ検出部の動作図である。

【図16】 セルカウンタ部の構成図である。

【図17】 セルカウンタ部の動作図である。

【図18】 リードクロック生成部の構成図である。

【図19】 リードクロック生成部の動作図である。

【図20】 セル紛失時におけるA T Mヘッダ検出部と読出し制御部の動作図である。

20 【図21】 リードクロック生成部とA T Mヘッダ検出部の動作図である。

【図22】 ファーストセル検出部の構成図である。

【図23】 ファーストセル検出部の動作図である。

【図24】 F I F Oリセット生成部の構成図である。

【図25】 F I F Oリセット生成部の動作図である。

【図26】 F I F O部の動作図である。

【図27】 セレクタ部の構成図である。

【図28】 セレクタ部の動作図である。

30 【図29】 実施例において、最初のNセルがA T Mセル揺らぎにより間隔が短く受信された場合の動作図である。

【図30】 実施例において、最初のNセルがA T Mセル揺らぎにより間隔が長く受信された場合の動作図である。

【図31】 実施例において、セルが紛失した場合の動作図である。

#### 【符号の説明】

A T M D T A T Mデータ

C E C K セルクロック

40 C K I クロックインプット

D T データ

E M P T Y エンプティ

F U L L フル

N C ネットワーククロック

P C ペイロードゲート

P O R パワーオンリセット

R C リードクロック

R D S T リードスタート

R D S T P リードストップ

50 R I 受信情報

- R S T リセット
- S N シーケンスナンバー
- S N I N F O シリアルナンバーシーケンス情報
- S N R D シーケンスナンバーリード
- U C ユーザクロック
- U I ユーザ情報
- U I C K ユーザ情報クロック
- W C ライトクロック
- 1 0 ユーザクロック分周部

- \* 2 0 A T Mセル分解部
- 3 0 セルカウンタ部
- 4 0 リードクロック生成部
- 5 0 A N D回路
- 6 0 F I F Oリセット部
- 7 0 F I F O部
- 8 0 セレクタ部
- 9 0 ファーストセル検出部

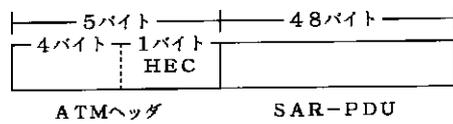
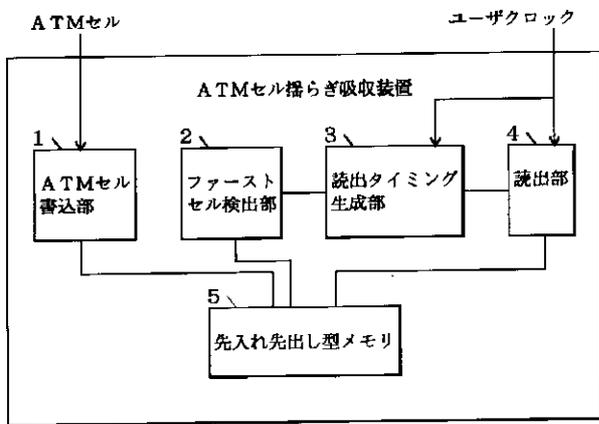
\*

【図 1】

【図 2】

本発明のA T Mセル揺らぎ吸収装置の原理構成図

A T Mセルの構成図

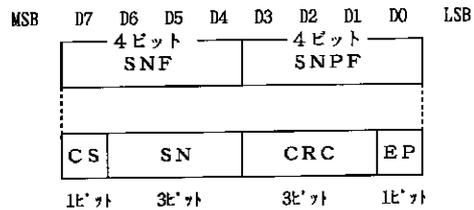
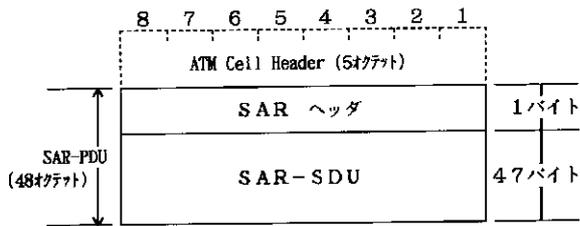


【図 3】

【図 4】

A T MセルのSAR-PDUの構成図

A T MセルのSARヘッダの構成図



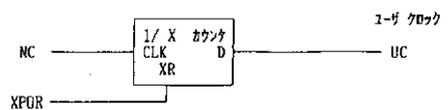
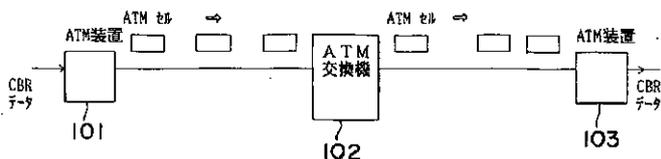
CRC : 生成多項式は  $X^5 + X + 1$

【図 9】

【図 1 1】

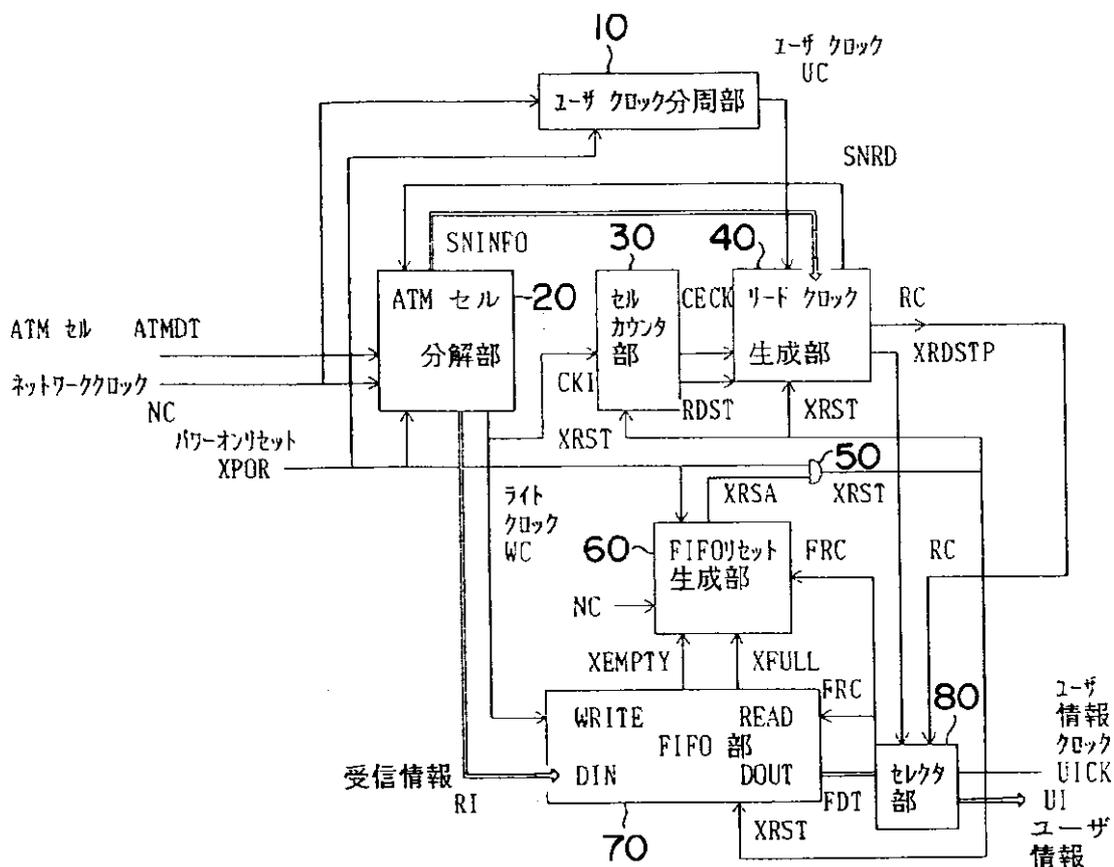
実施例のA T Mシステムの構成図

ユーザクロック分周部の構成図



【図5】

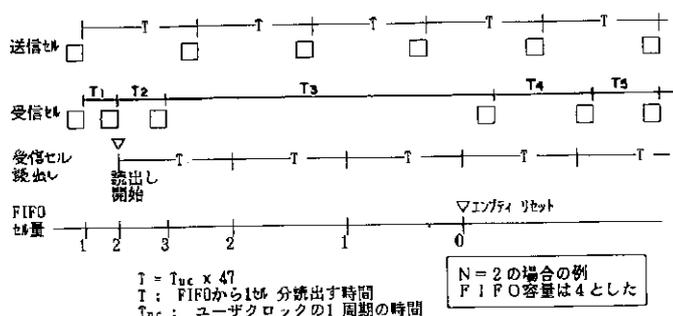
### 従来のATMセル揺らぎ吸収装置の構成図



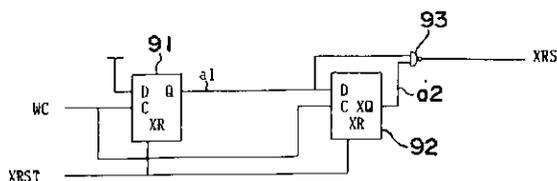
【図6】

【図22】

従来のATMセル揺らぎ吸収装置において、最初のNセルがATMセル揺らぎにより間隔が短く受信された場合の動作図

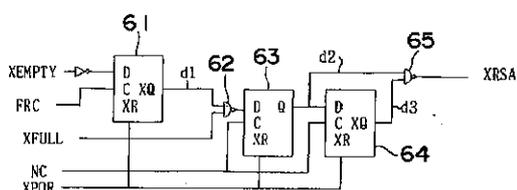


### ファーストセル検出部の構成図



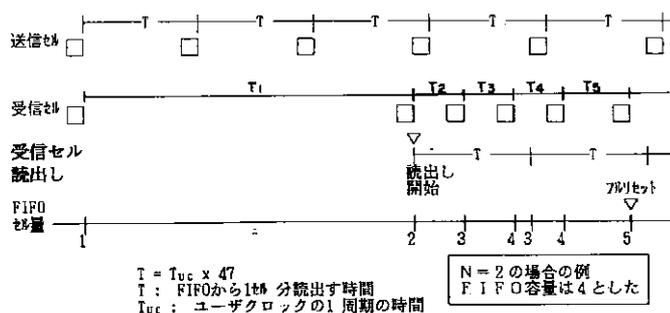
【図24】

### FIFOリセット生成部の構成図



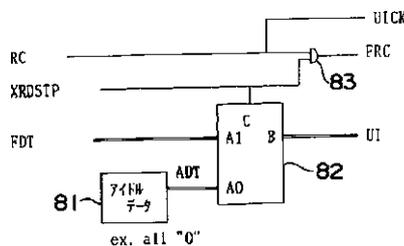
【図 7】

従来の ATMセル揺らぎ吸収装置において、最初の Nセルが ATMセル揺らぎにより間隔が長く受信された場合の動作図



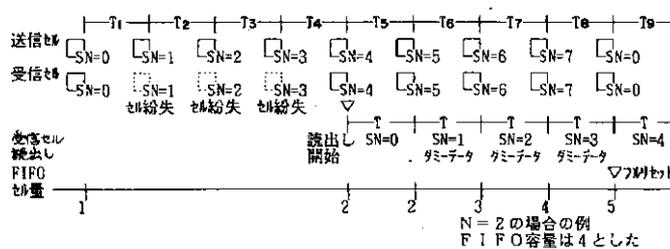
【図 27】

セクタ部の構成図



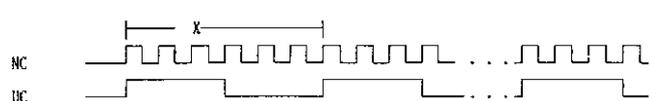
【図 8】

従来の ATMセル揺らぎ吸収装置において、セルが紛失した場合の動作図



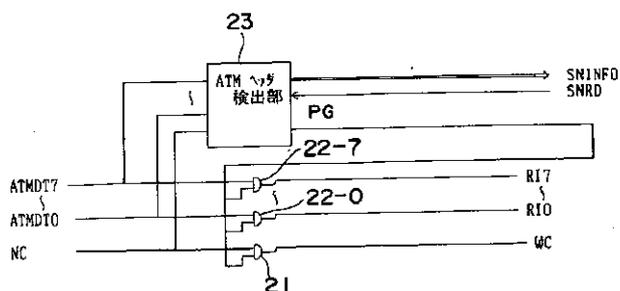
【図 12】

ユーザクロック分周部の動作図



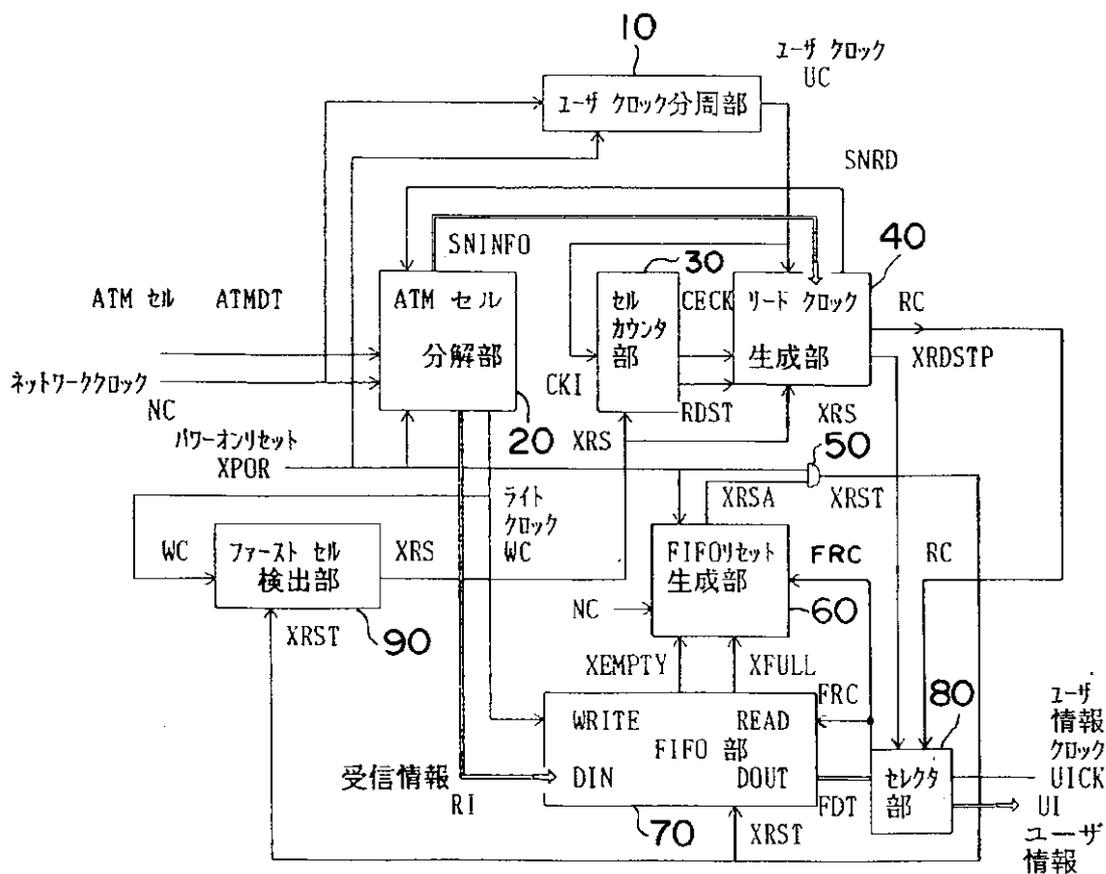
【図 13】

ATMセル分解部の構成図



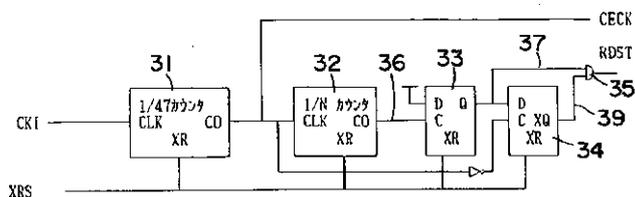
【図10】

### 実施例のATMセル揺らぎ吸収装置の構成図



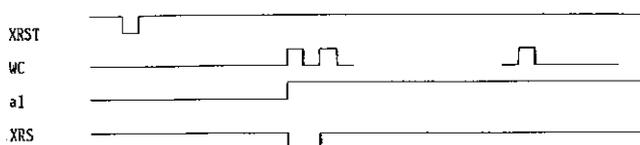
【図16】

### セルカウンタ部の構成図



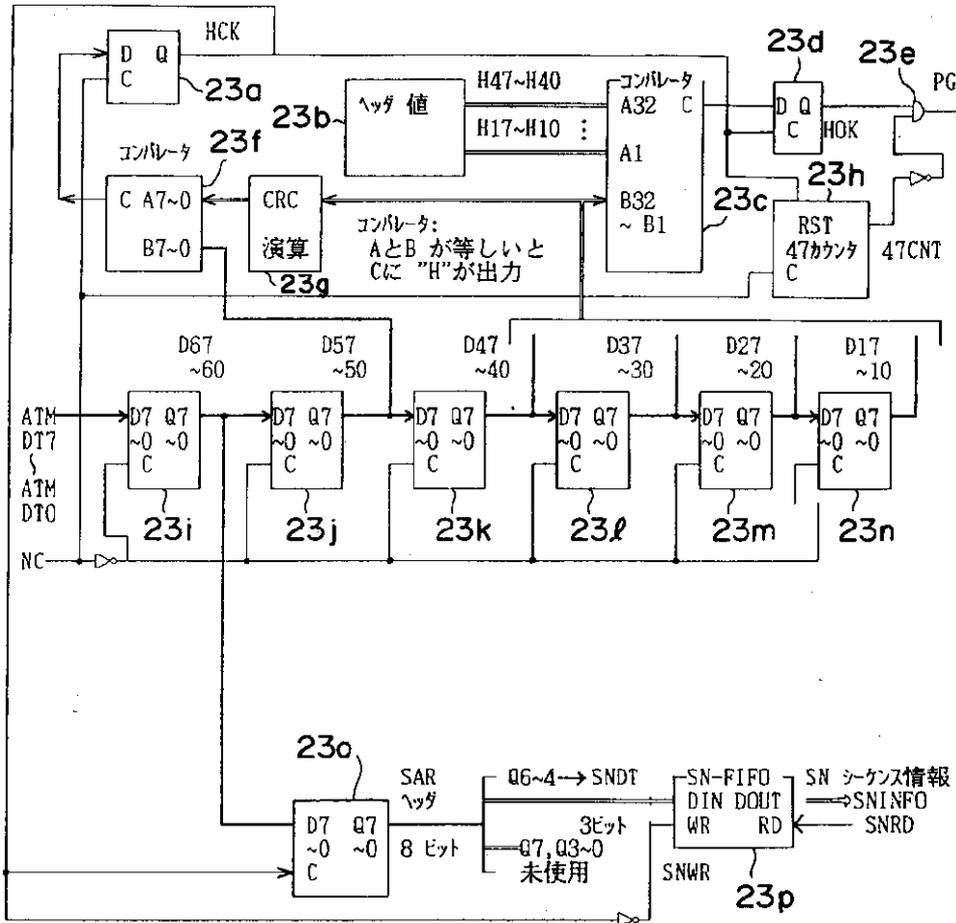
【図23】

### ファーストセル検出部の動作図



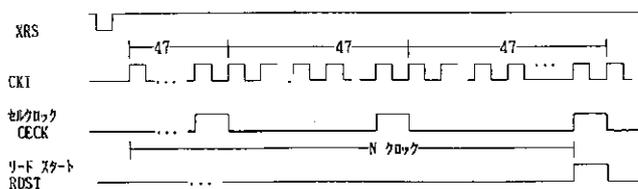
【図14】

### ATMヘッダ検出部の構成図



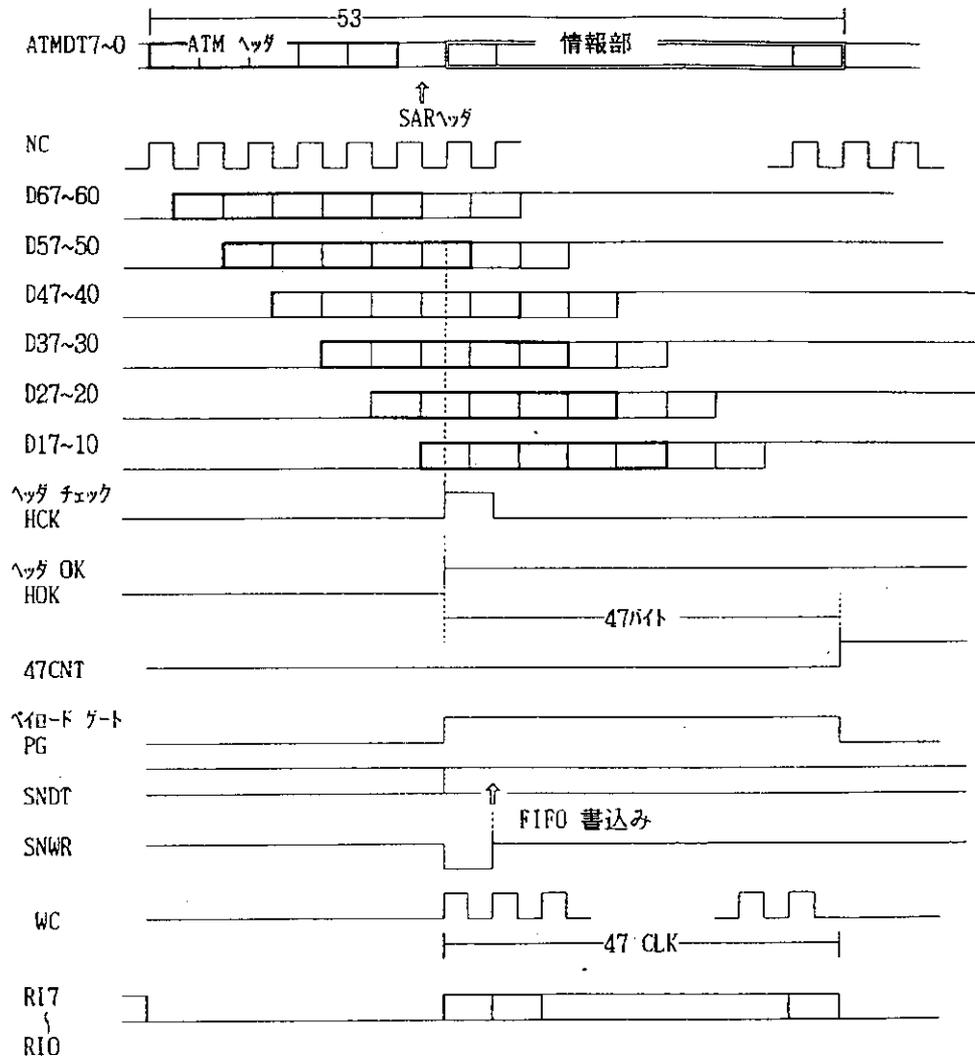
【図17】

### セルカウンタ部の動作図



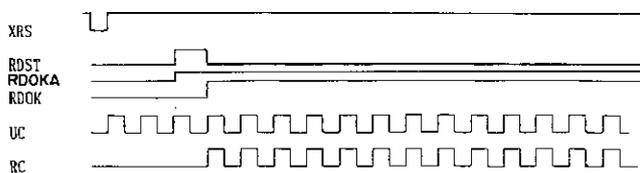
【図15】

### ATMセル分解部とATMヘッダ検出部の動作図



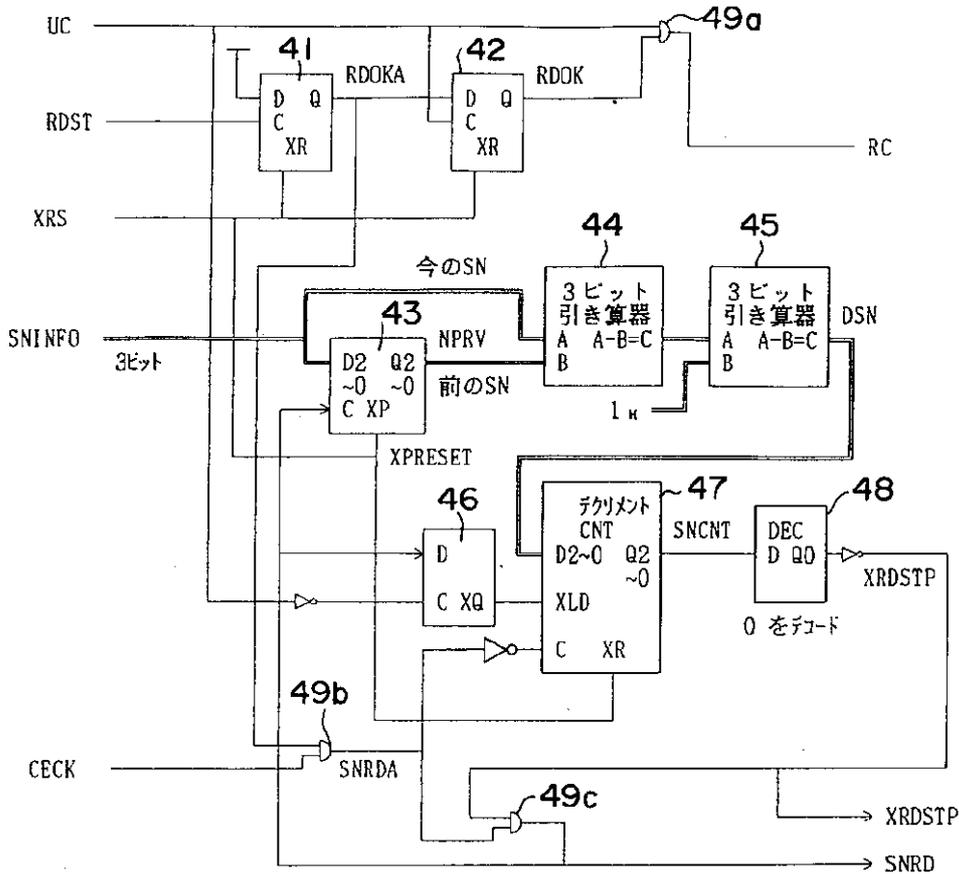
【図19】

### リードクロック生成部の動作図



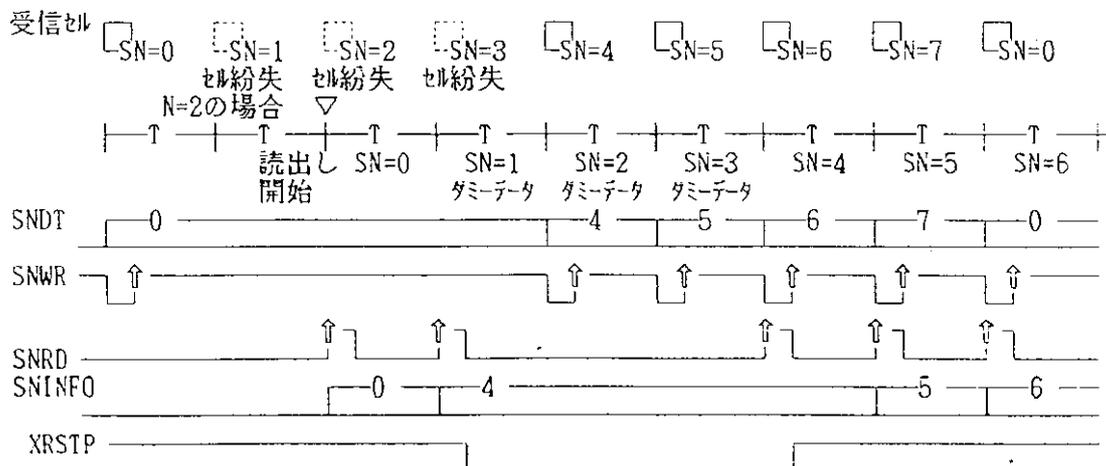
【図18】

リードクロック生成部の構成図



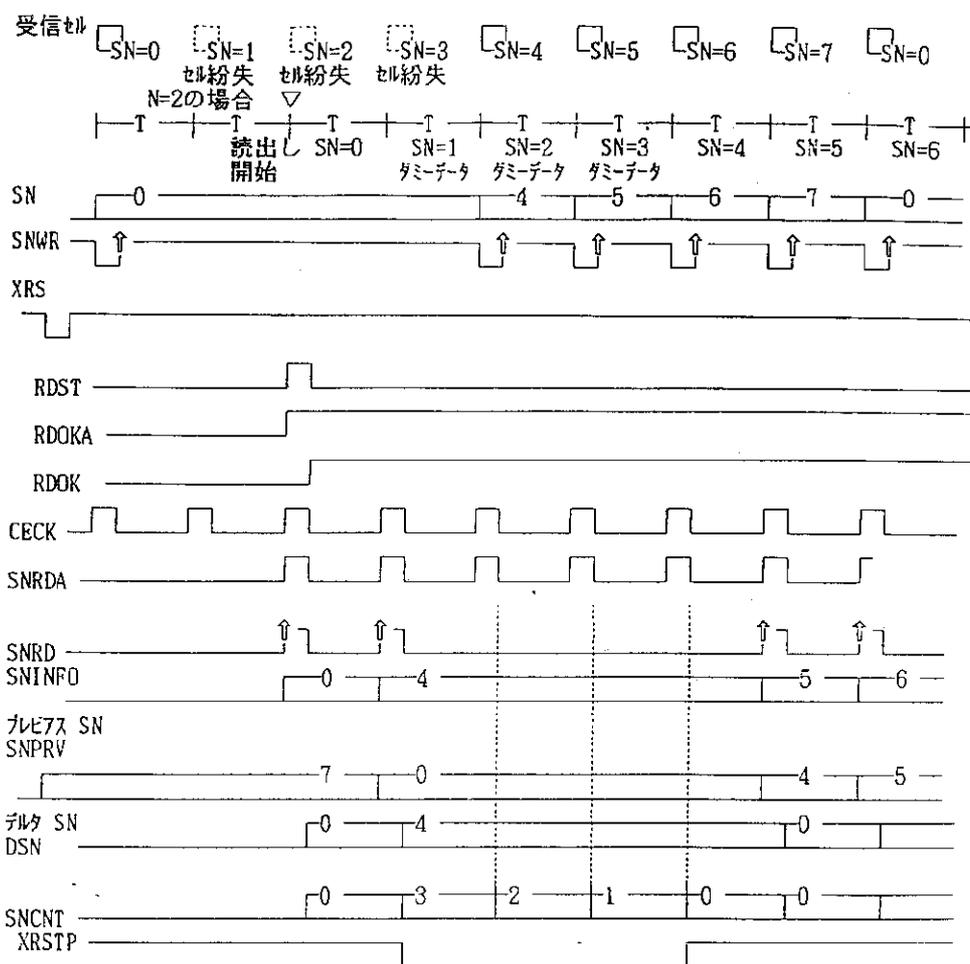
【図20】

セル紛失時におけるATMヘッダ検出部と読出し制御部の動作図



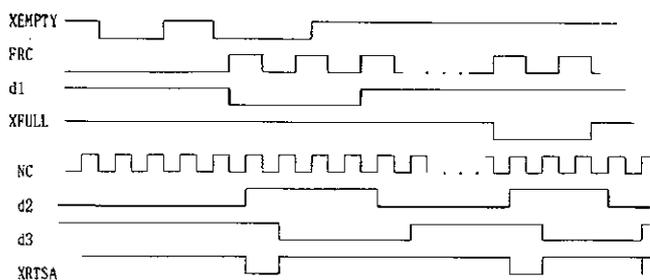
【図 2 1】

### リードクロック生成部と A T Mヘッダ検出部の動作図



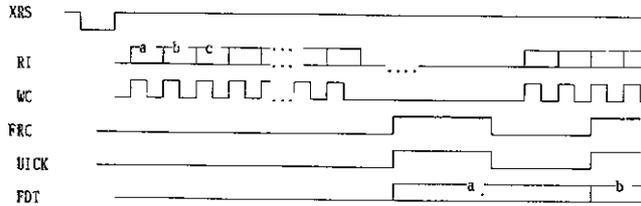
【図 2 5】

### F I F Oリセット生成部の動作図



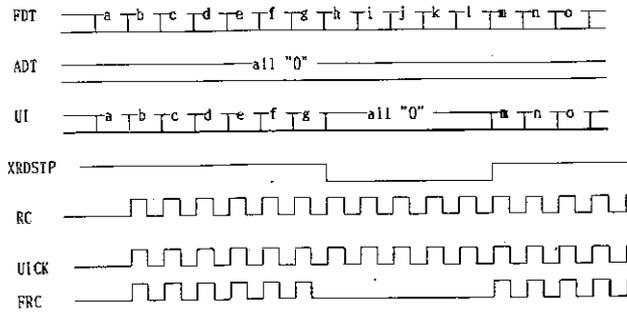
【図 2 6】

F I F O 部 の 動 作 図



【図 2 8】

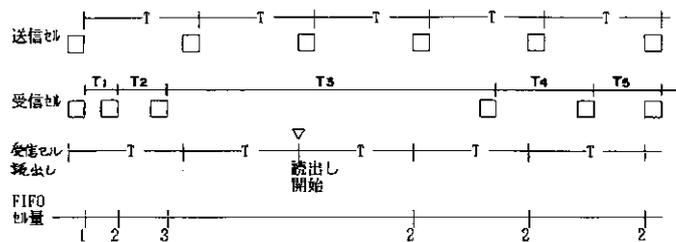
セ レ ク タ 部 の 動 作 図



注) FDTが all 0 の場合

【図 2 9】

実施例において、最初のNセルがATMセル揺らぎにより間隔が短く受信された場合の動作図

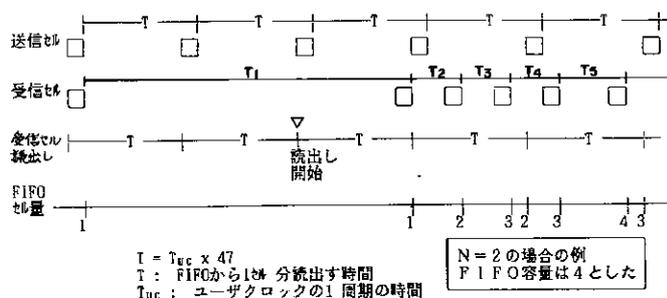


$T = T_{uc} \times 47$   
 $T$  : FIFOから1セル分送出す時間  
 $T_{uc}$  : ユーザクロックの1周期の時間

$N = 2$  の場合の例  
 FIFO容量は4とした

【図30】

実施例において、最初のNセルがATMセル播らぎにより間隔が長く受信された場合の動作図



【図31】

実施例において、セルが紛失した場合の動作図

