

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2764865号

(45)発行日 平成10年(1998) 6月11日

(24)登録日 平成10年(1998) 4月 3日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

請求項の数5 (全 26 頁)

(21)出願番号 特願平2-217099

(22)出願日 平成2年(1990) 8月20日

(65)公開番号 特開平4-100344

(43)公開日 平成4年(1992) 4月2日

審査請求日 平成8年(1996)11月7日

(73)特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 中山 幹夫

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 大菅 義之 (外1名)

審査官 伏本 正典

(56)参考文献 特開 平3-98353 (J P, A)

特開 平3-101441 (J P, A)

特開 平2-67045 (J P, A)

特開 平1-289342 (J P, A)

最終頁に続く

(54)【発明の名称】 ATM交換回路構成方式

1

(57)【特許請求の範囲】

【請求項1】非同期転送モード(ATM)セルの交換システムにおいて、

ATMセルのヘッダエラー制御用データを除くヘッダ部のデータと情報部のデータとをそれぞれヘッダで示される段数分に等分して、1段のヘッダ部と分割された情報部とから構成される複数のユニットセルにATMセルを分解し、各ユニットセルを出力するATMセル分解手段(10)と、

該ATMセル分解手段(10)の複数の出力部に対応する入力部を有し、該入力部に該ATMセル分解手段(10)から入力されるユニットセルを、該ユニットセルのヘッダ部データ値に応じて各入力部に対応する2つの出力部のいずれかに出力するユニットセル交換手段(11)と、ユニットセル交換手段の出力線の数tに対応して設けら

2

れ、該出力線に対して出力されるべきATMセルのヘッダ部の値に対応して該ユニットセル交換手段(11)の複数の出力部の中の半数の出力が入力される入力部を備え、各該入力部の全てに該ユニットセル交換手段(11)からのユニットセルが入力された時該32個のユニットセルを合成し、ATMセルとして出力するt個のATMセル合成出力手段(12₁,12₂,・・・,12_t)を有することを特徴とするATM交換回路構成方式。

【請求項2】非同期転送モード(ATM)セルの交換システムにおいて、

ATMセルのヘッダエラー制御用データを除くヘッダ部のデータと情報部のデータとをATMスイッチ段数以下の約数eでそれぞれ等分して、f_i(段数/e_i)ビット長のヘッダ部とg_i(情報部データ量/e_i)ビット長の情報部とから構成される1次サブセルe_i個にATMセルを分解し、

各 1 次サブセルを e 個の出力端子から出力する 1 次サブセル分解手段 (13) と、
 該 1 次サブセル分解手段 (13) の e 個の出力端子に対応する e 個の入力端子を有し、該 e 個の入力端子に該 1 次サブセル分解手段 (13) から入力される 1 次サブセルを、該 1 次サブセルのヘッダ部データ値に応じて各入力端子に対応する 2 の f 乗個の出力端子のいずれかから出力するための (2 の f 乗) $\times e$ 個の出力端子を有する 1 次サブセル交換手段 (14) と、

ATM交換回路の出力線 t の数に対応して設けられ、該出力線に対して出力されるべき ATMセルのヘッダ部 32 ビットの値に対応して該 1 次サブセル交換手段 (14) の (2 の f 乗) $\times e$ 個の出力端子の中の e 個の出力が入力される e 個の入力端子を備え、該 e 個の入力端子の全てに該 1 次サブセル交換手段 (14) からの 1 次サブセルが入力された時、該 e 個の 1 次サブセルを合成し、ATMセルとして出力する t 個の ATMセル合成出力手段 (15₁, 15₂, ..., 15_t) を有することを特徴とする ATM交換回路構成方式。

【請求項 3】前記 1 次サブセル交換手段 (14) が、前記 1 次サブセル分解手段 (13) の e 個の出力端子からの信号がそれぞれ入力され、該 1 次サブセル分解手段 (13) から入力される 1 次サブセルを該 1 次サブセルのヘッダ部データ値に応じて 2 の f 乗個の出力端子のいずれかに出力する e 個の 1 次サブセル処理手段 (100₁, 100₂, ..., 100_e; $q = 2$) から構成されることと、
 該 1 次サブセル処理手段 (100₁, 100₂, ..., 100_e; $q = 2$) が、前記 1 次サブセルの f_1 ビット長のヘッダ部と g_1 ビット長の情報部とを 1 と e_1 とを除く e_1 の約数 e_1 でそれぞれ等分して、 f_1 ($f_1 = f_1/e_1$) ビット長のヘッダ部と g_1 ($g_1 = g_1/e_1$) ビット長の情報部から構成される 2 次サブセル e_1 個に 1 次サブセルを分解し、各 2 次サブセルを e_1 個の出力端子から出力する 2 次サブセル分解手段 (101; $q = 2$) と、

該 2 次サブセル分解手段 (101; $q = 2$) から出力される 2 次サブセルがそれぞれ入力され、該 2 次サブセルのヘッダ部データ値に応じて 2 の f 乗個の出力端子のいずれかに該 2 次サブセルを出力する e 個の 2 次サブセル処理手段 (100₁, 100₂, ..., 100_e; $q = 3$) を有する 2 次サブセル交換手段 (102; $q = 2$) と、

前記 2 の f 乗個の出力端子の数 t ($t = 2$ の f 乗) にそれぞれ対応して設けられ、該出力端子に出力されるべき 1 次サブセルのヘッダ値に対応して該 2 次サブセル交換手段 (102; $q = 2$) の (2 の f 乗) $\times e$ 個の出力端子中の e 個の出力が入力される e 個の入力端子を持ち、該 e 個の入力端子の全てに該 2 次サブセル交換手段 (102; $q = 2$) からの 2 次サブセルが入力された時、該 e 個の 2 次サブセルを合成し、1 次サブセルとして前記 ATMセル合成出力手段 (15₁, 15₂, ..., 15_t) に出力する 2 次サブセル合成出力手段 (103₁, 103₂, ..., 103_t; $q =$

2) とから構成されることと、
 さらに一般的に ($q - 1$) 次 ($q - 3$) サブセル処理手段 (100₁, 100₂, ..., 100_{e₁}) が、($q - 1$) 次サブセルの f_{q-1} ビット長のヘッダ部と g_{q-1} ビット長の情報部とを 1 と e_{q-1} とを除く e_{q-1} の約数 e_{q-1} で等分して、 f_{q-1} ($f_{q-1} = f_{q-1}/e_{q-1}$) ビット長のヘッダ部と g_{q-1} ($g_{q-1} = g_{q-1}/e_{q-1}$) ビット長の情報部から構成される q 次サブセル e_{q-1} 個に ($q - 1$) 次サブセルを分解し、各 q 次サブセルを e_{q-1} 個の出力端子からそれぞれ出力する q 次サブセル分解手段 (10

1) と、
 該 q 次サブセル分解手段 (101) から出力される q 次サブセルがそれぞれ入力され、該 q 次サブセルのヘッダ部データ値に応じて 2 の f 乗個の出力端子のいずれかから出力する e_{q-1} 個の q 次サブセル処理手段を有する q 次サブセル交換手段 (102) と、

2 の f_{q-1} 乗本の $q - 1$ 次サブセル処理手段の出力線に対応して設けられ、該出力線に出力されるべき ($q - 1$) 次サブセルのヘッダ値に対応して該 q 次サブセル交換手段 (102) の (2 の f 乗) $\times e_{q-1}$ 個の出力端子中の e_{q-1} 個の出力が入力される e_{q-1} 個の入力端子を持ち、該 e_{q-1} 個の入力端子の全てに該 q 次サブセル交換部からの q 次サブセルが入力された時、該 e_{q-1} 個の q 次サブセルを合成し、($q - 1$) 次サブセルとして出力する q 次サブセル合成出力手段 (103₁, 103₂, ..., 103_t; $t = 2$ の f_{q-1} 乗) とから構成され、

q 次サブセル処理部が同様にして q の増大に伴って順次階層的に構成されることを特徴とする請求項 2 記載の ATM交換回路構成方式。

【請求項 4】非同期転送モード (ATM) セルの交換システムにおいて、
 複数本の入力線 w 本からそれぞれ入力される ATMセルのヘッダエラー制御用データを除くヘッダ部のデータと情報部のデータとをそれぞれ ATMスイッチ段数以下の約数 e_1 で等分して、 f_1 ビット長のヘッダ部と g_1 ビット長の情報部とから構成される 1 次サブセル e_1 個に ATMセルを分解し、各 1 次サブセルを e_1 個の出力端子から出力する、各入力線にそれぞれ対応する複数個の 1 次サブセル分解手段 (16₁, 16₂, ..., 16_w) と、

該複数個の 1 次サブセル分解手段 (16₁, 16₂, ..., 16_w) から出力される前記複数本の入力線から入力された ATMセル上でセル先頭からみて同一の位置に対応する 1 次サブセルを多重化する e_1 個の 1 次サブセル多重手段 (17₁, 17₂, ..., 17_{e₁}) と、

該 1 次サブセル多重手段 (17₁, 17₂, ..., 17_{e₁}) の個数に対応する e_1 個の入力端子を有し、該 e_1 個の入力端子に該 1 次サブセル多重手段から入力される 1 次サブセルを該 1 次サブセルのヘッダ部データ値に応じて各入力端子に対応する 2 の f 乗個の出力端子のいずれかに出力する 1 次サブセル交換手段 (18) と、

ATM交換回路の出力線の数 t に対応して設けられ、該出

力線に対して出力されるべきATMセルのヘッダ部32ビットの値に対応して該1次サブセル交換手段(18)の(2のf乗)× e_e 個の出力端子の中の e_e 個の出力が入力される e_e 個の入力端子を備え、該 e_e 個の入力端子の全てに該1次サブセル交換手段(18)からの1次サブセルが入力された時、該 e_e 個の1次サブセルを合成し、ATMセルとして出力するATMセル合成出力手段(19,19_e,・・・19_t)を有することを特徴とするATM交換回路構成方式。

【請求項5】非同期転送モード(ATM)セルの交換システムにおいて、ATMセルのヘッダエラー制御用データを除くヘッダ部Hビットと情報部Dビットのデータを1とHとを除くHとDとの公約数 e_e でそれぞれ等分して、 f_i ($f_i=H/e_e$)ビット長のヘッダ部と g_i ($g_i=D/e_e$)ビット長の情報部とから成る e_e 個の1次サブセルにATMセルを分解し、各1次サブセルを e_e 個の出力端子から出力するATMセル分解部と、該ATMセル分解部の e_e 個の出力端子に対応する e_e 個の入力端子を有し、該 e_e 個の入力端子に該ATMセル分解部から入力される1次サブセルを、該1次サブセルのヘッダ部データ値に応じて各入力端子に対応する2のf乗個の出力端子のいずれかから出力するための(2のf乗)× e_e 個の出力端子を有するATMセル交換部と、ATM交換回路の出力線の数に対応して設けられ、該出力線に対して出力されるべきATMセルのヘッダ部32ビットの値に対応して該ATMセル交換部の(2のf乗)× e_e 個の出力端子の中の e_e 個の出力が入力される e_e 個の入力端子を備え、該 e_e 個の入力端子の全てに該ATMセル交換部からの1次サブセルが入力された時、該 e_e 個の1次サブセルを合成し、ATMセルとして出力するATMセル出力部を有することを特徴とするATM交換回路構成方式。

【発明の詳細な説明】

〔概要〕

ヘッダ部の誤り制御用データを除くATMセルの宛先データとしてのヘッダ部ビット長と情報部のビット長とが公約数を持つ場合のATM交換回路構成方式に関し、

ATMセルの交換回路をLSI化に柔軟に対応できる階層構造によって実現することを目的とし、

非同期転送モード(ATM)セルの交換システムにおいて、ATMセルのヘッダエラー制御用データを除くヘッダ部のデータと情報部のデータとをそれぞれヘッダで示される段数分に等分して、1段のヘッダ部と分割された情報部とから構成される複数のユニットセルにATMセルを分解し、各ユニットセルを出力するATMセル分解手段と、該ATMセル分解手段の複数の出力部に対応する入力部を有し、該入力部に該ATMセル分解手段から入力されるユニットセルを、該ユニットセルのヘッダ部データ値に応じて各入力部に対応する2つの出力部のいずれかに出力するユニットセル交換手段と、ユニットセル交換手段の出力線の数 t に対応して設けられ、該出力線に対し

て出力されるべきATMセルのヘッダ部の値に対応して該ユニットセル交換手段の複数の出力部の中の半数の出力が入力される入力部を備え、各該入力部の全てに該ユニットセル交換手段からのユニットセルが入力された時該32個のユニットセルを合成し、ATMセルとして出力する t 個のATMセル合成出力手段を有するように構成する。
〔産業上の利用分野〕

本発明は広帯域ISDNにおけるATMセルの交換方式に係り、さらに詳しくはヘッダ部の誤り制御用データを除くATMセルの宛先データとしてのヘッダ部ビット長と情報部のビット長とが公約数を持つ場合のATM交換回路構成方式に関する。

ATM交換機はセルが固定長であることを利用して、高速化のためにハードウェアでヘッダの情報を見て、セル単位でATMセルを通信相手先に振り分けるものである。そのためにLSI化に敵したATM交換回路構成方式が望まれている。

〔従来の技術〕

広帯域ISDNの転送方式としての非同期転送モード(ATM)方式では、加入者線の伝送速度は155.52Mbit/s、またはその4倍であり、転送されるデータはATMセルと呼ばれる固定長のブロックに分割されて伝送される。第15図はATMセルの構造の例である。同図においてATMセル1の長さは全体が53バイトであり、そのうち5バイトは主としてATMセルの宛先を示すヘッダフィールド2、また48バイトが送信データとしての情報フィールド3である。ヘッダフィールド2の最後の1バイトはヘッダの誤り制御用データが格納されるヘッダエラーコントロール(HEC)である。

第16図は広帯域ISDNシステムの構成例である。同図において、送信側のユーザ端末4において音声、データ、画像などのデジタル化された情報が固定長のATMセルに分割され、その先頭に宛先などを示すヘッダが付けられ、ATM交換機5を介して伝送線路6を経由して伝送される。受信側ではATM交換機7によってATMセルの交換が行われ、通信相手先のユーザ端末8にATMセルが振り分けられる。

従来のATM回路方式に多段ゲート型がある1入力多段ゲート型の構成を第17図に示す。多段ゲート型では1つのATMセルを振り分けるために 1×2 の単位スイッチを規則的に並べ、1段目の単位スイッチはヘッダフィールドの1ビット目のデータで切り換わり、2段目の単位スイッチはヘッダフィールドの2ビット目のデータで切り換わり、・・・N段目の単位スイッチはヘッダフィールドのNビット目のデータで切り換わり、というように各単位スイッチが各々のヘッダフィールドの値により自動的に切り換わることでATMセルを振り分ける交換回路方式である。

N=3としての1入力の多段ゲート型の構成例を第18図に示す。この例で入力されたATMセルのヘッダ部を3

ビットとしている。例えばヘッダ部が011(1,2,3ビット目)のATMセルが入力されると、各ビットのチェックにより1×2の単位スイッチが切り換わることによりATMセルは出力端4に出力される。

多段ゲート型で複数のATMセル入力を振り分けるためには、2×2の単位スイッチを規則的に並べ、1段目の単位スイッチはヘッダフィールドの1ビット目のデータで切り換わり、2段目の単位スイッチはヘッダフィールドの2ビット目のデータで切り換わり、・・・N段目の単位スイッチはヘッダフィールドのNビット目のデータで切り換わりというように、各単位スイッチが各々のヘッダフィールドの値により自動的に切り換わることでATMセルを振り分ける交換回路方式である。複数入力の多段ゲート型の構成を第19図に示す。

N=3としての複数入力の多段ゲート型の構成例を第20図に示す。この例で入力されたATMセルのヘッダ部を3ビットとしている。例えばヘッダ部が011(1,2,3ビット目)のATMセルが入力されると、各ビットのチェックにより2×2の単位スイッチが切り換わることによりATMセルは出力端4に出力される。なお、この図でヘッダ部が同一のATMセルはどの入力線から入力されても同一の出力端に出力されるように各段の単位スイッチ間の接続が成される。

〔発明が解決しようとする課題〕

第17図から第20図に示した従来のATM交換回路方式としての多段ゲート型は、1×2または2×2の単位スイッチを基本として、それらの単位スイッチの間の相互配線によって同一ヘッダデータ値のセルが同一出力端に出力されるようになっている。そしてヘッダエラーコントロールを除くヘッダ部が、例えば32ビットであることからゲートの段数は32となり、基本単位スイッチは1入力の多段ゲート型で出力線数-1、複数入力の多段ゲート型では入出力線数×32/2となって入出力線数の増加に伴い単位スイッチの数が増大する。この構造では階層構造がとられていないために、入出力線数の増加(最大2の32乗)に対して基本単位スイッチの追加と共に基本単位スイッチ間の接続の大幅な変更が必要となり、LSI化に対して柔軟な対応が困難であるという問題点があった。

本発明は、ATMセルの交換回路をLSI化に柔軟に対応できる階層構造によって実現することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理ブロック図である。同図は広帯域ISDNの非同期転送モード(ATM)セルの交換システムにおけるATM交換回路構成方式の原理ブロック図である。同図(a)は第1の発明の原理ブロック図であり、ATMセル分解手段10はATMセルのヘッダエラー制御用データを除くヘッダ部、例えば32ビットのデータと情報部、例えば384ビットのデータとをそれぞれ32等分して、1ビットのヘッダ部と12ビットの情報部とから構成されるユニットセル32個にATMセルを分解し、各ユニットセル

をそれぞれ32個の出力端子から出力する。

ユニットセル交換手段11はATMセル分解手段10の32個の出力端子に対応する32個の入力端子を持ち、その32個の入力端子にATMセル分解手段10から入力されるユニットセルを、そのユニットセルのヘッダ部のデータ値に応じて各入力端子に対応する2つの出力端子のいずれかに出力することで64個の出力端子を有している。ユニットセル交換手段11は、例えば32個の1×2のスイッチで構成され、ヘッダ部のデータ値が0であるか1であるかに応じて、ATMユニットセルを2つの出力端子のうちのいずれかに出力する。

ATMセル合成出力手段12、12t、・・・12tは出力線の本数tに対応してそれぞれ設けられる。そしてそれぞれのATMセル合成出力手段は32個の入力端子を備え、その出力線に対して出力されるべきATMセルのヘッダ部32ビットの値に対応してユニットセル交換手段11の64個の出力端子の中で32個の出力が出力される。そして32個の入力端子の全てにユニットセル交換手段11からのユニットセルが入力された時に、その32個のユニットセルを合成し、ATMセルとして出力線に出力する。各ATMセル合成出力手段の入力端子32個には、例えばユニットセル入力部としてのバッファが接続され、32個のバッファの全てにユニットセルが格納された時点で、それらのユニットセルは、例えばATMセルの組立てを行う組立て部によってATMセルに組み立てられて出力される。

第1図(b)は第2図の発明の原理ブロック図である。同図において1次サブセル分解手段13は、前述のヘッダ部32ビットのデータと情報部384ビットのデータとを1と32とを除く32の約数 e でそれぞれ等分し、 f_i ($f_i=32/e_i$)ビット長のヘッダ部と e_i ($g_i=384/e_i$)ビット長の情報部から構成される1次サブセル e_i 個にATMセルを分解し、各1位サブセルを e_i 個の出力端子から出力する。

1次サブセル交換手段14は1次サブセル分解手段13の e_i 個の出力端子に対応する e_i 個の入力端子を有し、その e_i 個の入力端子に1次サブセル分解手段13から入力される1次サブセルを、その1次サブセルのヘッダ部データ値に応じて各入力端子に対応する2の f_i 乗個の出力端子のいずれかから出力することで(2の f_i 乗)× e_i 個の出力端子を有している。

1次サブセル交換手段14は、例えば e_i 個の1次サブセル処理部から構成され、各1次サブセル処理部には1次サブセル分解手段13の e_i 個の出力端子からの信号がそれぞれ入力される。そしてこの1次サブセル処理部は2の f_i 乗個の出力端子、例えば f_i が4の場合には16個の出力端子を持ち、入力端子に入力された1次サブセルは16個の出力端子のいずれかにその1次サブセルのヘッダ部データ値に応じて出力される。

ATMセル合成出力手段15、15t、・・・15tは出力線の本数tに対応して設けられる。そして各ATMセル合成出

力手段は e 個の入力端子を備え、1次サブセル交換手段14の $(2 \text{ の } f \text{ 乗}) \times e$ 個の出力端子の中の e 個の出力がそれぞれ入力端子に入力される。そしてそれらの入力端子の全てに1次サブセル交換手段14からの1次サブセルが入力された時に、その e 個の1次サブセルを合成してATMセルとして出力線に出力する。各ATMセル合成出力手段は e 個の入力端子に接続された、例えばATMセル入力部とそれらのATMセル入力部の全てに1次サブセルが入力された時にそれらを合成し、ATMセルとして出力線に出力される。

第1図(c)は第3の発明の原理ブロック図である。

同図において、 $q-1$ 次と表された1次サブセル交換手段は、図示していない1次サブセル分解手段の e 個の出力端子からの信号がそれぞれ入力され、該1次サブセル分解手段から入力される1次サブセルを該1次サブセルのヘッダ部データ値に応じて $2 \text{ の } f \text{ 乗}$ 個の出力端子のいずれかに出力する e 個の1次サブセル処理手段 $(100, 100_e, \dots, 100_{e_e}; q=2)$ から構成され、

該1次サブセル処理手段 $(100, 100_e, \dots, 100_{e_e}; q=2)$ において、2次サブセル分解手段 $(101; q=2)$ は前記1次サブセルの f_i ビット長のヘッダ部と g_i ビット長の情報部とを1と e_i とを除く e_i の約数 e_i でそれぞれ等分して、 $f_i (f_i=f/e_i)$ ビット長のヘッダ部と $g_i (g_i=g/e_i)$ ビット長の情報部から構成される2次サブセル e_i 個に1次サブセルを分解し、各2次サブセルを e_i 個の出力端子から出力する。

2次サブセル交換手段 $(102; q=2)$ は該2次サブセル分解手段 $(101; q=2)$ から出力される2次サブセルがそれぞれ入力され、該2次サブセルのヘッダ部データ値に応じて $2 \text{ の } f \text{ 乗}$ 個の出力端子のいずれかに該2次サブセルを出力する e 個の2次サブセル処理手段 $(100, 100_e, \dots, 100_{e_e}; q=3)$ を有する。

2次サブセル合成出力手段 $(103, 103_e, \dots, 103_{t_e}; q=2)$ は前記の $2 \text{ の } f \text{ 乗}$ 個の出力端子の数 $t (t=2 \text{ の } f \text{ 乗})$ にそれぞれ対応して設けられ、該出力端子に出力されるべき1次サブセルのヘッダ値に対応して該2次サブセル交換手段 $(102; t=2)$ の $(2 \text{ の } f \text{ 乗}) \times e_i$ 個の出力端子の中の e_i 個の出力が入力される e_i 個の出力端子を持ち、該 e_i 個の入力端子の全てに該2次サブセル交換手段 $(102; q=2)$ からの2次サブセルが入力された時、該 e_i 個の2次サブセルを合成し、1次サブセルとして前記ATMセル合成出力手段 $(15, 15_e, \dots, 15_t)$ に出力する。

さらに一般的に $(q-1)$ 次 $(q-2 \text{ の自然数})$ サブセル処理手段 $(100, 100_e, \dots, 100_{e_1})$ において、 q 次サブセル分解手段 (101) が $(q-1)$ 次サブセルの f_i ビット長のヘッダ部と g_i ビット長の情報部とを1と e_1 とを除く e_1 の約数 e_1 で等分して、 $f_i (f_i=f/e_1)$ ビット長のヘッダ部と $g_i (g_i=g_1/e_1)$ ビット長の情報部から構成される q 次サブセル e_1 個に $(q-$

1)次サブセルを分解し、各 q 次サブセルを e 個の出力端子からそれぞれ出力する。

q 次サブセル交換手段102が該 q 次サブセル分解手段101から出力される q 次サブセルがそれぞれ入力され、該 q 次サブセルのヘッダデータ値に応じて $2 \text{ の } f \text{ 乗}$ 個の出力端子のいずれかから出力する e 個の q 次サブセル処理手段を有する。

q 次サブセル合成出力手段 $(103, 103_e, \dots, 103_{t_e}; q=2)$ は $2 \text{ の } f \text{ 乗}$ 本の $q-1$ 次サブセル処理手段10の出力線に対応して設けられ、該出力線に出力されるべき $(q-1)$ 次サブセルのヘッダ値に対応して該 q 次サブセル交換手段102の $(2 \text{ の } f \text{ 乗}) \times e$ 個の出力端子の中の e 個の出力が入力される e 個の入力端子を持ち、該 e 個の入力端子の全てに該 q 次サブセル交換部からの q 次サブセルが入力された時、該 e 個の q 次サブセルを合成し、 $(q-1)$ 次サブセルとして出力する。

このように q 次サブセル処理部が同様にして q の増大に伴って順次階層的に構成される。

第1図(d)は第4の発明の原理ブロック図である。同図において1次サブセル分解手段16 $_1, 16_e, \dots, 16_w$ は複数本のATMセルの入力線 w 本に対してそれぞれ設けられて、入力線から入力されるATMセルのヘッダエラー制御用データを除くヘッダ部32ビットと情報部384ビットとを、1と32とを除く32の約数 e_i でそれぞれ等分して、 $f_i (f_i=32/e_i)$ ビット長のヘッダ部と $g_i (g_i=384/e_i)$ ビット長の情報部から構成される1次サブセル e_i 個にATMセルを分解し、各1次サブセルを e_i 個の出力端子から出力する。1次サブセル多重手段17 $_1, 17_e, \dots, 17_{7e}$ は1次サブセル分解手段16 $_1, 16_e, \dots, 16_w$ の出力端子数 e_i 個にそれぞれ対応して設けられ、複数個の1次サブセル分解手段16 $_1, 16_e, \dots, 16_w$ から出力される、複数の入力線から入力されたATMセル先頭からみて同一の位置に対応する1次サブセルを多重する。

1次サブセル交換手段18の作用は第2の発明の原理を示す第1図(b)における1次サブセル交換手段14と同様である。すなわち1次サブセル交換手段18は1次サブセル多重手段17 $_1, 17_e, \dots, 17_{7e}$ から同一時刻に出力される1次サブセルを e 個の入力端子にそれぞれ対応する $2 \text{ の } f \text{ 乗}$ 個の出力端子のいずれかから出力する。またATMセル合成出力手段19 $_1, 19_e, \dots, 19_t$ の作用も第1図(b)におけるATMセル合成出力手段15 $_1, 15_e, \dots, 15_t$ の作用と同じである。すなわち各ATMセル合成出力手段は、それぞれの e 個の入力端子の全てに1次サブセル交換手段18からの1次サブセルが入力された時点で、それらの1次サブセルをATMセルに合成してそれぞれの出力線に出力する。

〔作用〕

第1の発明の原理を示す第1図(a)においては、ATMセルのヘッダ部が1ビットのみのユニットセルに分解され、各ユニットセルはユニットセル交換手段11を構成

する。例えば 1×2 の単位スイッチにそれぞれ入力される。各単位スイッチからはユニットセルが、そのヘッダ部の値が0か1かに応じて0の時には、例えば出力 L_1 から、1の時には L_2 から出力される。

ATMセル合成出力手段 $12_1, 12_2$ は出力線に対して出力されるべきATMセルのヘッダ部32ビットの値に対応して、ユニットセル交換手段11内の32個の 1×2 単位スイッチの出力端子と接続される。例えばヘッダ部32ビットの値が全て0に対応する出力線に対応するATMセル合成出力手段10には、ユニットセル交換手段11内の 1×2 単位スイッチに出力端子 L_i が全て接続される。これによってATMセル分解手段10に入力されたATMセルのヘッダ部32ビットが全て0である時には、そのセルはこの出力線から出力されることになる。

第2の発明の原理を示す第1図(b)においては、ATMセルはそのヘッダ部が複数ビットである1次サブセルに分解される。1次サブセル交換手段14内では、1次サブセルが例えば1次サブセルの個数に一致する e 個の1次サブセル処理部に入力され、2の f 乗個の出力端子のいずれかからそのサブセルのヘッダ部のデータ値に応じて出力される。例えばヘッダ部 f ビットが全て0である1次サブセルは各1次サブセル処理部の出力端子 L_i から出力されるものとすれば、32ビットのヘッダ部の値が全て0に対応する出力線に接続されるATMセル合成出力手段10には1次サブセル交換手段14内の e 個の1次サブセル処理部の出力端子 L_i からの信号を入力させることにより、1次サブセル分解手段13に入力されたヘッダ部32ビットが全て0のATMセルはこの出力線から出力されることになる。

第3の発明の原理を示す第1図(c)においては、ATM1次サブセル処理部の構成において従来のATMセルの交換方式としての多段ゲート型の回路を使用しないで、ATM1次サブセルのヘッダ部と情報部を e_1 等分(e_1 は1と e_1 を除く e_1 の約数)し、2次サブセルに分解される。

2次サブセル交換手段102内では、2次サブセルが例えば2次サブセルの個数に一致する e_2 個の2次サブセル処理部に入力され、2の f_2 ($f_2=f/e_2$)乗個の出力端子のいずれかからそのサブセルのヘッダ部のデータ値に応じて出力される。例えばヘッダ部 f_2 ビットが全て0である2次サブセルは各2次サブセル処理部の出力端子 L_i から出力されるものとすれば、 f_2 ビットのヘッダ部の値が全て0に対応する出力線に接続される2次サブセル合成出力手段102には2次サブセル交換手段102内の e_2 個の2次サブセル処理部の出力端子 L_i からの信号を入力させることにより、ヘッダ部 f_2 ビットが全て0の1次サブセルが出力されることになる。

さらに一般的に($q-1$)次サブセル処理手段(q の自然数)も同様に構成することができる。

第4の発明の原理を示す第1図(d)においては、複数本の入力線から入力されるATMセルの交換が行われ

る。各入力線から入力されるATMセルは、第2の発明におけると同様に1次サブセル分解手段 $16_1, 16_2, \dots$ によって1次サブセルに分解される。そして1次サブセル多重手段により複数の入力線から入力されたATMセル上でセルの最初の位置から同一位置にある1次サブセルが多重され、直列信号として1次サブセル交換手段18に入力される。1次サブセル交換手段18に同時に入力される e 個の1次サブセルは、第2の発明におけると同様に各入力端子に対応する2の f 乗個の出力端子のいずれかから、その1次サブセルのヘッダ部データ値に応じて出力され、ATMセル合成出力手段によって合成されて、ヘッダ部32ビットの値に対応する出力線に出力される。

以上のように、例えば第1の発明においてはATM交換回路がATMセル分解手段10、例えば32個のユニットセル処理部から構成されるユニットセル交換手段11、および各出力線に対応するATMセル合成出力手段 $12_1, 12_2, \dots, 12_f$ によって階層的に構成され、LIS化に好適となる。また出力線数を増加させる場合には、その線に対応するヘッダ部32ビットのデータに応じてユニットセル交換手段11との間での結線を行ったATMセル合成出力手段を追加するのみで、他の部分の配線を変更する必要がなくなる。

〔実施例〕

第2図は第1の発明の実施例の構成ブロック図である。同図において、実施例はATMセル分解部20、ATMセル交換部21、およびATMセル出力部22によって構成される。ATMセル分解部20はATMセルのHECを除くヘッダ部32ビットのデータと情報部384ビットのデータを32等分して1ビット長のヘッダ部 H_j ($j=1 \sim 32$)と12ビット長の情報部 K_j ($j=1 \sim 32$)から構成されるATMユニットセル32個(P_1, P_2, \dots, P_{32})にATMセルを分解し、各ユニットセルをそれぞれ出力 b_j ($j=1 \sim 32$)から出力する。

ATMユニットセル処理部は 1×2 のスイッチで構成され、ATMユニットセルの入力に対して出力 L_1, L_2 を持ちATMユニットセルのヘッダ部 H の値 h によりATMユニットセルを出力 L_i に振り分ける。ATMセル交換部21はATMユニットセル処理部32個(Q_1, Q_2, \dots, Q_{32})で構成され、各 Q_j ($j=1 \sim 32$)には b_j ($j=1 \sim 32$)が接続され、ATMユニットセル P_j ($j=1 \sim 32$)が入力される。

ATMセル合成部はヘッダ部1ビット、情報部12ビットを格納する13ビットのATMユニットセル入力部32個(R_1, R_2, \dots, R_{32})と、ATMユニットセル入力部(R_1, R_2, \dots, R_{32})のすべてにATMユニットセルが入力された時のみATMセルの組立てを行う組立て部で構成される。

ATMセル出力部22はATMセル合成部 T 個(S_1, \dots, S_T)(T :出力線の数)で構成され、各ATMセル合成部 S_n ($n=1 \sim T$)には出力線で期待されるATMセルのヘッダの値(h_1, h_2, \dots, h_{32})に対し、ATMユニットセル入力部 R

($j = 1 \sim 32$) に ATM ユニットセル処理部 Q_j ($j = 1 \sim 32$) の出力 L_{ij} を入力することで、ATM セル出力部の出力 C_j にヘッダの値 ($h_{j1}, h_{j2}, \dots, h_{je}$) の ATM セルが出力される。

第 3 図は第 1 の発明の実施例における ATM セル分解部の出力信号の例である。同図において、4 バイトのヘッダ部はそれぞれ 1 ビットずつ、また 48 バイト = 384 ビットの情報部は 12 ビットずつに分割され、32 個のユニットセルが ATM セル分解部 20 から出力される。

第 4 図は第 1 の発明の実施例において ATM セルのヘッダ部を仮に 4 ビットとした時の ATM セル交換部 23 と ATM セル出力部 24 の構成例である。例えばヘッダ部 4 ビットのうち H_1 が 1、 $H_2 \sim H_4$ が全て 0 の ATM セルが入力されると、ATM セル交換部 23 によって振り分けられたユニットセルは ATM セル合成部 S_n の組立て部によって組み立てられ、出力線 C_n に ATM セルとして出力される。

第 5 図は第 2 の発明の実施例の構成ブロック図である。同図において実施例は ATM セル分解部 25、ATM セル交換部 26 および ATM セル出力部 27 から構成されている。

ATM セル分解部 25 は ATM セルの HEC を除くヘッダ部 32 ビットのデータと情報部 384 ビットのデータを e 等分 (e は 1, 32 以外の 32 の約数) して f_i ($f_i = 32/e_i$) ビット長のヘッダ部 H_i ($j = 1 \sim e_i$) と g_i ($g_i = 384/e_i$) ビット長の情報部 K_i ($j = 1 \sim e_i$) から構成される ATM1 次サブセル e 個 ($R_{i1}, R_{i2}, \dots, P_{i1}$) に ATM セルを分解し、それぞれ出力 b_i ($j = 1 \sim e_i$) から各 1 次サブセルを出力する。

ATM1 次サブセル処理部は、ATM1 次サブセルの入力に対して $Z = 2^Y$ 本の出力 $L_{i1}, L_{i2}, \dots, L_{iY}$ ($Y = Z - 1$) を持ち、ATM1 次サブセルセルのヘッダ部 H_i の値 h_i により ATM サブセルを出力 L_{ij} に振り分ける。

ATM セル交換部 26 は ATM1 次サブセル処理部 e_i 個 ($Q_{i1}, Q_{i2}, \dots, Q_{ie_i}$) で構成され、各 Q_{ij} ($j = 1 \sim e_i$) には b_i ($j = 1 \sim e_i$) が接続され、ATM1 次サブセル P_{ij} ($j = 1 \sim e_i$) が入力される。

ATM セル合成部はヘッダ部 f_i ビット、情報部 g_i ビットを格納する $f_i + g_i$ ビットの ATM セル入力部 e_i 個 ($R_{i1}, R_{i2}, \dots, R_{ie_i}$) と、ATM セル入力部 ($R_{i1}, R_{i2}, \dots, R_{ie_i}$) の全てに ATM1 次サブセルが入力された時のみ ATM セルの組立を行う組立部で構成される ATM セル出力部 27 は ATM セル合成部 T 個 (S_1, \dots, S_T) (T : 出力線の数) で構成され、各 ATM セル合成部 S_n ($n = 1 \sim T$) には、出力線で期待される ATM サブセルのヘッダの値 ($h_{n1}, h_{n2}, \dots, h_{ne}$) に対し、ATM セル入力部 R_{ij} ($j = 1 \sim e_i$) に ATM1 次サブセル処理部 Q_{ij} ($j = 1 \sim e_i$) の出力 L_{ij} を入力することで、ATM セル出力部の出力 C_n にヘッダの値 ($h_{n1}, h_{n2}, \dots, h_{ne}$) の ATM セルが出力される。

第 6 図は第 2 の発明の実施例における ATM セル分解部 25 の出力信号の例を示す図である。同図において、ATM セルのヘッダ部 32 ビットと情報部 384 ビットは 1 と 32 以外

の 32 の約数 e_i によってそれぞれ等分され、ATM セルは f_i ビットのヘッダ部と g_i ビットの情報部とで構成される e_i 個の 1 次サブセルに分解されている。

第 7 図は第 2 の発明の実施例における ATM セル交換部 28 と ATM セル出力部 29 の構成例を示すブロック図である。同図において e_i の値は 8 とされており、1 次サブセルヘッダ部は $f_i = 4$ ビット、情報部は $g_i = 48$ ビットとなっている。ATM セル交換部 28 内の各 ATM1 次サブセル処理部は 2 の f_i 乗、すなわち 16 個の出力端子を持っており、それぞれの処理部に入力される 1 次サブセルはそのヘッダ部のデータに応じて 16 個の出力端子のうちのいずれかに出力される。ATM1 次サブセル処理部の個数は 8 個であり、ATM セル出力部 29 内の各 ATM セル合成部では、出力線に対応するヘッダ値に応じて 8 本の入力線が ATM セル交換部 28 内の ATM1 次サブセル処理部の出力端子に接続される。

第 8 図は第 3 の発明の実施例における ATM ($q - 1$) 次サブセル処理部に実施例の構成ブロック図である。同図において $q = 2$ とおくことにより、第 5 図における ATM セル交換部 26 内の e_i 個の ATM1 次サブセル処理部の構成において従来の ATM セルの交換方式としての多段ゲート型の回路を使用しない回路の詳細構成が示されることになる。ATM ($q - 1$) 次サブセル処理部は ATM q 次サブセル分解部 30、ATM q 次サブセル交換部 31、および ATM q 次サブセル出力部 32 から構成される。

ATM q 次サブセル分解部 30 は ATM $q - 1$ 次サブセルのヘッダ部 f_{i1} ($f_i = 32/e_i$; e_i は 1, 32 以外の 32 の約数) ビットのデータと情報部 g_{i1} ($g_i = 384/e_i$; e_i は 1, 32 以外の 32 の約数) ビットのデータを e_i 等分 (e_i は 1, e_i 以外の e_i の約数) して f_{ij} ($f_{ij} = f_{i1}/e_{ij}$) ビット長のヘッダ部 H_{ij} ($j = 1 \sim e_{ij}$) と g_{ij} ($g_{ij} = g_{i1}/e_{ij}$) ビット長 g の情報部 K_{ij} ($j = 1 \sim e_{ij}$) から構成される ATM q 次サブセル e_i 個 ($R_{i1}, R_{i2}, \dots, P_{i1}$) に ATM セルを分解し、それぞれ出力 b_i ($j = 1 \sim e_i$) から各 q 次サブセルを出力する。

ATM q 次サブセル処理部は ATM q 次サブセルの入力に対して $Z = 2^Y$ 本の出力 $L_{i1}, L_{i2}, \dots, L_{iY}$ ($Y = Z - 1$) を持ち、ATM q 次サブセルのヘッダ部 H_i の値 h_i により ATM サブセルを出力 L_{ij} に振り分ける。

ATM q 次サブセル交換部 31 は、ATM q 次サブセル処理部 e_i 個 ($Q_{i1}, Q_{i2}, \dots, Q_{ie_i}$) で構成され、各 Q_{ij} ($j = 1 \sim e_i$) には b_i ($j = 1 \sim e_i$) が接続され、ATM q 次サブセル P_{ij} が入力される。

ATM q 次サブセル合成部はヘッダ部 f_i ビット、情報部 g_i ビットを格納する $f_i + g_i$ ビットの ATM q 次サブセル入力部 e_i 個 ($R_{i1}, R_{i2}, \dots, R_{ie_i}$) の全てに ATM q 次サブセルが入力された時のみ ATM $q - 1$ 次サブセルの組立を行う組立部で構成される。

ATM q 次サブセル出力部 32 は ATM q 次サブセル合成部 T 個 (S_1, \dots, S_T) (T : 出力線の数) で構成され、各 ATM q 次サブセル合成部 S_n ($n = 1 \sim T$) には、出力線で期待される ATM $q - 1$ 次サブセルのヘッダの値 (h_{n1}, h_{n2}, \dots

・ ・ ・ , h_{e_1}) に対し、ATM q 次サブセル入力部 R_j ($j = 1 \sim e_1$) に ATM q 次サブセル処理部 Q_j ($j = 1 \sim e_1$) の出力 L_j を入力することで、ATM q 次サブセル出力部の出力部 C_j にヘッダの値 (h_1, h_2, \dots, h_{e_1}) の ATMセルが出力される。

さらに ATM q ($q \geq 2$ の自然数) 次サブセル処理部の構成において、従来の ATMセル交換方式におけるような多段ゲート型の回路を使用せずに、第 8 図で q の値を順次増加させ、各サブセル処理部を階層的に構成していくことができる。

第 9 図は第 8 図における第 3 の発明の実施例における ATM q 次サブセル分解部30の出力信号の実施例である。同図において、ATM ($q - 1$) 次サブセルのヘッダ部 f_i ビットと情報部 g_i ビットとがそれぞれ 1 と e_1 以外の e_1 の約数 e_2 で等分され、 f_i ビットのヘッダ部と g_i ビットの情報部から構成される q 次サブセル e_2 個が出力される。

第 10 図は第 3 の発明の実施例における ATM2次サブセル交換部と ATM2次サブセル出力部の構成例ブロック図である。同図は $e_1 = 8$ 、 $e_2 = 4$ の場合を示している。1 次サブセルのヘッダ部は 4 ビット、情報部は 48 ビットであり、2 次サブセルは 1 次サブセルをさらに 4 等分するためにそのヘッダ部は 1 ビット、情報部 12 ビット、すなわちユニットセルとなる。従って ATM2次サブセル交換部33、および ATM2次サブセル出力部34の構成は第 1 の発明の実施例を示す第 2 図の代表的な構成例としての第 4 図における ATMセル交換部23と ATMセル出力部24と同様の構成となる。

第 11 図は第 4 の発明の実施例の構成ブロック図である。第 4 の発明においては、ATM交換回路を入力線 w 本の複数入力型にするために、ATMセル分解部 w 個 ($35_1, \dots, 35_w$) と、各 ATMセル分解部が出力する各 ATMセル上で最初からみて同一の位置にある 1 次サブセルを多重する多重部 e_1 個 ($36_1, 36_2, \dots, 36_{e_1}$)、ATMセル交換部37、および ATMセル出力部38によって構成される。

w 個の ATMセル分解部 ($A_1 \sim A_w$) は ATMセルの HEC を除くヘッダ部 32 ビットのデータと情報部 384 ビットのデータを e_1 等分 (e_1 は 1, 32 以外の 32 の約数) して f_i ($f_i = 32 / e_1$) ビット長のヘッダ部 H_j ($j = 1 \sim e_1$) と g_i ($g_i = 384 / e_1$) ビット長の情報部 K_j ($j = 1 \sim e_1$) から構成される ATM1次サブセル e_1 個 (P_1, P_2, \dots, P_{e_1}) に ATMセルを分解し、各 1 次サブセルをそれぞれ出力部 b_j ($j = 1 \sim e_1$) から出力する。

多重部 B_j ($j = 1 \sim e_1$) には ATMセル分解部 ($A_1 \sim A_w$) の出力 b_j を入力し、多重化を行い、出力線 d から出力する。

ATM1次サブセル処理部は、多重部 B_j の出力 d を入力し、 $Z = 2^Y$ 本の出力 L_1, L_2, \dots, L_Y ($Y = Z - 1$) を持ち ATM1次サブセルのヘッダ部 H_j の値 h_j により ATMサブセルを出力部 L_j に振り分ける。

ATMセル交換部37は ATM1次サブセル処理部 e_1 個 (Q_1, Q_2, \dots, Q_{e_1}) で構成され、各 Q_j ($j = 1 \sim e_1$) には d_j ($j = 1 \sim e_1$) が接続され、ATM1次サブセル P_j ($j = 1 \sim e_1$) が入力される。

ATMセル合成部はヘッダ部 f_i ビット、情報部 g_i ビットを格納する $f_i + g_i$ ビットの ATMセル入力部 e_1 個 (R_1, R_2, \dots, R_{e_1}) と、ATMセル入力部 (R_1, R_2, \dots, R_{e_1}) のすべてに ATM1次サブセルが入力された時のみ ATMセルの組立てを行う組立部が構成される。

ATMセル出力部38は ATMセル合成部 T 個 (S_1, \dots, S_T) (T : 出力線の数) で構成され、各 ATMセル合成部 S_n ($n = 1 \sim T$) には、出力線で期待される ATMサブセルのヘッダの値 (h_1, h_2, \dots, h_{e_1}) に対し、ATMセル入力部 R_j ($j = 1 \sim e_1$) に ATM1次サブセル処理部 Q_j ($j = 1 \sim e_1$) の出力 L_j を入力することで、ATMセル出力部の出力部 C_j にヘッダの値 (h_1, h_2, \dots, h_{e_1}) の ATMセルが出力される。

第 12 図は第 4 の発明の実施例における多重部の実施例の構成ブロック図である。同図において多重部、例えば 36j は、例えば各 ATMセル上で最初から j 番目の 1 次サブセルが入力されるシリアル/パラレル変換器 (S/P) 40 $_1, 40_2, \dots, 40_w$ 、これらのシリーズ/パラレル変換器の出力をシリアル信号に変換するパラレル/シリアル変換器 (P/S) 41 から構成される。

第 13 図は第 3 の発明の実施例における ATMセル分解部の出力信号の例である。同図は ATMセル分解部 35k への入力信号と出力信号との例である。ATMセル分解部 35k に入力される ATMセル (k) は、1 と 32 以外の 32 の約数 e_1 によってそのヘッダ部と情報部とが等分されて、ヘッダ部 f_i ビット、情報部 g_i ビットを持つ e_1 個の 1 次サブセルとして出力される。

第 14 図は多重部の信号の実施例である。同図においては、多重部 36j へ入力される 1 次サブセルと多重部の出力との例が示されている。入力される 1 次サブセルは ATMセル (1) の最初から j 番目の 1 次サブセル $P_j(1)$ 、ATMセル (2) の最初から j 番目の 1 次サブセル $P_j(2)$ 、 \dots 、ATMセル (w) の最初から j 番目の 1 次サブセル $P_j(w)$ であり、これらの信号が多重化され、シリアル信号として出力される。

以上の説明では ATMセルのヘッダエラー制御用データを除くヘッダ部を 32 ビット、情報部を 384 ビットとしたが、本発明の方式はヘッダエラー制御用データを除くビット数と情報部のビット数とが公約数を持つ場合に適用できることは明らかであり、ビット数がこれに限定されないことは当然である。

〔発明の効果〕

以上詳細に説明したように、本発明によれば ATM交換回路を基本的に ATMセル分解部と ATMセル交換部と ATMセル出力部で構成することにより階層構造とすることが可能となり、また ATMセル出力部内の ATMセル合成部の追加

と追加されたATMセル合成部とATMセル交換部との間で必要な配線を追加することにより出力線数の増加に柔軟に対応することができ、LSI化に適した交換回路が形成される。

また、ATMセル交換部をATM1次サブセル処理部を単位として少ないモジュールで構成することもでき、ATM1次サブセル処理部をATM2次サブセル分解部、ATM2次サブセル交換部、およびATM2次サブセル出力部で構成し、ATM2次サブセル交換部を構成するATM2次サブセル処理部を順次同様に階層的に構成することにより、一層の階層化が進められる。

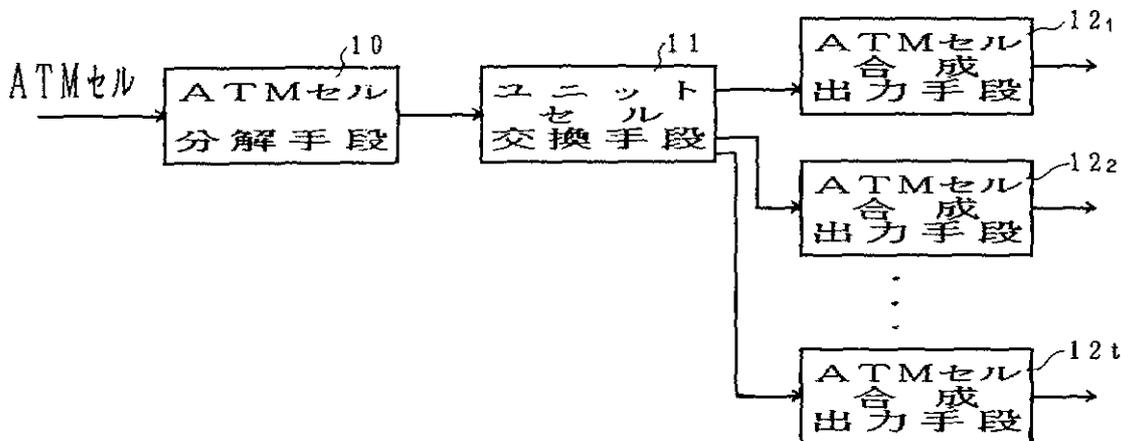
さらに階層的に構成されたATM交換回路に多重部を追加し、複数の入力線にそれぞれ対応する複数のATMセル分解部と多重部、ATMセル交換部、およびATMセル出力部によって交換回路を構成し、複数入力型の交換回路を構成することもでき、LSI化に柔軟な対応できるATM交換回路が実現され、多様なシステムの構成とシステム変更時の作業量減少に寄与するところが大きい。

【図面の簡単な説明】

- 第1図(a)～(d)は本発明の原理ブロック図、
- 第2図は第1の発明の実施例の構成を示すブロック図、
- 第3図は第1の発明の実施例におけるATMセル分解部の出力信号の例を示す図、
- 第4図は第1の発明の実施例におけるATMセル交換部とATMセル出力部の構成例を示す図、
- 第5図は第2の発明の実施例の構成を示すブロック図、
- 第6図は第2の発明の実施例におけるATMセル分解部の出力信号の例を示す図、
- 第7図は第2の発明の実施例におけるATMセル交換部とATMセル出力部の構成例を示すブロック図、
- 第8図は第3の発明の実施例におけるATM(q-1)次 *

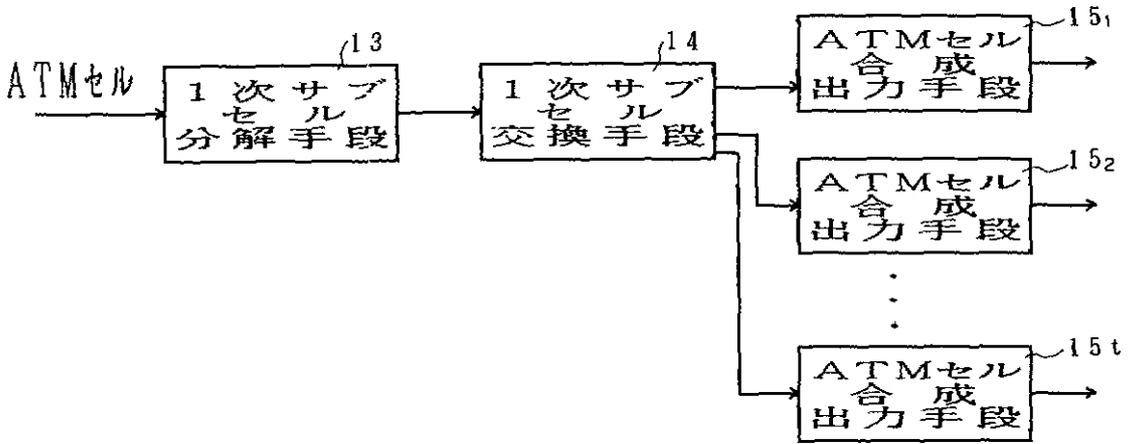
- *サブセル処理部の実施例の構成を示すブロック図、
 - 第9図は第3の発明の実施例におけるATMq次サブセル分解部の出力信号の実施例を示す図、
 - 第10図は第3の発明の実施例におけるATM2次サブセル交換部とATM2次サブセル出力部の構成例を示すブロック図、
 - 第11図は第4の発明の実施例の構成を示すブロック図、
 - 第12図は第4の発明の実施例における多重部の実施例の構成を示すブロック図、
 - 第13図は第4の発明の実施例におけるATMセル分解部の出力信号の例を示す図、
 - 第14図は第4の発明の実施例における多重部の信号の実施例を示す図、
 - 第15図はATMセルの構造の例を示す図、
 - 第16図は広帯域ISDNの構成を示す図、
 - 第17図は1入力の多段ゲート型回路の構成を示す図、
 - 第18図はN=3の場合の1入力の多段ゲート型回路の構成例を示す図、
 - 第19図は複数入力の多段ゲート型回路の構成を示す図、
 - 第20図はN=3の場合における複数入力の多段ゲート型回路の構成例を示す図である。
- 4,8 ユーザ端末、5,7 ATM交換機、6 伝送線路、10 ATMセル分解手段、11 ユニットセル交換手段、12₁, 12₂, ..., 12_t ATMセル合成出力手段、15₁, 15₂, ..., 15_t ATMセル合成出力手段、17₁, 17₂, ..., 17_t 1次サブセル多重手段、100₁, 100₂, ..., 100_q q-1次サブセル処理手段、101 q次サブセル分解手段、102 q次サブセル交換手段、103₁, 103₂, ..., 103_t q次サブセル合成出力手段。

【第1図(a)】



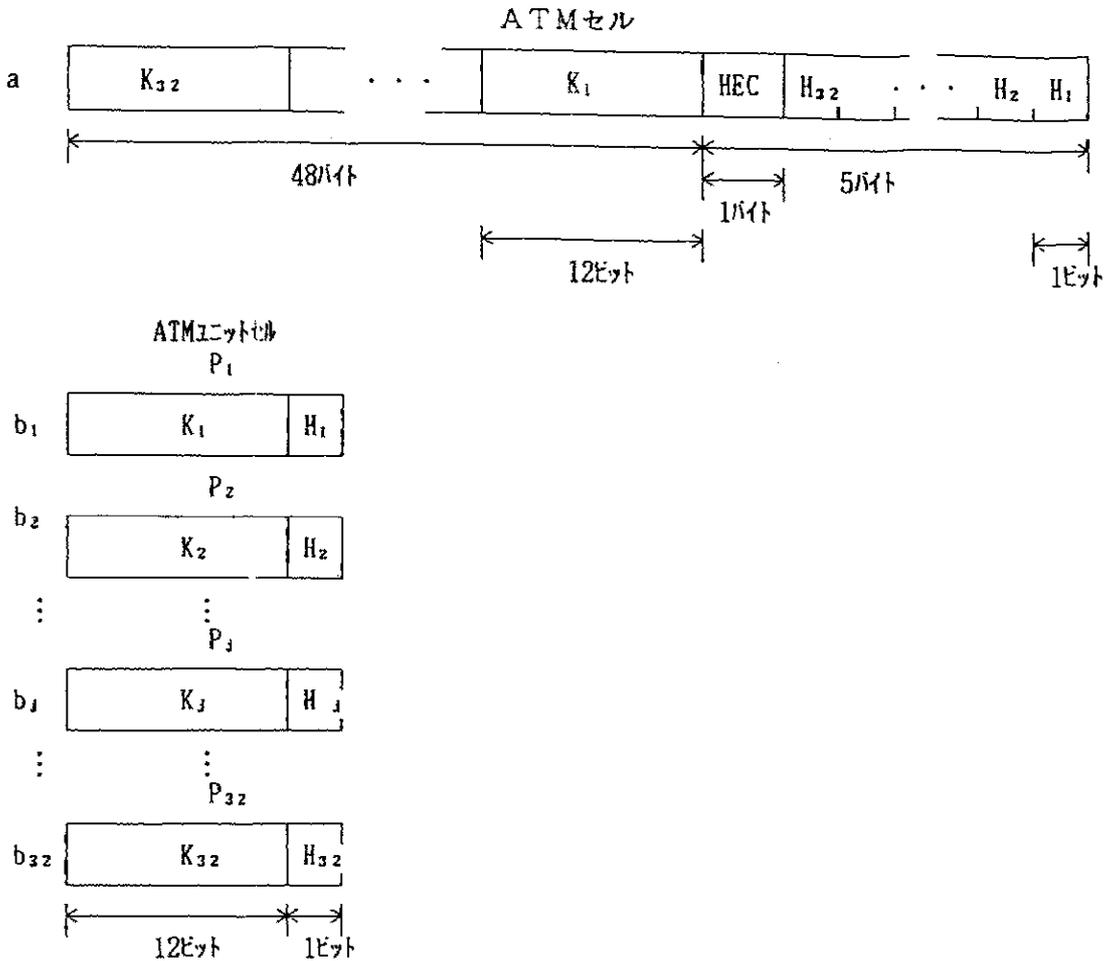
本発明の原理ブロック図

【第1図(b)】



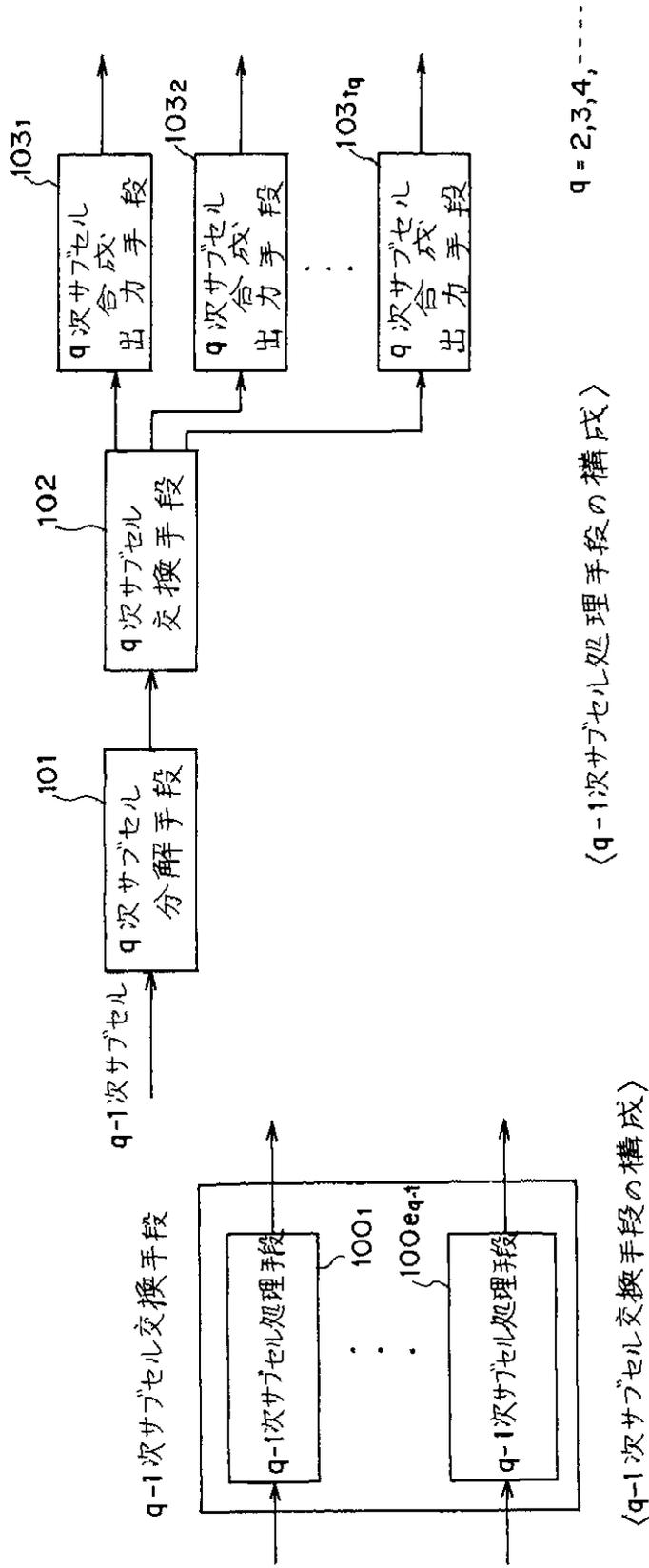
本発明の原理ブロック図

【第3図】



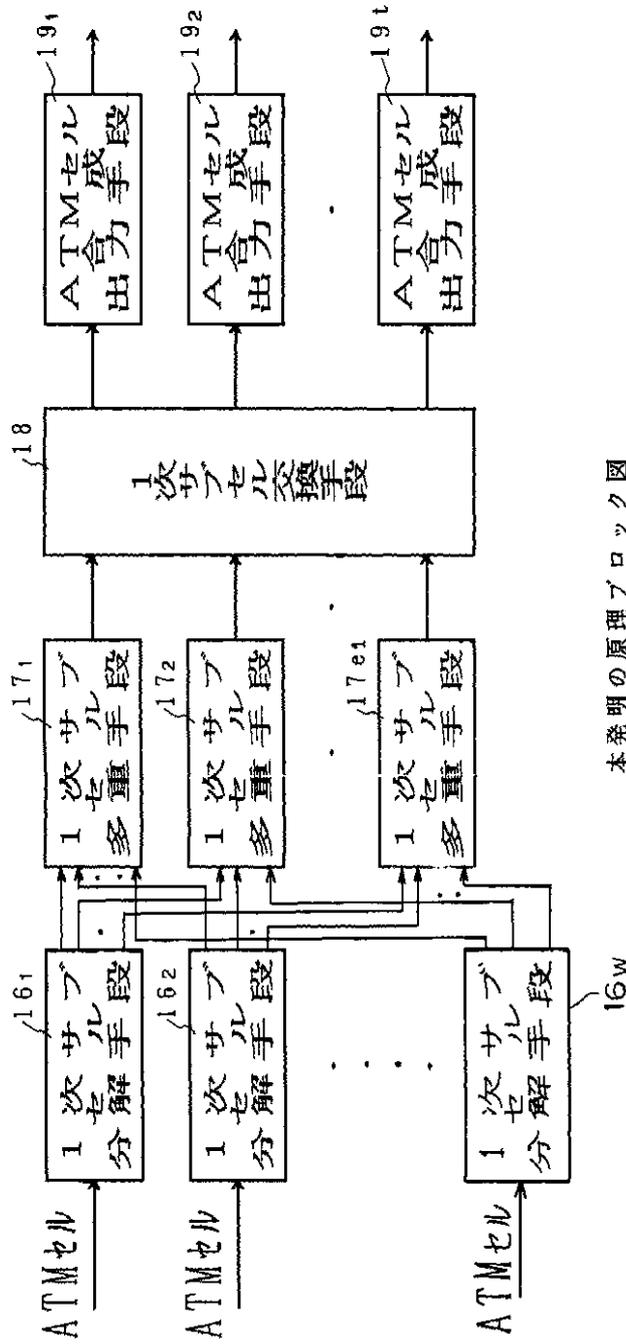
第1の発明の実施例におけるATMセル分解部の出力信号の例を示す図

【第1図(c)】



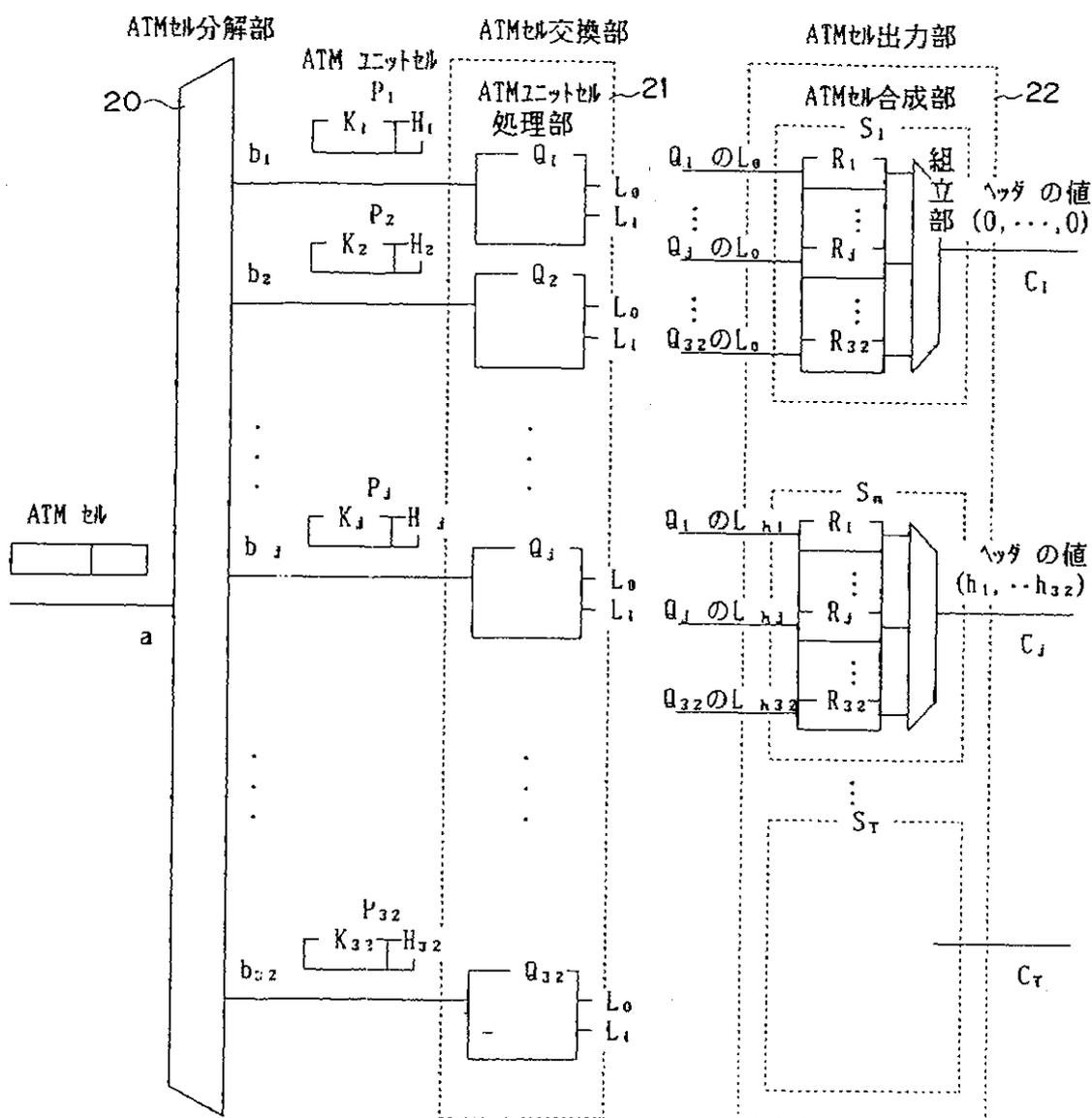
本発明の原理ブロック図

【第1図(d)】



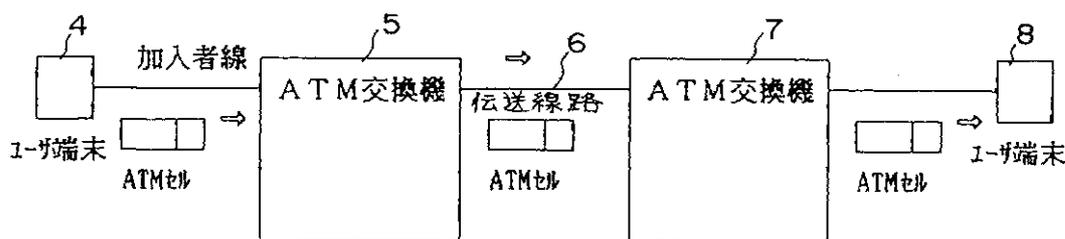
本発明の原理ブロック図

【第2図】



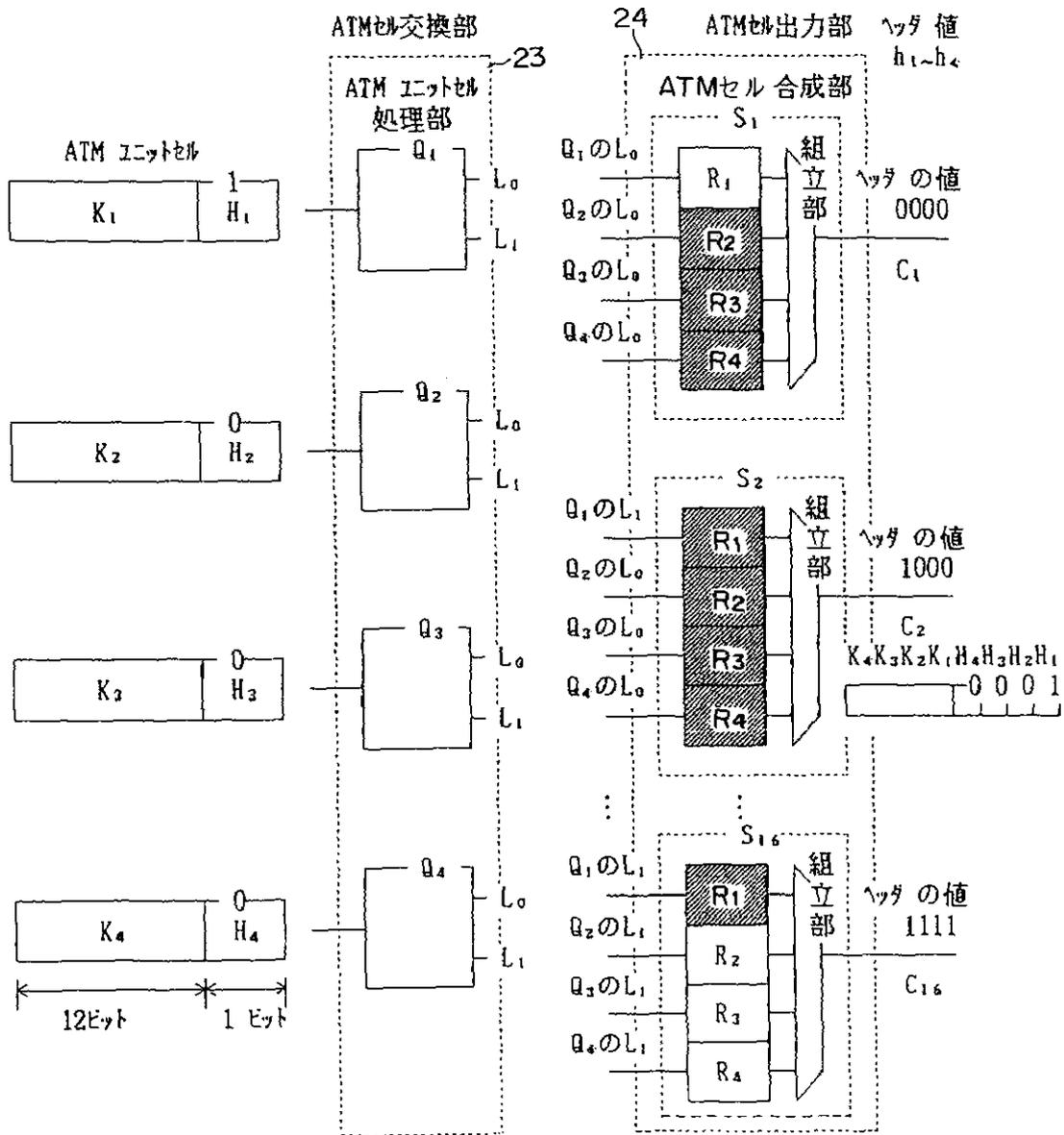
第1の発明の実施例の構成を示すブロック図

【第16図】



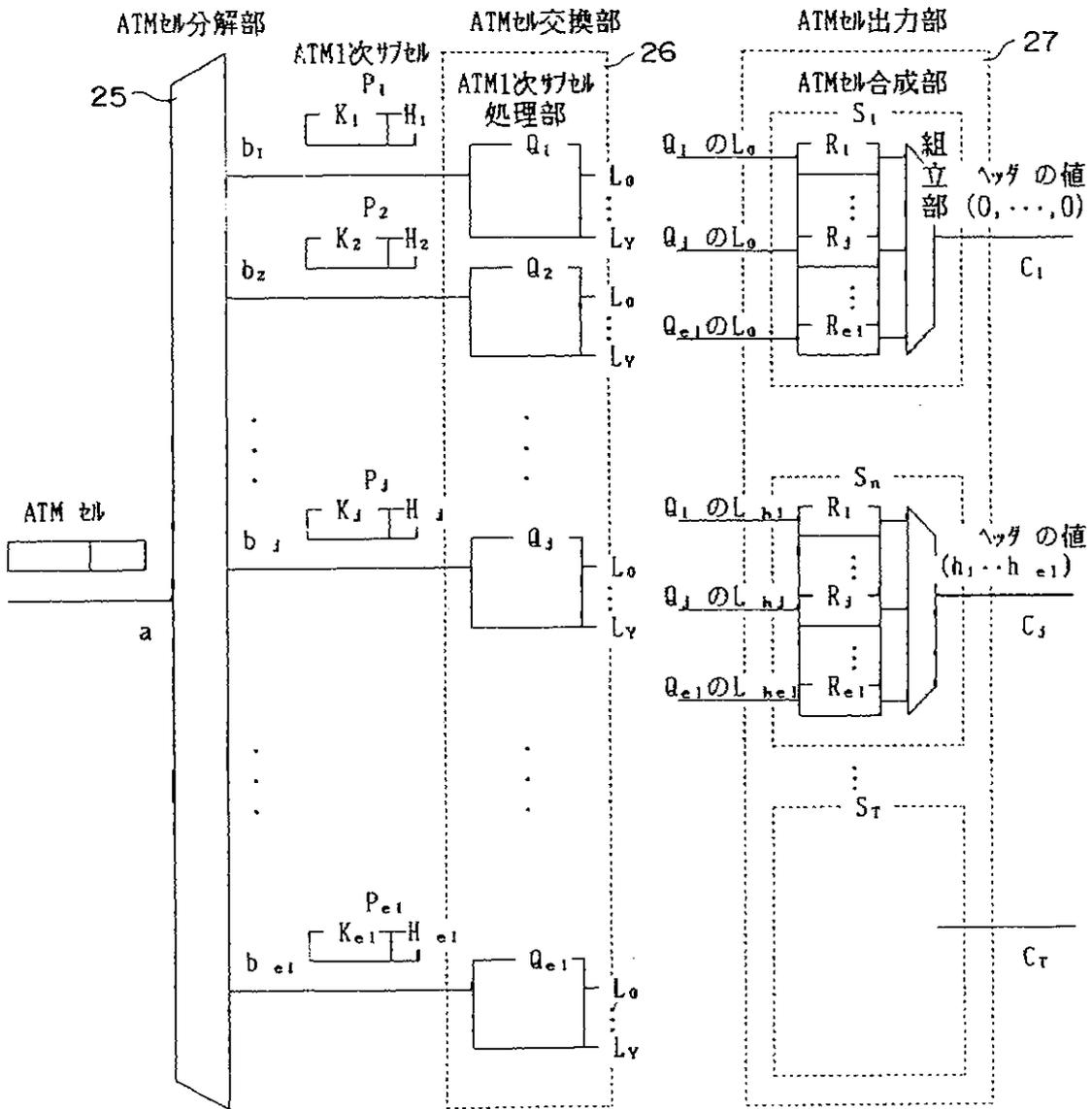
広帯域 ISDN システムの構成例を示す図

【第4図】



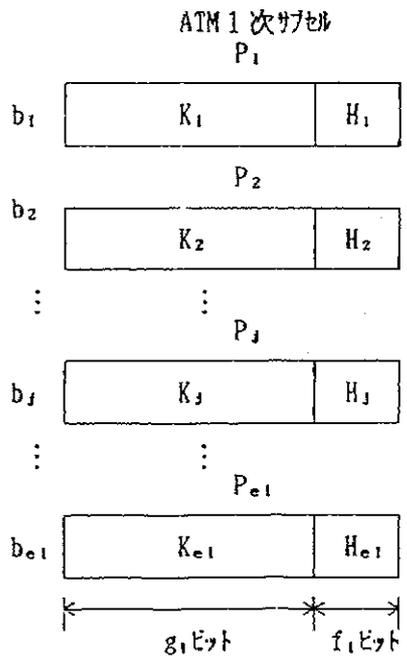
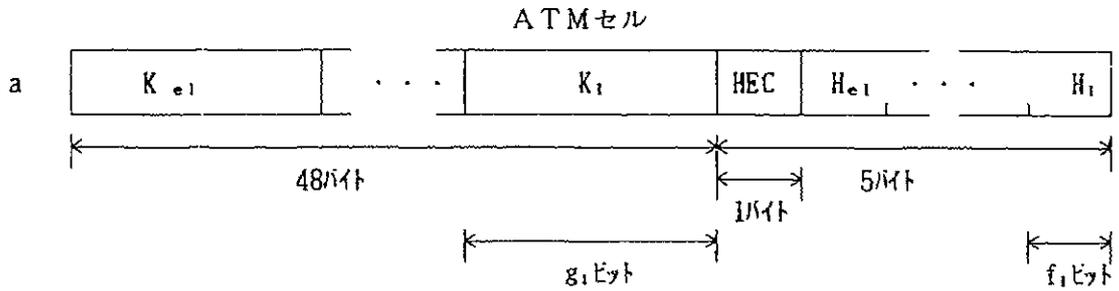
第1の発明の実施例におけるATMセル交換部とATMセル出力部の構成例を示す図

【第5図】



第2の発明の実施例の構成を示すブロック図

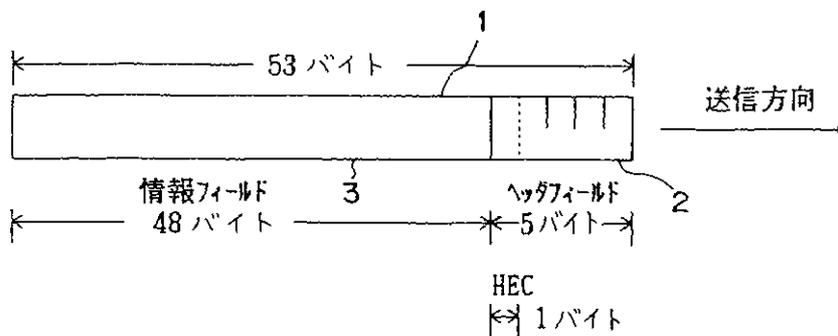
【第6図】



$f_i : f_i = 32/e_i$
 $g_i : g_i = 384/e_i$
 $e_i : e_i$ は 1, 32 以外の 32 の約数

第2の発明の実施例におけるATMセル分解部の出力信号の例を示す図

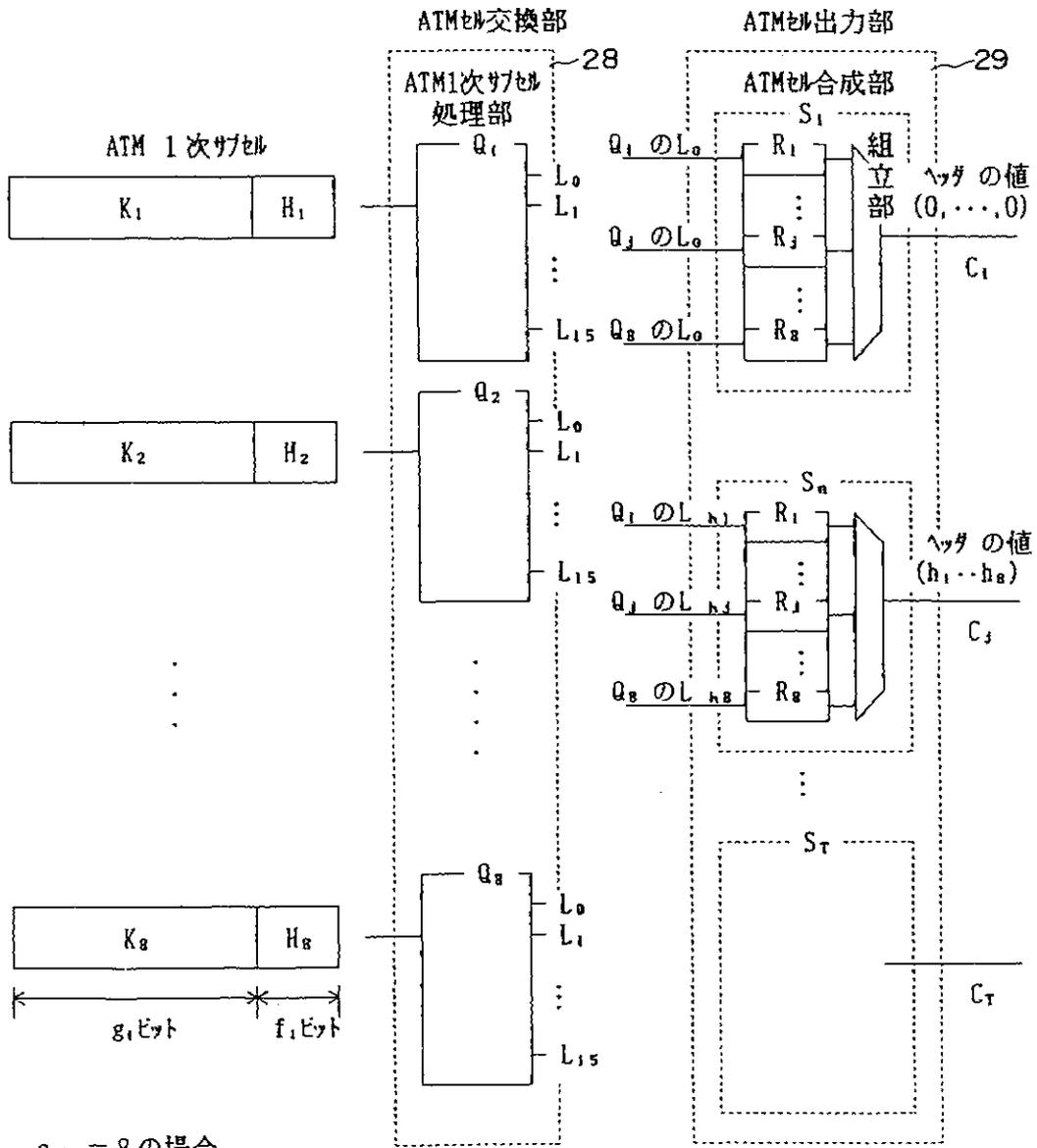
【第15図】



HEC: Header Error Control

ATMセルの構造の例を示す図

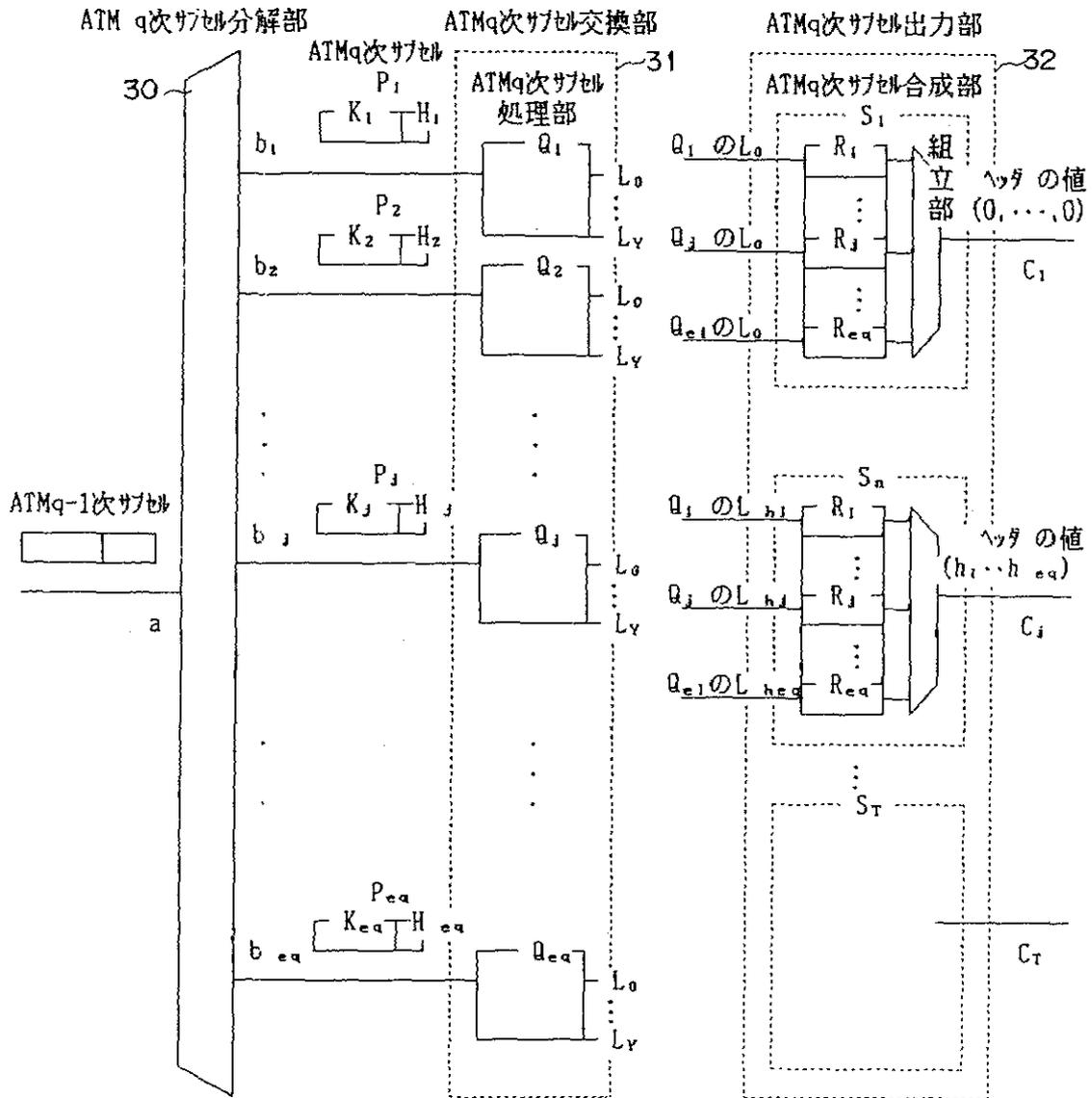
【第7図】



$e_1 = 8$ の場合
 $f_1 : f_i = 32/e_1 = 4$
 $g_i : g_i = 384/e_1 = 48$

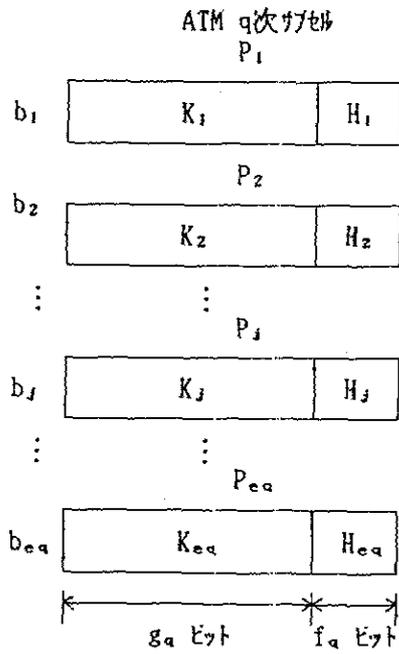
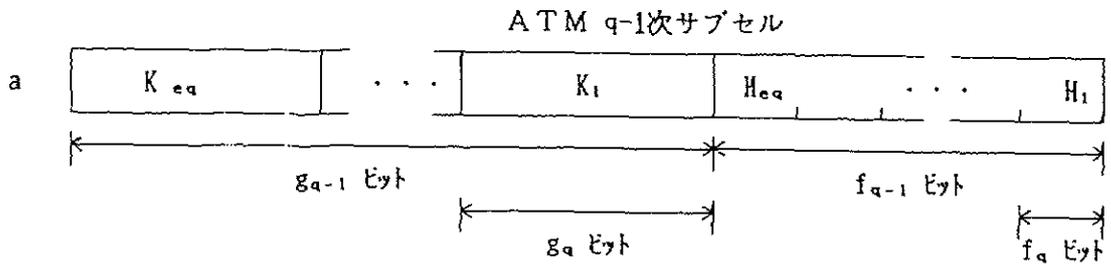
第2の発明の実施例におけるATMセル交換部と
 ATMセル出力部の構成例を示すブロック図

【第8図】



第3の発明の実施例における
ATM(q-1)次サブセル処理部の実施例の構成を示すブロック図

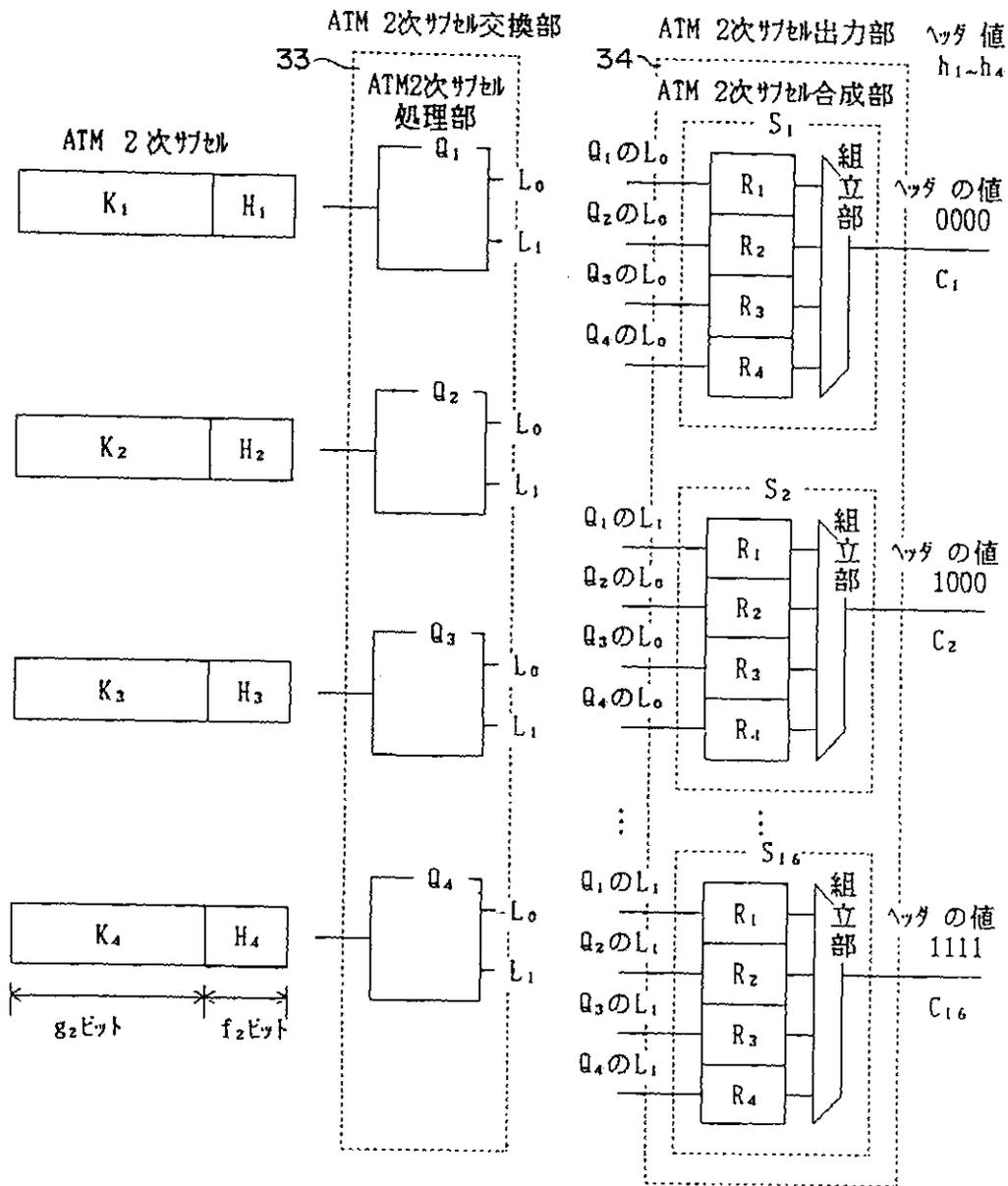
【第9図】



$f_1 : f_1 = 32/e_1$
 $g_1 : g_1 = 384/e_1$
 $e_1 : e_1$ は 1.32 以外
 の 32 の約数
 $f_q : f_q = f_{q-1}/e_q$
 $g_q : g_q = g_{q-1}/e_q$
 $e_q : e_q$ は 1, e_{q-1}
 以外の e_{q-1} の約数

第3の発明の実施例における
 ATM q 次サブセル分解部の出力信号の実施例を示す図

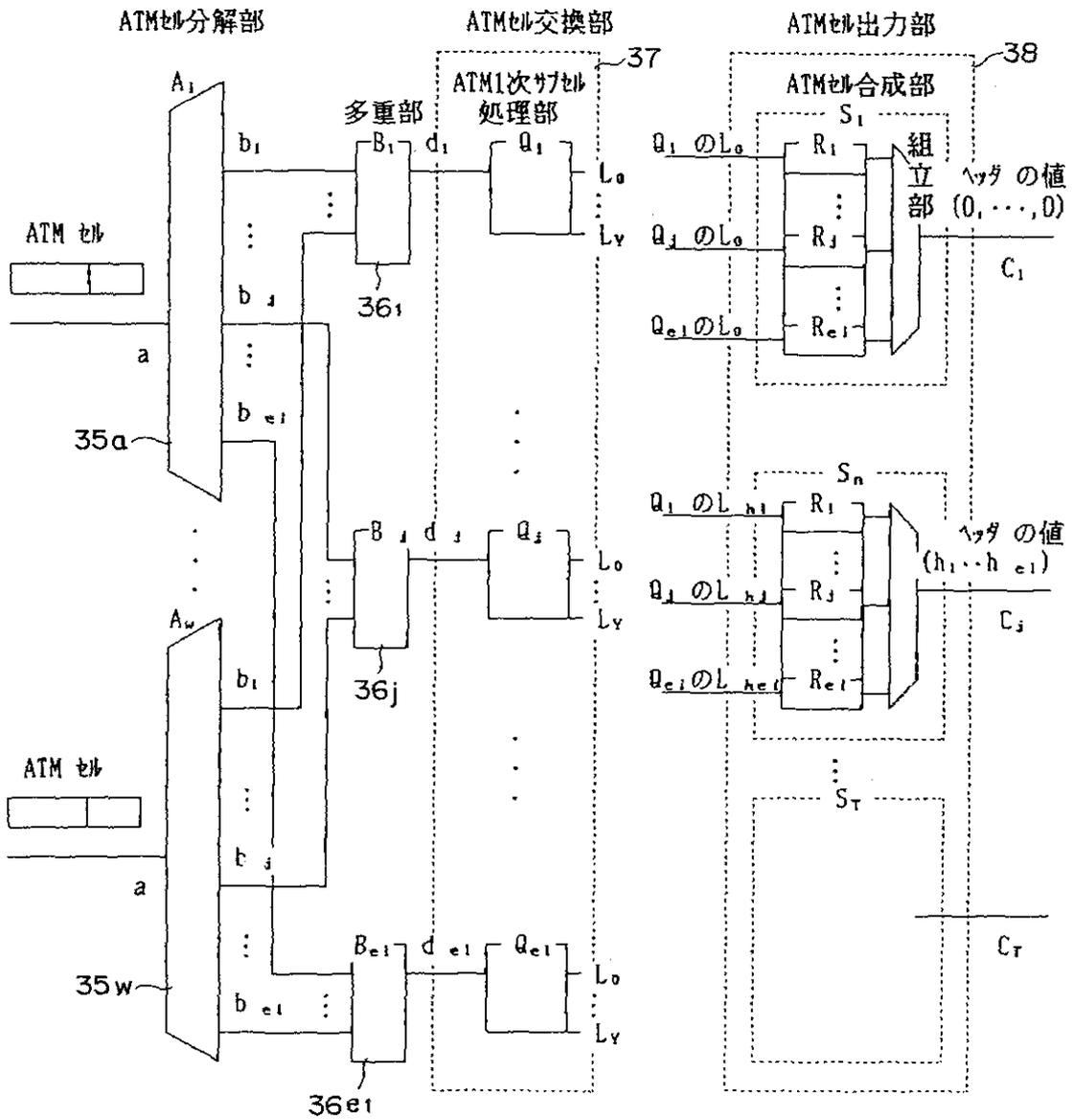
【第10図】



$e_1 = 8$ 、 $e_2 = 4$ の場合
 $f_1 : f_1 = 32/e_1 = 4$
 $g_1 : g_1 = 384/e_1 = 48$
 $f_2 : f_2 = f_1/e_2 = 1 \dots$ この時ATM2次サブセル処理部は ATMユニット処理部である
 $g_2 : g_2 = g_1/e_2 = 12$

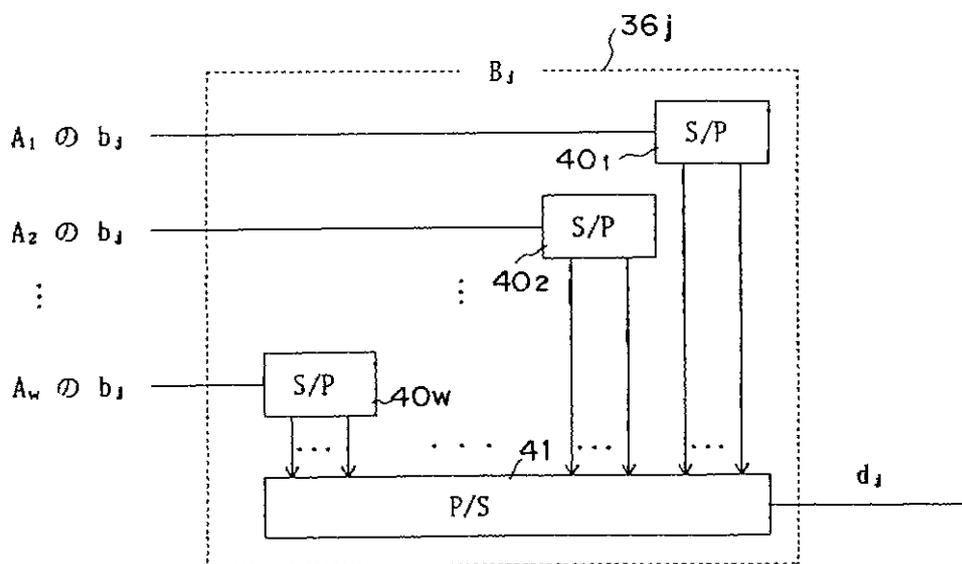
第3の発明の実施例における
 ATM 2次サブセル交換部とATM 2次サブセル出力部の
 構成例を示すブロック図

【第11図】



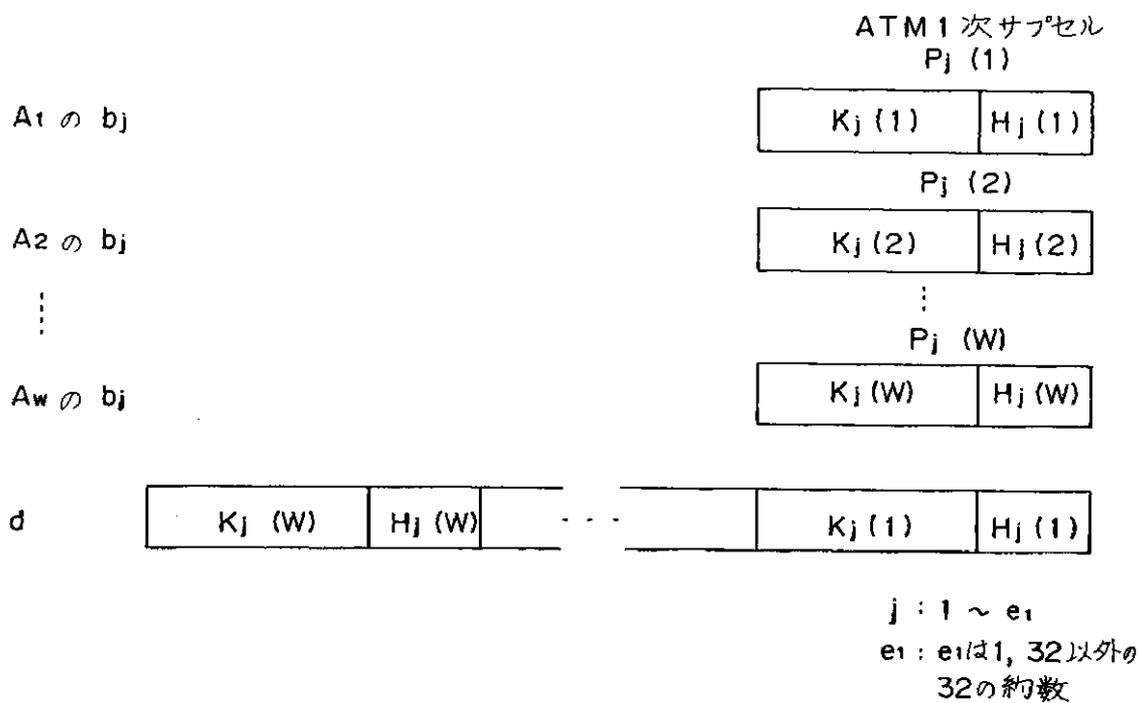
第4の発明の実施例の構成を示すブロック図

【第12図】



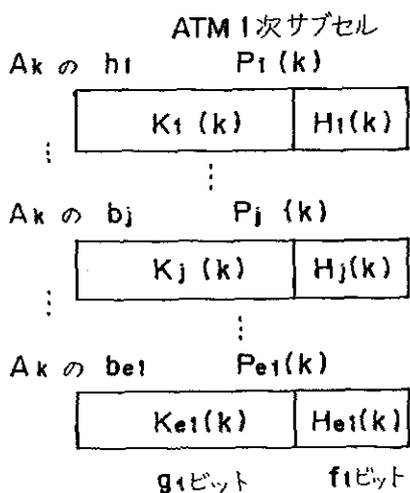
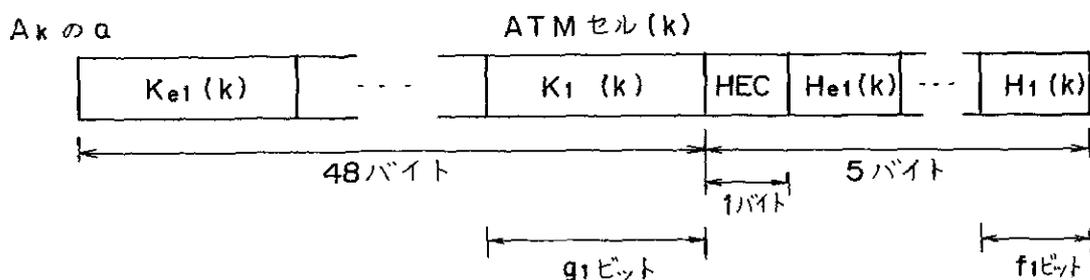
第4の発明の実施例における
多重部の実施例の構成を示すブロック図

【第14図】



第4の発明の実施例における
多重部の信号の実施例を示す図

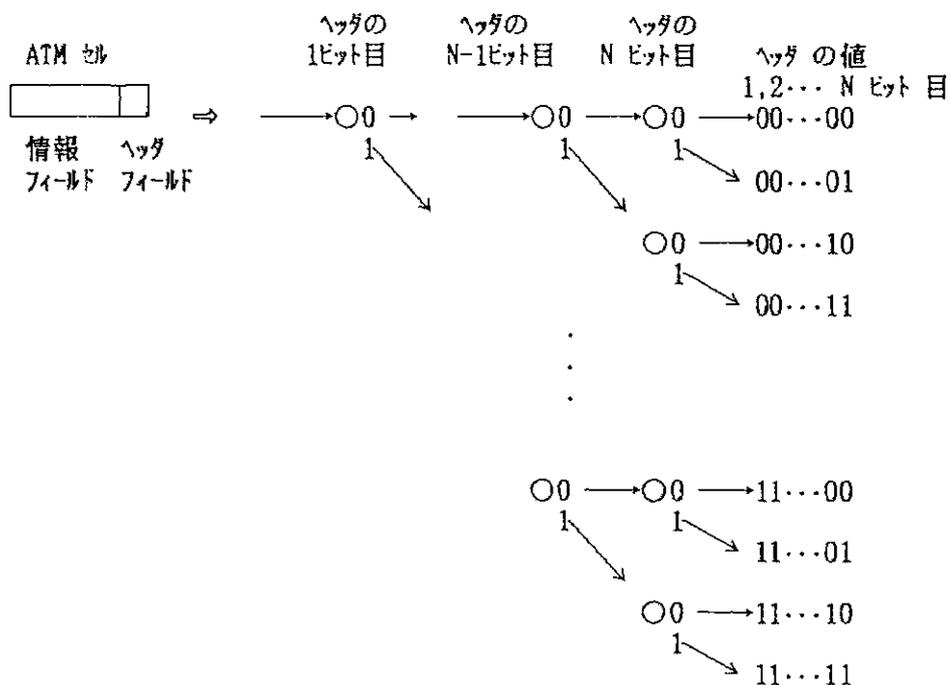
【第13図】



$k : 1 \sim w$
 $f_1 : f_1 = 32 / e_1$
 $g_1 : g_1 = 384 / e_1$
 $e_1 : e_1$ は1, 32以外の32の約数

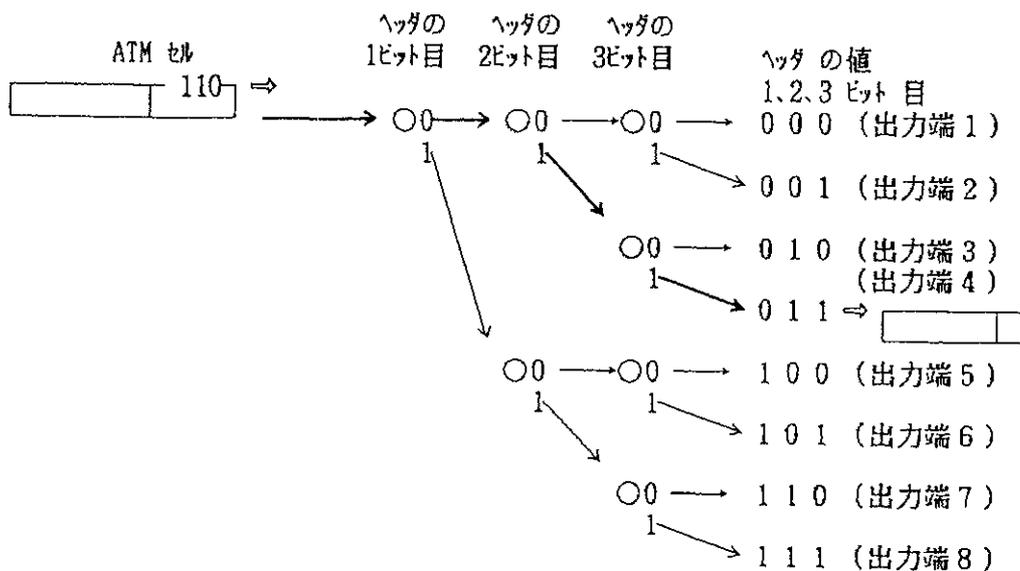
第4の発明の実施例における ATM セル
 分解部の出力信号の例を示す図

【第 1 7 図】



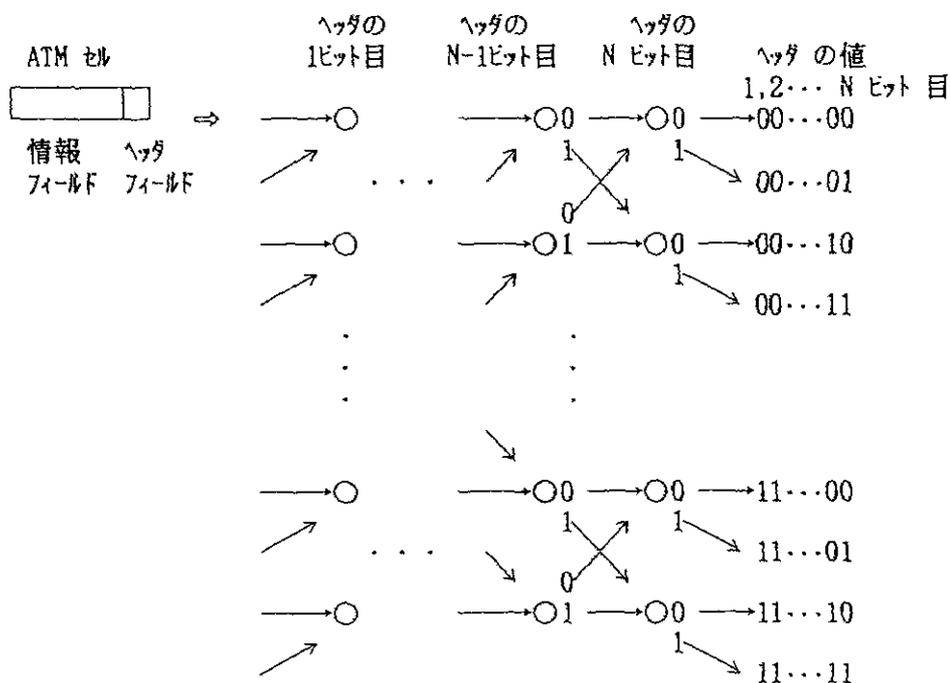
1入力の多段ゲート型回路の構成を示す図

【第 1 8 図】



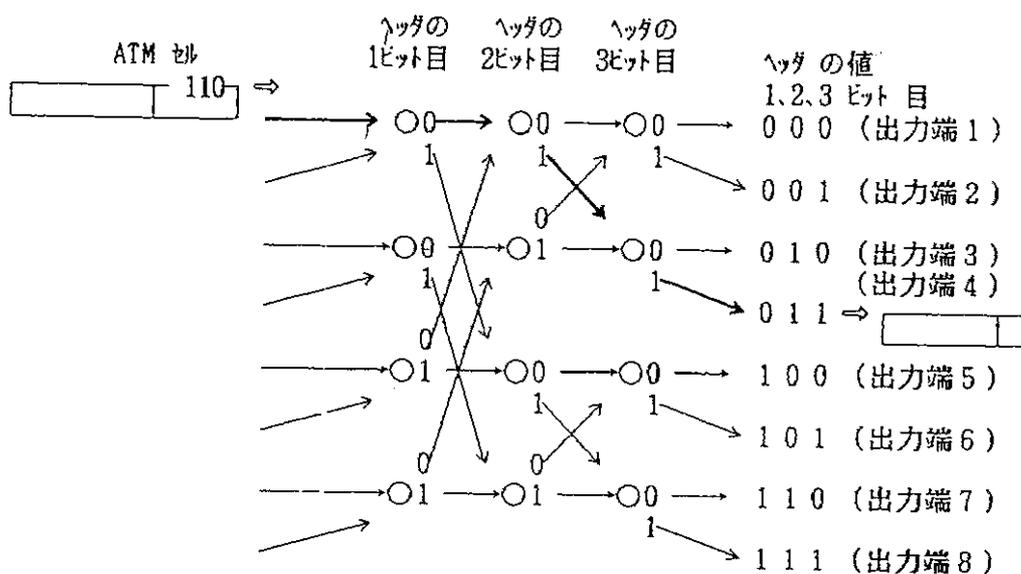
N = 3 の場合の1入力多段ゲート型回路の構成を示す図

【第19図】



複数入力の多段ゲート型回路の構成を示す図

【第20図】



N=3の場合における複数入力の多段ゲート型回路の構成を示す図

フロントページの続き

(58)調査した分野(Int.Cl.⁶, D B 名)

H04L 12/28

H04L 12/56