

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-264214

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00				
		9466-5K	H 0 4 L 11/ 20	E
		9466-5K	11/ 12	
審査請求 未請求 請求項の数20 O L (全 44 頁) 最終頁に続く				

(21) 出願番号 特願平6-269298

(22) 出願日 平成6年(1994)11月2日

(31) 優先権主張番号 特願平6-13776

(32) 優先日 平6(1994)2月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 中山 幹夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 奥山 裕蔵

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 池谷 陽三

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 斉藤 千幹

最終頁に続く

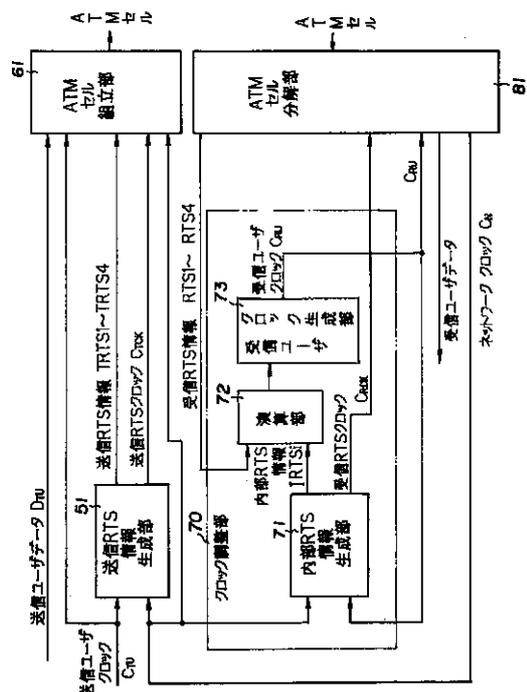
(54) 【発明の名称】 インターフェース装置

(57) 【要約】

【目的】 送信側から送られてくる R T S 情報を用いて受信ユーザクロックのタイミングを送信ユーザクロックのタイミングに一致させる。

【構成】 内部 R T S 情報生成部 7 1 は、ネットワーククロック C_Nと受信ユーザクロック C_Rを用いて S R T S 法により受信ユーザクロックのタイミング情報である内部 R T S 情報 I R T S 1 ~ I R T S 4 とそれに同期した受信 R T S クロック C_{RX}を生成する。演算部 7 2 は内部 R T S 情報 I R T S 1 ~ I R T S 4 と受信 A T M セルに含まれる受信 R T S 情報 R R T S 1 ~ R R T S 4 との差を演算し、受信ユーザクロック発生部 7 3 は該差がゼロとなるように受信ユーザクロック C_Rのタイミングを調整して出力する。 A T M セル分解部 8 1 は、受信ユーザクロック生成部 7 2 から入力される受信ユーザクロック C_Rに同期して A T M セルよりユーザデータ D_Rを出力すると共に、受信 R T S クロック C_{RX}に同期して受信 R T S 情報を出力する。

本発明の原理図



【特許請求の範囲】

【請求項 1】 送信すべきデータを固定長のセルに組立てて伝送するネットワークにおけるインタフェース装置において、

ネットワーククロックと、送信ユーザデータに同期した送信ユーザクロックとを用いて送信ユーザクロックのタイミング情報である送信タイミング情報を生成する送信タイミング情報生成手段、

送信ユーザデータと送信タイミング情報を固定長のセルに組立て、該セルをネットワーククロックに同期してネットワークに送出するセル組立手段、

ネットワーククロックと受信ユーザクロックを用いて、受信ユーザクロックのタイミング情報である内部タイミング情報を生成し、かつ、内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング情報との差がゼロとなるように受信ユーザクロックのタイミングを調整するクロック調整手段と、

ネットワークから受信したセルをユーザデータと送信タイミング情報に分解し、クロック調整手段から入力される受信ユーザクロックに同期してユーザデータを出力するセル分解部を有するインタフェース装置。

【請求項 2】 前記クロック調整手段は、ネットワーククロックと受信ユーザクロックを用いて受信ユーザクロックのタイミング情報である内部タイミング情報を生成する内部タイミング情報生成部と、内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング情報との差を演算しあるいは大小を比較する演算部と、

該差がゼロとなるように受信ユーザクロックのタイミングを調整して前記内部タイミング情報生成部にフィードバックする受信ユーザクロック生成部と、を有する請求項 1 記載のインタフェース装置。

【請求項 3】 前記内部タイミング情報生成部は、受信ユーザクロックを $1/3008$ に分周して内部タイミングサンプリングクロックを生成する分周部と、該内部タイミングサンプリングクロックによりネットワーククロックのタイミング情報をサンプリングして内部タイミング情報を生成するタイミング情報生成回路とを備えた請求項 2 記載のインタフェース装置。

【請求項 4】 前記受信ユーザクロック生成部は、ユーザクロック周波数の公称値の整数倍の周波数を有するクロック信号を出力する基準発振器と、基準発振器から出力されるクロック信号を分周すると共にパルスの増加、削除指示により分周クロックにパルスを追加し、あるいはパルスを削除して調整クロック信号を出力するパルス調整部と、パルス調整部から出力される調整クロック信号を分周して受信ユーザクロックを出力する分周器と、受信ユーザクロックをタイミング情報生成部にフィードバックする手段と、

前記差に基づいてパルスの増加、削除をパルス調整部に指示するパルス制御部を備え、

前記パルス調整部はパルス制御部からのパルスの増加、削除指示に従って分周クロック信号にパルスを追加し、あるいは分周クロック信号よりパルスを削除して調整クロック信号を出力し、前記分周器より送信ユーザクロックと同一タイミングの受信ユーザクロックを出力する請求項 2 記載のインタフェース装置。

【請求項 5】 前記受信ユーザクロック生成部は、ユーザクロック周波数の公称値の整数倍の周波数を有するクロック信号を出力する基準発振器と、基準発振器から出力されるクロック信号の周波数を分周すると共にパルスの増加、削除指示により分周クロックにパルスを追加し、あるいはパルスを削除して調整クロック信号を出力するパルス調整部と、パルス調整部から出力される調整クロック信号の周波数を分周し、位相比較クロックを生成する分周器と、位相比較クロックに同期した受信ユーザクロックを生成する PLL 回路と、

前記差に基づいてパルスの増加、削除を指示するパルス制御部を備え、

前記パルス調整部はパルス制御部からのパルスの増加、削除指示に従って分周出力にパルスを追加し、あるいは分周クロックからパルスを削除して調整クロック信号を出力する請求項 2 記載のインタフェース装置。

【請求項 6】 前記受信ユーザクロック生成部は、ユーザクロック周波数の公称値の整数倍の周波数を有するクロック信号を出力する基準発振器と、基準発振器から出力されるクロック信号の周波数を分周すると共に互いに位相の異なる 2 つの分周クロック列を出力する第 1 の分周部と、

パルスの増加指示により一方の分周クロック列に他方の分周クロックパルスを 1 個追加し、パルスの削除指示により一方の分周クロック列より分周クロックパルスを 1 個削除して該一方の分周クロック列を調整クロック信号として出力するパルス調整部と、

パルス調整部から出力される調整クロック信号の周波数を分周し、所定周波数の位相比較クロックを生成する第 2 の分周器と、

PLL により位相比較クロックに同期した受信ユーザクロックを生成する PLL 回路と、

前記内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング情報との差に基づいてパルスの増加、削除を指示するパルス制御部を備えた請求項 2 記載のインタフェース装置。

【請求項 7】 前記受信ユーザクロック生成部は、ユーザクロック周波数の公称値の整数倍の周波数を有するクロック信号を出力する基準発振器と、基準発振器から出力されるクロック信号の周波数を分周すると共にパルスの増加、削除指示により分周クロック

にパルスを追加し、あるいはパルスを削除して調整クロック信号を出力するパルス調整部と、
パルス調整部から出力される調整クロック信号の周波数を分周する分周部と、

分周部から出力される分周クロック信号を平滑化するローパスフィルタと、

ローパスフィルタの出力信号レベルに応じた周波数で発振して受信ユーザクロック信号を出力する電圧制御発振器と、

前記内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング情報との差に基づいてパルスの増加、削除を指示するパルス制御部を備えた請求項2記載のインタフェース装置。

【請求項8】 前記パルス調整部は、基準発振器から出力されるクロック信号の周波数を分周すると共に互いに位相の異なる2つの分周クロック列を出力する分周部と、

パルスの増加指示により一方の分周クロック列に他方の分周クロックパルスを1個追加し、パルスの削除指示により一方の分周クロック列より分周クロックパルスを1個削除して該一方の分周クロック列を調整クロック信号として出力するパルス追加/削除部を有する請求項7記載のインタフェース装置。

【請求項9】 前記クロック調整手段は、ネットワーククロックと受信ユーザクロックに応じたクロック信号を用いて、該受信ユーザクロックのタイミング情報である内部タイミング情報を生成する内部タイミング情報生成部と、

内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング情報との差分を演算する演算部と、

ユーザクロック周波数の公称値の整数倍の周波数を有するクロック信号を出力する基準発振器と、

基準発振器から出力されるクロック信号の周波数を分周すると共にパルスの増加、削除指示により分周クロックにパルスを追加し、あるいはパルスを削除して調整クロック信号を出力するパルス調整部と、

パルス調整部から出力される調整クロック信号を分周し、位相比較クロックを生成する分周器と、

位相比較クロックに同期した受信ユーザクロックを生成するPLL回路と、

前記差分に基づいてパルスの増加、削除をパルス調整部に指示するパルス制御部と、

前記調整クロック信号を受信ユーザクロックに応じたクロック信号として前記内部タイミング情報生成部にフィードバックするフィードバック手段を有する請求項1記載のインタフェース装置。

【請求項10】 前記内部タイミング情報生成部は、調整クロック信号を分周し、受信ユーザクロックを1/3008に分周したクロックと等価の内部タイミングサ

ンプリングクロックを生成する分周部と、
該内部タイミングサンプリングクロックによりネットワーククロックのタイミング情報をサンプリングして内部タイミング情報を生成するタイミング情報生成回路とを備えた請求項9記載のインタフェース装置。

【請求項11】 前記クロック調整手段は、更に、前記内部タイミング情報と送信タイミング情報との差分値に応じた数の調整タイミング位置が前記受信タイミングクロック内部RTSサンプリングクロックの1周期内にほぼ均一に配列するようにした調整タイミング生成部を備え、

前記パルス制御部は調整タイミング位置でパルスの増加指示、あるいはパルス削除指示をパルス調整部に指示する請求項10記載のインタフェース装置。

【請求項12】 前記調整タイミング生成部は、差分値毎に該差分値に応じた数の調整タイミングパルスを前記内部RTSサンプリングクロックの1周期内にほぼ均一に有する調整タイミングパルス列を発生する調整タイミングパルス列生成部と、

内部タイミング情報と送信タイミング情報との差分値に応じた調整タイミングパルス列を選択する選択部とを有し、

前記パルス制御部は調整タイミングパルスが入力される毎に、パルスの増加指示、あるいはパルス削除指示をパルス調整部に指示する請求項11記載のインタフェース装置。

【請求項13】 送信すべきデータを固定長のセルに組立てて伝送するネットワークにおけるインタフェース装置において、

ネットワーククロックと、送信ユーザデータに同期した送信ユーザクロックとを用いて送信ユーザクロックのタイミング情報である送信タイミング情報を生成する送信タイミング情報生成手段、

送信ユーザデータと送信タイミング情報を固定長のセルに組立て、該セルをネットワーククロックに同期してネットワークに送出するセル組立手段、

ネットワーククロックと受信ユーザクロックを用いて、受信ユーザクロックのタイミング情報である内部タイミング情報とこの内部タイミング情報に基づく受信タイミングクロックを生成し、かつ、内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング

情報との差がゼロとなるように受信ユーザクロックのタイミングを調整し、前記受信タイミングクロックと受信ユーザクロックを出力するクロック調整手段と、

ネットワークから受信したセルをユーザデータと送信タイミング情報に分解し、クロック調整手段から入力される受信ユーザクロックに同期してユーザデータを出力すると共に、受信タイミングクロックに同期して送信タイミング情報を出力するセル分解部を有するインタフェース装置。

【請求項14】 送信すべきデータを固定長のセルに組立てて伝送するネットワークにおけるインタフェース装置において、

ネットワーククロックと送信ユーザデータに同期した送信ユーザクロックとを用いて生成された送信ユーザクロックのタイミング情報(送信タイミング情報)と、送信ユーザデータを含むセルをネットワークから受信するセル受信部と、

ネットワーククロックと受信ユーザクロックを用いて、受信ユーザクロックのタイミング情報である内部タイミング情報を生成し、かつ、内部タイミング情報とネットワークより受信したセルに含まれる送信タイミング情報との差がゼロとなるように受信ユーザクロックのタイミングを調整するクロック調整手段と、

ネットワークから受信したセルをユーザデータと送信タイミング情報に分解し、クロック調整手段から入力される受信ユーザクロックに同期してユーザデータを出力するセル分解部を有するインタフェース装置。

【請求項15】 送信すべきデータを固定長のセルに組立てて伝送するネットワークにおけるインタフェース装置において、

ネットワーククロックと送信ユーザデータに同期した送信ユーザクロックとを用いて、送信ユーザクロックのタイミング情報である送信タイミング情報とこの送信タイミング情報に同期した送信タイミングクロックを生成する送信タイミング情報生成手段、

送信ユーザデータと送信タイミング情報と送信タイミングクロックが入力され、該送信ユーザデータと送信タイミング情報を固定長セルに組立て、該セルをネットワーククロックに同期してネットワークに送出するセル組立手段を有するインタフェース装置。

【請求項16】 所定のネットワークから伝送されてくるデータをATMセルに変換してATMスイッチに送出し、ATMスイッチから送出されるATMセルを前記ネットワークに応じたデータに変換して該ネットワークに送出するATMインタフェース装置において、該ATMインタフェース装置は、

前記ネットワークからATMスイッチに向かう上り経路内に設けられ、試験データを発生する試験データ発生部と、

ATMスイッチから前記ネットワークに向かう下り経路内に設けられ、試験データを受信してパスの正常・異常をチェックする試験データ受信チェック部と、

ATMインタフェース装置の試験を制御する試験制御部とを備え、

第1のATMインタフェース装置の試験データ発生部は試験データを発生し、別の第2のATMインタフェース装置の試験データ受信チェック部は該試験データをATMスイッチを介して受信し、受信した試験データの内容に基づいて試験データ発生部と試験データ受信チェック

部間のパスの正常・異常を判断するATMインタフェース装置。

【請求項17】 前記ATMインタフェース装置は、更に、

下り経路から上り上り経路へ試験データをループバックするループバック手段を備え、

前記第1のATMインタフェース装置から送出した試験データを第2のATMインタフェース装置のループバック手段を介して第1のATMインタフェース装置にループバックし、第1のATMインタフェース装置の試験データ受信チェック部は該試験データを受信し、受信した試験データの内容に基づいて第2のATMインタフェース装置の正常・異常を判断する請求項16記載のATMインタフェース装置。

【請求項18】 前記ATMインタフェース装置は、更に、

下り経路から上り上り経路へ試験データをループバックするループバック手段と、

前記下り経路内に設けられ、試験データを発生する試験データ発生部と、

前記上り経路内に設けられ、該試験データを受信してパスの正常・異常をチェックする試験データ受信チェック部とを備え、

前記下り経路内の試験データ発生部は試験データを発生し、上り経路内の試験データ受信チェック部は該試験データをループバック手段を介して受信し、受信した試験データの内容に基づいてネットワークインタフェース側の正常・異常を判断する請求項16記載のATMインタフェース装置。

【請求項19】 送信側は、ネットワーククロックと送信ユーザクロックを用いて該送信ユーザクロックのタイミング情報である送信タイミング情報を作成し、該タイミング情報をATMセルに乗せて送信し、受信側は、ネットワーククロックと受信ユーザクロックを用いて受信ユーザクロックのタイミング情報である内部タイミング情報を生成し、内部タイミング情報と受信したATMセルに含まれる送信タイミング情報との差がゼロとなるように受信ユーザクロックのタイミングを制御し、これにより送信ユーザクロックと受信ユーザクロックを同期させて通信を行うATM網における送信タイミング変換装置において、

前記送信タイミング変換装置は、ネットワーククロックが異なるATM網を介して通信を行う場合、

前記各ネットワーククロックを計数する計数手段と、計数値の差分を演算する演算手段と、

送信側ATM網より送出されるATMセルに含まれる送信タイミング情報を前記差分に基づいて補正して受信側ATM網に送出するタイミング情報補正部を有する送信タイミング変換装置。

【請求項20】 前記送信タイミング変換装置を、AT

M網間あるいは一方のATM網内に設けた請求項19記載の送信タイミング変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はネットワークと交換機とのインターフェース装置に係わり、特に、ATMを用いた広帯域ISDN(B-ISDN)においてSRTS(synchronousResidual Time Stamp)法によりユーザデータの送信クロックのタイミング情報(送信RTS情報)を作成し、該送信RTS情報をユーザデータと共にセル

【0002】

【従来の技術】音声通信、データ通信だけでなく動画像も含めたマルチメディア通信のニーズが高まりつつあり、そのような広帯域(Broadband)の通信の実現手段として、非同期転送モード(Asynchronous Transfer Mode : ATM)を基本とするB-ISDN(Broadband ISDN)の交換技術がITU-T(旧CCITT)で合意され、実用化されつつある。

【0003】ATM方式では物理回線上に多重に論理リンクを張ることにより回線を複数の呼に割り当てる。そして、各呼に応じた端末からの動画像データや音声データ等を固定長の情報単位(セルという)に分解し、順次回線に送り出して多重化を実現する。セルは図49に示すように、53バイトの固定長ブロックで構成され、その内5バイトがヘッダ部HD、48バイトがインフォメーションフィールド(情報部)DTである。ヘッダ部HDには、データがブロックに分解された後でも宛先が判るように呼識別用の仮想チャンネル番号(Virtual Channel Identifier : VCI)が含まれ、そのほか方路を特定する仮想パスの識別子(Virtual PathIdentifier : VPI)や、リンク間のフロー制御に用いられるジェネリックフローコントロールGFC(Generic Flow Control)や、ペイロードタイプPT(Payload Type)やヘッダのエラー訂正用符号HEC(Header Error Control)等が含まれている。

【0004】図50はATM方式を説明するためのATM網の概略構成図であり、1a, 1bはATM端末装置、3はATM網である。ATM網3は、データセルを送信する情報網3aと制御信号を送信する信号網3bを備え、情報網3aにおける各ATM交換機3c1~3cnの呼処理プロセッサ(CPU)3d1~3dnは信号網3bと接続されている。

【0005】発信端末1aが着信端末1bを呼び出すための発呼操作を行うと、発信端末内のセル組立部は発信番号、着信番号、端末の種類、属性等を含むデータをセル単位に分割し、各分割データに信号用VCI(端末毎

に予め定まっている)を付して信号セルを生成し、該信号セルをATM網3に送り出す。ATM交換機(発信側交換機)3c1の図示しない信号装置は信号セルを受信すれば、該信号セルに含まれる情報を組立ててCPU3d-1に通知する。CPUは発信者サービス分析処理、課金処理、着信者数字翻訳処理等の呼処理を行なうと共に、方路(VPI)及び呼識別情報(VCI)を決定し、ついで、信号網3bを介してNO.7プロトコルに従って次の中継交換機3c2に発信番号、着信番号、VPI、VCI、その他のデータを含む接続情報を送出する。中継交換機3c2は発信側交換機3c1と同様な処理を行ない、以後同様な処理が行われ、最終的に発信側交換機3c1から着信端末が接続されたATM交換機(着信側交換機)3cnまでのパス及び中継ATM交換機3c2,3c3,...が決定される。着信側交換機3cnは発信番号、着信番号、上位ATM交換機3c3のVCIを含む接続情報を受信すれば、着信端末に所定VCIを割り当てると共に、着信端末1bが通話可能であるか調べる。通話可能であれば、信号網3bは通話可能な旨を発信側交換機3c1に通知し、発信側交換機は発信端末1aに所定のVCIを割り当てる。

【0006】パス上の各ATM交換機3c1~3cnはパス毎に、上位ATM交換機のVCIに対応させて、(1)該VCIを有するセルの出力パス(出ハイウェイ)を特定するための接続情報(ルーチング情報又はタグ情報という)と、(2)出力するセルに付加する新たなVCI、VPIを内蔵のルーチングテーブルに登録する。以上により、発信端末1aと着信端末1b間にパスが形成されると、両端末は発呼セル、応答セルを互いに送受しあって通信手順を確認する。しかる後、発信端末1aは送信すべきデータを所定バイト長に分解すると共に、前記割り当てられたVCIを含むヘッダを付けてセルを生成し、該セルをATM網3に送り出す。各ATM交換機3c1~3cnは上位交換機から所定の入ハイウェイを介してセルが入力されると、自分のルーチングテーブルを参照して入力されたセルのVPI/VCIを付け変えると共にタグ情報に基づいて所定の出ハイウェイに送り出す。この結果、発信端末1aから出力されたセルは呼制御で決定したパスを介して着信側交換機3cnに到達する。着信側交換機3cnはルーチングテーブルを参照して入力されたセルに付加されているVCIを着信端末に割り当てたVCIに付け変えた後、着信端末1bが接続されている回線に送出する。

【0007】以後、発信端末1aはセルを順次着信端末1bに送り、着信端末は受信したセルに含まれる情報部DTを組立て、元のデータを復元する。以上は、1つの呼に対する場合であるが、端末-ATM交換機間及び隣接ATM交換機間の各回線の両端で互いに持ち合うVCI値を変えらることにより、1つの回線に多数の呼に応じた論理リンクを張ることができ、これにより高速多重通

信が実現される。ATM方式によれば、動画像、データ、音声等異なる伝送速度をもつ情報源の情報を多重化することができるため1本の伝送路を有効に使い、しかも、パケット交換でソフト的に行っているような再送制御や複雑な通信手順が不要となり、150Mbpsの超高速のデータ伝送が可能となる。

【0008】図51(a)～図51(d)は広帯域ISDNのシステム構成を示すもので、図では右から左へ行くATMセルのみを図示しているが、実際には双方向である。図51(a)はATM交換機11にATM端末12,13が接続され、これらATM端末間の通信がATM交換機を介してATMセルで行う構成である。尚、図中、UNIはユーザ網インターフェース(User Network Interface)を意味している。図51(b)はATM端末12,13に様々なユーザ端末14,15が接続された構成であり、ATM端末12,13はユーザ端末のデータをATMセルに変換してATM交換機側に送出し、またATM交換機より受信したATMセルをユーザ端末のデータに変換してユーザ端末に伝送する機能を有している。図51(c)は他の網(例えばフレームリレー網frame relay network等)16,17とのインターワーキング機能のためのインターワーキングファンクションユニット(IWFU)18,19を配置した構成であり、図51(d)はATM交換機11内にインターフェース変換部11aを收容し、ATM交換機内で他の網のデータとATMセルとの変換を行う構成である。

【0009】以上のような広帯域ISDNのシステム構成において、一定のスピードでユーザデータを送るサービス、すなわちCBRサービス(Constant Bit Rate Service)がある。かかるCBRサービスにおいて受信側は受信ATMセルよりユーザデータを分離した後、該ユーザデータを送信側クロックと同一タイミング(同一周波数、同一位相)で出力する必要がある。たとえば、送信側より音声を64kbpsで送るCBRサービスにおいて、受信側は64kbpsで受信データを取り出して出力する必要がある。受信側の周波数が64kbps以下であれば、出力音声の間延びすると共に、受信データがバッファに満杯になり、伝送されてきたデータが欠落し音飛びが生じる。逆に、受信側の周波数が64kbps以上であれば、出力音声は早くなり、バッファが空の状態になり、出力音声の間欠的になる。従って、CBRサービスでは受信側のユーザクロック(受信ユーザクロック)のタイミングを送信側のユーザクロックのタイミングと一致させなくてはならない。

【0010】送信側のユーザクロックが網のクロックに同期している場合には、受信側で網のクロックより受信ユーザクロックを生成することにより、送信側及び受信側のユーザクロックのタイミングを一致させることができる。ところで、送信側のユーザクロック(音声の64kbps、ITU DS(CCITT)勧告G700シリーズ等に規格化されて

いるDS1の1.544Mbps、DS3の44.736Mbps等)のタイミングが網側のネットワーククロックのタイミングに同期していない場合がある。例えば、図51(b)の構成においてユーザ端末14,15が内蔵の独自のクロックを用いてユーザデータを送出する場合、あるいは図51(c),(d)において各網のネットワーククロックがATM網のネットワーククロックと異なる場合等である。かかる場合、送信ユーザクロックの周波数の公称値(Nominal Value)がわかっていて、受信側が網のクロック(例:15.52Mhz)を分周して同じ公称値の受信ユーザクロックを生成しても、受信ユーザクロックと送信ユーザクロックとの間にタイミング的な誤差が生じ、忠実なCBRサービスを行えない。

【0011】以上から、受信ユーザクロックを送信ユーザクロックに同期させる方法としてSRTS(synchronous Residual Time Stamp)法が提案されている。このSRTS法は送信側でATMセルに送信ユーザクロックのタイミング情報を含ませ、受信側で送信ユーザクロックのタイミング情報を抽出し、該タイミング情報に基づいて受信ユーザクロックを送信ユーザクロックに同期させるものである。ユーザクロックのタイミング情報の伝送のために、ATMセルとしてITU DS勧告I363等で規格化されているAAL1(ATM Adaptation Layer 1)が使用される。以上から、DS1及びDS3PCM伝送のデータは、AAL1(ATM Adaptation Layer 1)のATMセルフォーマットに変換され、ATMスイッチ(ATM Switch)を介して伝送される。

【0012】図52はAALタイプ1(AAL1)のATMセルのフォーマット説明図であり、図53は1バイトのSAR PDUヘッダのフォーマット説明図である。AAL1(ATM Adaptation Layer 1)は、SAR(Segmentation And Reassembly sublayer)とCS(Convergence Sublayer)の2つのサブレイヤを有している。SARはデータ送出順序の表示と送出順序のエラー検出と訂正機能を持ち、CSはタイミング情報の伝送と再生の機能を持っている。AAL1において、情報フィールドは47バイト長のSAR PDUペイロードと1バイト長のSAR PDU(PDU:Protocol Data Unitの略)ヘッダとから構成されている。47バイト長のSAR PDUペイロードはユーザデータを転送するために使用され、1バイト長のSAR PDUヘッダは、4ビットのSN(Sequence Number)フィールドと4ビットのSNP(Sequence Number Protection)フィールドで構成されている。

【0013】SNフィールドは2つのサブフィールドのCS1(Convergence Sublayer Identifier)とSC(Sequence Count)に分割され、SNPフィールドも2つのサブフィールドのCRC(Cyclic Redundancy Check)とEPB(Even Parity Bit)に分割される。SCはセルを1～8の循環数(1,2,⋯,8,1,2,⋯,8,1,⋯)でカウントするもので、このSCによりセルの順番を監視することができる。CRCとEPBによりSNのエラー検出及び訂正を行う。CRCはSNに対

する多項式 ($G(X) = X^3 + X + 1$) による値であり、EPBはSAR PDUヘッダの偶数パリティビットである。CSIビットはAAL 1のCSの機能であり、以下に述べるようにユーザクロックのタイミング情報の伝送と再生に使用する。

【0014】SRTS法において、ユーザクロックのタイミング情報はRTS (Residual Time Stamp) とよばれる4ビットの情報 (RTS4、RTS3、RTS2、RTS1) によって構成される。このRTS情報はAAL 1のCS機能であるCSIビットによって転送される。図54はRTS情報フォーマットの構成説明図である。RTS情報フォーマットはATMセルの8セル分のマルチフレーム構成になっている。ユーザデータはSAR PDUペイロードで転送されるので、ATMセルの8セル分の中の、ユーザデータのビット数は3008ビット(8セル×47バイト×8ビット)である。CSIビットはSC (Sequence Count) 値の0~7に対応して8ビット構成 (CSI₀~CSI₇) となっており、SC値 = 1, 3, 5, 7のATMセルのCSIビット (CS₀, CS₃, CS₅, CS₇) によって4ビットのRTS情報が伝送される。すなわち、RTS4はSC = 1のATMセルによって、RTS3はSC = 3のATMセルによって、RTS2はSC = 5のATMセルによって、RTS1はSC = 7のATMセルによってそれぞれ転送される。

【0015】図55はRTS情報の生成周期の説明図である。CBRサービスでは送信ユーザデータD_{tu}は、コンスタントなスピードのデータであり、そのデータに同期するクロックを図では送信ユーザクロックC_{tu}としている。ATMセルでは、この送信ユーザデータD_{tu}の情報をSAR PDUペイロードで送信し、送信ユーザクロックC_{tu}のタイミング情報であるRTS情報をCSIビットで送信する。そのため、送信ユーザクロックの周波数をf_{tu}、ユーザデータ1ビット分の時間をT_{tu} = 1 / f_{tu} とすると、RTS情報の生成周期T_{ts} = T_{tu} × 3008である。RTSデータの生成のためのクロックを送信RTSサンプリングタイミングクロックC_{ts}とすると、RTS情報はこのクロックC_{ts}の立上りで生成され、この送信RTSサンプリングタイミングクロックC_{ts}は送信ユーザクロックC_{tu}を1 / 3008に分周したものである。

【0016】また、SRTSにおいては網側の回線タイミングに同期したネットワーククロック周波数f_n (例: 155.52MHz) をX分周 (Xは整数) し、ネットワーク分周クロックC_{nx} (周波数f_{nx} = f_n / X) を生成する。Xの値はネットワーク分周クロック周波数f_{nx}とユーザクロック周波数の公称値 (Nominal Value) f_{nom}の比が、 $1 - f_{nx} / f_{nom} < 2$ の範囲になるようにXを決める。すなわち、X = 2^N (Nは整数) としてもよい。以後例としてX = 2⁶で記述する)。次に、ネットワーク分周クロックを4ビットバイナリカウンタで分周し、f_{nx} / 2¹、f_{nx} / 2²、f_{nx} / 2³、f_{nx} / 2⁴の周波数のネットワークタイミング情報Q₁、Q₂、Q₃、Q₄

を生成する。ネットワークタイミング情報Q₁、Q₂、Q₃、Q₄を送信サンプリングクロックC_{ts}の立上りでサンプリングした値がそれぞれRTS1、RTS2、RTS3、RTS4となり、RTS情報となる。RTS情報の生成及び、その伝送のフォーマットに関しては、国際勧告において、上記のように規定されている。

【0017】図56は国際勧告に従って送信RTS情報を作成して送信する場合のRTS生成及び送信部の構成図、図57はその動作説明の波形図である。ATMセル分解部20はATM網から受信したATMセルRATMに含まれるネットワーククロックC_n (周波数f_n: 例として155.52MHz) をPLL (Phase Locked Loop) により抽出して出力する。ネットワーククロック分周部21はこの網側の回線タイミングに同期したネットワーククロックC_nを分周してネットワーク分周クロックC_{nx}を出力する。この場合、ネットワーククロック分周部21はネットワーク分周クロックf_{nx}とユーザクロック周波数の公称値f_{nom}の比が $1 - f_{nx} / f_{nom} < 2$ の範囲となるように1 / 2^N (Nは整数) に分周する。例えば、DS1では送信ユーザクロック周波数の公称値f_{nom}が1.544MHzであるから、ネットワーククロック周波数f_{nx}が155.52MHzであれば、N = 6となり、ネットワーク分周クロック周波数はf_{nx} = 155.52MHz / 2⁶ = 2.43MHzとなる。

【0018】ついで、4ビットバイナリカウンタ部22はネットワーク分周クロックC_{nx}を計数し、4段の各ステージより周波数がf_{nx} / 2¹、f_{nx} / 2²、f_{nx} / 2³、f_{nx} / 2⁴のネットワークタイミング情報Q₁、Q₂、Q₃、Q₄を出力する。一方、送信分周カウンタ部23は送信ユーザデータD_{tu}に同期した送信ユーザクロックC_{tu} (周波数f_{tu}) を3008分周して送信RTSサンプリングクロックC_{ts} (周波数f_{ts} = f_{tu} / 3008) を出力する。送信RTS生成部24は、ネットワークタイミング情報Q₁、Q₂、Q₃、Q₄を送信RTSサンプリングクロックC_{ts}の立上りでサンプリングして送信RTS情報TRTS1、TRTS2、TRTS3、TRTS4を出力する。図57の例では第1の送信RTSサンプリングクロックC_{ts}の立上り時にQ₁、Q₂、Q₃、Q₄は全て0であるから、RTS情報の値X_H (Hはヘキサを意味する) は0であり、第2の送信RTSサンプリングクロックC_{ts}の立上り時にQ₁、Q₂、Q₃は1、Q₄は0であるから、RTS情報の値X_Hは7である。尚、送信ユーザクロックC_{tu}の周波数f_{tu}が変動すると、送信RTSサンプリングクロックC_{ts}の立上り時刻が変動するから、送信RTS情報TRTS1~TRTS4の値X_Hも変化する。換言すれば、送信RTS情報には送信ユーザクロックC_{tu}のタイミング情報が含まれている。

【0019】ATMセル組立部25は送信ユーザデータD_{tu}とそれに同期した送信ユーザクロックC_{tu}と送信RTS生成部24から入力される送信RTS情報を用いて、3008 × T_{tu}毎に8個のATMセルTATM (図

5 7参照)を組み立て、該ATMセルをネットワーククロック C_N ($f_N = 155.52\text{MHz}$)に同期してATM網に送出する。尚、図57の送信ATMセルTATMのセルに記入した数値はSC(SequenceCount)であり、斜線で示すセルに送信RTS情報TRTS1、TRTS2、TRTS3、TRTS4がそれぞれ付加されている。

【0020】

【発明が解決しようとする課題】国際勧告では、RTS情報の生成及びその伝送フォーマットに関して規定するのみで、受信側で該RTS情報を再生し、このRTS情報を用いて如何に受信ユーザクロックを送信側のユーザクロックに一致させるかの手法については何も勧告していない。

【0021】以上から、以下のATMインターフェース装置が望まれている。すなわち、(1)送信側から送られてくるRTS情報を用いて、受信側で送信ユーザクロックと同一タイミング(同一周波数、同一位相)の受信ユーザクロックを生成するATMインターフェース装置、(2)ユーザクロックの公称値の範囲が広い場合、ネットワーククロック周波数の1/2まで受信ユーザクロックを再生できるATMインターフェース装置、(3)送信側でのユーザクロックには実際は公称値からの偏差があるため、受信側での許容偏差が広く、また、再生したクロックは受信ユーザクロックとして使用されるためクロックジッタが少ないATMインターフェース装置、(4)消費電力を低減し、かつ高速素子を使用しなくてもよくするために余り高い周波数のクロックを用いなくてもよいATMインターフェース装置、(5)送信ユーザクロックと受信ユーザクロック間の同期確立に要する時間を短縮でき、しかも同期安定性を向上したATMインターフェース装置、(6)装置の動作確認試験及びATMスイッチのパスの正常性の確認試験を行えるATMインターフェース装置、(7)ネットワーククロックが異なるATM網を介して通信を行う場合であっても、送信ユーザクロックと受信ユーザクロック間の同期確立を行えるATMインターフェース装置、が望まれている。

【0022】以上から本発明の第1の目的は、送信側から送られてくるRTS情報を用いて、受信側で送信ユーザクロックと同一タイミングの受信ユーザクロックを生成できるインターフェース装置を提供することである。本発明の第2の目的は、ネットワーククロック周波数の1/2までRTS情報を用いて受信ユーザクロックを再生できるインターフェース装置を提供することである。本発明の第3の目的は、RTS情報を用いて受信側で送信ユーザクロックと同一タイミングの受信ユーザクロックを生成する際、受信側での偏差に対する許容範囲を広くできるインターフェース装置を提供することである。

【0023】本発明の第4の目的は、RTS情報を用いて受信側で送信ユーザクロックと同一タイミングの受信ユーザクロックを生成する場合、受信ユーザクロックの

ジッタが少なく、更には、余り高い周波数のクロックを用いなくてもよいインターフェース装置を提供することである。本発明の第5の目的は、送信ユーザクロックと受信ユーザクロック間の同期確立に要する時間を短縮でき、しかも同期安定性を向上できるインターフェース装置を提供することである。本発明の第6の目的は、装置の動作確認試験及びATMスイッチのパスの正常性の確認試験を行えるATMインターフェース装置を提供することである。本発明の第7の目的は、ネットワーククロックが異なるATM網を介して通信を行う場合であっても、送信ユーザクロックと受信ユーザクロック間の同期確立を行えるATMインターフェース装置を提供することである。

【0024】

【課題を解決するための手段】図1は本発明の原理説明図である。51はネットワーククロック C_N の周波数(f_N)と送信ユーザクロック C_U の周波数(f_U)を用いてSRTS法により送信ユーザクロック C_U のタイミング情報である送信RTS情報TRTS1~TRTS4とそれに同期した送信RTSクロック C_{TX} を生成する送信RTS情報生成部である。61は送信ユーザデータ D_U と送信RTS情報TRTS1~TRTS4をATMセルに組立て、該ATMセルをATM網に送出するATMセル組立部である。70はクロック調整部、71は受信ユーザクロック C_R のタイミング情報である内部RTS情報IRTS1~IRTS4とそれに同期した受信RTSクロック C_{RX} を生成する内部RTS情報生成部である。72は送信側より送られてきたATMセルに含まれるRTS情報(受信RTS情報)RRTS1~RRTS4と内部RTS情報IRTS1~IRTS4との差分を演算する演算部、73は前記差がゼロとなるように受信ユーザクロック C_R のタイミングを調整して出力する受信ユーザクロック生成部である。81はATM網から受信したATMセルよりネットワーククロック C_N を抽出して送信RTS情報生成部51とATMセル組立部61と内部RTS情報生成部71に入力し、かつ、受信ATMセルをユーザデータとRTS情報RRTS1~RRTS4に分解して出力するATM分解部である。

【0025】

【作用】送信RTS生成部51はネットワーククロック C_N の周波数と送信ユーザクロック C_U の周波数を用いてSRTS法により送信ユーザクロックのタイミング情報である送信RTS情報TRTS1~TRTS4とそれに同期した送信RTSクロック C_{TX} を生成する。ATMセル組立部61は、送信ユーザデータ D_U とそれに同期した送信ユーザクロック C_U と、送信RTS情報TRTS1~TRTS4とそれに同期した送信RTSクロック C_{TX} と、ネットワーククロック C_N が入力され、該送信ユーザデータと送信RTS情報をATMセルに組立て、該ATMセルをネットワーククロックに同期してATM網に送出する。

・以上送信処理

【0026】内部RTS情報生成部71は、ネットワーククロック C_N の周波数と受信ユーザクロック C_U の周波数を用いてSRTS法により受信ユーザクロックのタイミング情報である内部RTS情報IRTS1~IRTS4とそれに同期した受信RTSクロック C_{RX} を生成する。演算部72は内部RTS情報IRTS1~IRTS4と受信ATMセルに含まれる受信RTS情報(送信側から送られた送信RTS情報)RRTS1~RRTS4との差を演算し、受信ユーザクロック発生部73は該差がゼロとなるように受信ユーザクロック C_U のタイミングを調整して出力する。ATMセル分解部81は、ATM網から受信したATMセルよりネットワーククロック C_N を抽出して各部に入力し、かつ、受信ATMセルをユーザデータと受信RTS情報RRTS1~RRTS4に分解する。又、ATMセル分解部81は受信ユーザクロック生成部72から入力される受信ユーザクロック C_U に同期してユーザデータ D_U を出力すると共に、受信RTSクロック C_{RX} に同期して受信RTS情報RRTS1~RRTS4を出力する。・・・以上受信処理

【0027】以上のように、本発明のATMインタフェース装置は、ネットワーククロック C_N の周波数と受信ユーザクロック C_U の周波数を用いてSRTS法により受信ユーザクロックのタイミング情報である内部RTS情報IRTS1~IRTS4を内部的に作成する。又、内部RTS情報と送信ユーザクロックのタイミング情報である受信RTS情報(送信ユーザ情報)RRTS1~RRTS4を比較してその差がゼロとなるように受信ユーザクロック C_U のタイミングを調整する。この結果、受信ユーザクロックのタイミング(周波数、位相)を送信ユーザクロックのタイミングに一致させることができる。また、ATMインタフェース装置は、受信ユーザクロック C_U に同期してユーザデータを出力し、受信RTSクロック C_{RX} に同期して受信RTS情報RRTS1~RRTS4を出力するから、受信ユーザクロックのジッタを少なくできると共に、受信RTSクロックを追従性よく発生することができ、ジッタの減少と追従性の向上という両方の要求を満足することができる。

【0028】更に、受信ユーザクロック生成部73を、①基準発振器と、②基準発振器から出力される基準クロック信号の周波数を分周すると共にパルスの増加、削除指示により分周周波数を調整して調整クロックを出力するパルス調整部と、③パルス調整部から出力される調整クロック信号の周波数を分周し、位相比較クロックを生成する分周器と、④位相比較クロックに同期した受信ユーザクロック C_U を生成するアナログPLL回路と、⑤内部RTS情報と受信RTS情報の差に基づいてパルスの増加、削除を指示するパルス制御部で構成する。このようにすれば、ユーザクロック周波数の公称値が比較的低い場合において、基準クロック周波数 f_{clk} をユーザクロック周波数とほぼ同等にでき、消費電力の節減と、

受信ユーザクロックのジッタ削減が可能となり、しかも、ユーザクロックの公称値からの偏差に対する許容範囲を大きくできる。

【0029】また、受信ユーザクロックの代わりに、パルス調整部から出力される調整クロック信号を内部RTS情報生成部にフィードバックする。このようにすれば、ユーザクロック周波数が高い公称値の場合であっても、基準発振器から出力される基準クロック周波数 f_{clk} をユーザクロック周波数とほぼ同等にでき、消費電力の節減が可能となり、しかも、ユーザクロックの公称値からの偏差に対する許容範囲を大きくできる。また、フィードバック遅延時間が減少するため、高速のユーザクロックでの追従性を改善できる。更に、内部RTS情報と受信RTS情報との差分値に応じた数の調整タイミング位置が補正周期内にほぼ均一に配列するようにし、該調整タイミング位置でパルスの追加、あるいはパルスの削除を行うようにして受信ユーザクロックの周波数を制御する。このようにすれば、補正周期内において差分値に応じた補正ができるため追従性を大幅に向上できる。又、補正周期に対する補正量を大きくできるため、ユーザクロックの公称値からの偏差に対する許容範囲を大きくできる。

【0030】又、ATMインタフェース装置内のATMスイッチに向かう上り経路内に試験データを発生する試験データ発生部を設けると共に、ATMスイッチからの下り経路内に試験データを受信してパスの正常・異常をチェックする試験データ受信チェック部を設ける。そして、第1のATMインタフェース装置の試験データ発生部は試験データを発生し、別の第2のATMインタフェース装置の試験データ受信チェック部は該試験データをATMスイッチを介して受信し、受信した試験データの内容に基づいて試験データ発生部と試験データ受信チェック部間のパスの正常・異常を判断するようにする。このようにすれば、ATMインタフェース装置の動作確認試験及びATMスイッチのパスの正常性確認試験を容易に行うことができる。更に、ネットワーククロックが異なるATM網を介して通信を行う場合、ATM網間にSRTS変換装置を設ける。SRTS変換装置は各ネットワーククロックを別個に計数し、送信側ATM網より送出されるATMセルに含まれる送信RTS情報を計数値の差分に基づいて補正して受信側ATM網に送出する。このようにすれば、ネットワーククロックが異なるATM網を介して通信を行う場合であっても、送信ユーザクロックと受信ユーザクロック間の同期確立を行うことができる。

【0031】

【実施例】

(a) ATMインターフェース装置の概略
・構成

図2は本発明のATMインターフェース装置の全体の構

成図である。31はATMインターフェース装置、41はSRTS情報伝送再生部であり、SRTS法に基づいて送信RTS情報TRTS1~TRTS4を作成し、また、受信RTS情報RRTS1~RRTS4に基づいて受信ユーザクロックC_{RU}のタイミングを送信ユーザクロックC_{TU}のタイミングと一致させる制御を行うもの、51はSRTS法に基づいて送信RTS情報を作成する送信RTS情報生成部、70は受信RTS情報に基づいて受信ユーザクロックを発生するクロック調整部である。

【0032】クロック調整部70において、71は受信ユーザクロックC_{RU}に基づいて該受信ユーザクロックのタイミング情報である内部RTS情報IRTS1~IRTS4を生成する内部RTS情報生成部、72は内部RTS情報IRTS1~IRTS4と受信ATMセルに含まれる受信RTS情報RRTS1~RRTS4との差を演算する演算部、73は該差がゼロとなるように受信ユーザクロックC_{RU}のタイミングを調整する受信ユーザクロック生成部である。61はATMセルを組み立ててATM網に送出するATMセル組み立て部、81はATM網より受信したATMセルより受信ユーザデータ、受信RTS情報(送信側から送られて来る送信RTS情報)を分離、出力するATMセル分解部である。

【0033】・送信動作

図3は動作説明用の波形図である。送信に際して、送信RTS情報生成部51は図56で説明したと同様の方法で送信RTS情報TRTS1~TRTS4を生成する。すなわち、送信RTS情報生成部51はATMセル分解部81から出力されるネットワーククロックC_Nの周波数と送信ユーザクロックC_{TU}の周波数を用いてSRTS法に従って送信ユーザクロックC_{TU}のタイミング情報である送信RTS情報TRTS1~TRTS4を生成する。この送信RTS情報とそれに同期した送信RTSクロックC_{TX}をATMセル組立部61に入力する。ATMセル組立部61は、送信ユーザデータD_{TU}とそれに同期した送信ユーザクロックC_{TU}と、送信RTS情報TRTS1~TRTS4とそれに同期した送信RTSクロックC_{TX}が入力されると、これら送信ユーザデータと送信RTS情報をATMセルに組み立て、しかる後、ATMセル分解部81から入力されるネットワーククロックC_Nに同期して該ATMセル(送信ATMセルTATM)をATM網に送出する。

【0034】・受信処理

受信に際して、ATMセル分解部81は、ATM網から受信したATMセルRATMよりネットワーククロックC_Nを抽出して各部に入力し、かつ、受信ATMセルを受信ユーザデータD_{RU}と受信RTS情報(送信側から送られて来る送信RTS情報)RRTS1~RRTS4に分解し、受信ユーザクロック生成部73から入力される受信ユーザクロックC_{RU}に同期して該受信ユーザデータD_{RU}を出力すると共に、内部RTS情報生成部71から出力される受信RTSクロックC_{RK}に同期して受信RTS情報RRT

S1~RRTS4を出力する。

【0035】受信ユーザクロックC_{RU}、受信RTSクロックC_{RK}はクロック調整部70において以下のように作成される。内部RTS情報生成部71は、ネットワーククロックC_Nの周波数と受信ユーザクロックC_{RU}の周波数を用いてSRTS法により受信ユーザクロックC_{RU}のタイミング情報である内部RTS情報IRTS1~IRTS4とそれに同期した受信RTSクロックC_{RK}を生成する。演算部72は内部RTS情報IRTS1~IRTS4と受信ATMセルに含まれる受信RTS情報RRTS1~RRTS4との差を演算し、受信ユーザクロック生成部72は該差がゼロとなるように受信ユーザクロックC_{RU}のタイミングを調整して出力する。受信RTS情報RRTS1~RRTS4の値は送信側の送信ユーザクロックC_{TU}のタイミング情報を含んでおり、内部RTS情報IRTS1~IRTS4の値は受信ユーザクロックC_{RU}のタイミング情報を含んでいるから、それらの値が一致するように制御することにより受信ユーザクロックのタイミングを送信ユーザクロックのタイミングと一致させることができる。

【0036】(b) 本発明の第1の実施例

図4は本発明のATMインターフェース装置の第1実施例構成図であり、図2と同一部分には同一符号を付している。第1の実施例ではDPLL(Digital Phase Lock Loop)のみにより受信ユーザクロックのタイミングを送信ユーザクロックのタイミングに一致させるものである。51は送信RTS情報生成部、61はATMセル組立部、71は内部RTS情報生成部、72は演算部、73は受信ユーザクロック生成部、74はネットワークタイミング情報生成部、81はATMセル分解部である。

【0037】(b1) ネットワークタイミング情報生成部
図5はネットワークタイミング情報生成部74の構成図、図6はその動作説明用の波形図である。ネットワークタイミング情報生成部74は送信RTS情報と内部RTS情報の作成に必要な4ビットのネットワークタイミング情報Q₁~Q₄を生成するものであり、ネットワーククロック分周部74aと4ビットバイナリカウンタ74bを備えている。ネットワーククロック分周部74aはATMセル分解部81から出力されるネットワーククロックC_Nを1/2^Nに分周してネットワーク分周クロックC_{NX}を発生する。Nの値は送信側で送信RTS情報を生成する際のネットワーククロック分周値Nと同一値であり、ネットワーク分周クロックf_{NX}とユーザクロック周波数の公称値f_{NOM}の比が1 - f_{NX}/f_{NOM} < 2の範囲となるように分周する。例えば、DS1では送信ユーザクロック周波数の公称値f_{NOM}が1.544MHzであるから、ネットワーククロック周波数f_Nが155.52MHzであれば、N=6となり、ネットワーク分周クロック周波数はf_{NX}=155.52MHz/2⁶=2.43MHzとなる。4ビットバイナリカウンタ部74bは、ネットワーク分周クロックC_{NX}を計数し、4段の各ステージより周波数がf_{NX}/2¹, f_{NX}/

10
20
30
40
50

2^2 , $f_{\text{NK}} / 2^3$, $f_{\text{NK}} / 2^4$ のネットワークタイミング情報 Q_1 , Q_2 , Q_3 , Q_4 を出力する。

【0038】(b2) 送信RTS情報生成部

図7は送信RTS情報生成部51の構成図、図8は送信RTS情報生成部の動作説明用波形図である。送信RTS情報生成部51は送信ユーザクロック C_{TU} のタイミング情報である送信RTS情報TRTS1, TRTS2, TRTS3, TRTS4を生成するもので、送信分周カウンタ部51aと送信RTS生成回路51bで構成されている。

【0039】送信分周カウンタ部51aは送信ユーザクロック C_{TU} (周波数 f_{TU})を $1/3008$ に分周して送信RTSサンプリングクロック C_{TS} (周波数 $f_{\text{TS}} = f_{\text{TU}} / 3008$)を出力する。この送信RTSサンプリングクロックは送信RTSクロック C_{TK} としてATMセル組立部61にも入力される。送信RTS生成回路51bは図7に示すように、4つのフリップフロップFF1~FF4を備え、ネットワークタイミング情報 Q_1 , Q_2 , Q_3 , Q_4 を送信RTSサンプリングクロック C_{TS} の立上りでフリップフロップFF1~FF4にセットすることによりサンプリングして送信RTS情報RRTS1, RRTS2, RRTS3, RRTS4を出力する。図8の例では送信RTSサンプリングクロック C_{TS} の第1の立上り時に Q_1 , Q_2 , Q_3 , Q_4 は全て0であるから、送信RTS情報の値 X_{H} (Hはヘキサを意味する)は0である。又、第2の立上り時には Q_1 , Q_2 , Q_3 は1、 Q_4 は0であるから、送信RTS情報の値 X_{H} は7である。尚、送信ユーザクロック C_{TU} のタイミング(周波数、位相)が変動すると、送信RTSサンプリングクロック C_{TS} の立上り時刻が変動するから、送信RTS情報の値が変化する。すなわち、送信RTS情報には送信ユーザクロック C_{TU} のタイミング情報が含まれている。

【0040】(b3) 内部RTS生成部

図9は内部RTS情報生成部71の構成図、図10は内部RTS情報生成部の動作説明用波形図である。内部RTS生成部71は、ネットワーククロック C_{N} と受信ユーザクロック C_{RU} を用いてSRTS法に基づいて受信ユーザクロックのタイミング情報である内部RTS情報IRTS1~IRTS4を生成するもので、内部RTSタイミング生成部71aと内部RTS生成回路71bを備えている。

【0041】内部RTSタイミング生成部71aは、受信ユーザクロック C_{RU} (周波数 f_{RU})を $1/3008$ に分周して内部RTSサンプリングクロック C_{S} (周波数 $f_{\text{S}} = f_{\text{RU}} / 3008$)を出力する。この内部RTSサンプリングクロックは受信RTSクロック C_{SK} としてATMセル分解部81にも入力される。内部RTS生成回路71bは、4つのフリップフロップFF11~FF14を備え、ネットワークタイミング情報 Q_1 , Q_2 , Q_3 , Q_4 を内部RTSサンプリングクロック C_{S} の立上りでフリップフロップFF11~FF14にセットすることにより、サンプリングして内部RTS情報IRTS1, IRTS2, IR

TS3, IRTS4を出力する。図10の例では内部RTSサンプリングクロック C_{S} の第1の立上り時に Q_1 , Q_2 , Q_3 , Q_4 は全て0であるから、内部RTS情報の値 X_{H} は0である。又、第2の立上り時には Q_1 , Q_2 , Q_3 は1、 Q_4 は0であるから、内部RTS情報の値 X_{H} は7である。受信ユーザクロック C_{RU} のタイミング(周波数、位相)が変動すると、内部RTSサンプリングクロック C_{S} の立上り時刻が変動するから、内部RTS情報の値が変化する。すなわち、内部RTS情報には受信ユーザクロック C_{RU} のタイミング情報が含まれている。

【0042】(b4) 演算部

演算部72は、ATMセル分解部81で受信ATMセルRATMより分離出力した受信RTS情報(送信側から送られて来る送信RTS情報)RRTS1~RRTS4(Y_{H})と内部RTS情報IRTS1~IRTS4(X_{H})との差 W_{H} を演算するもので、図11に示す構成を備えている。図11において、72aは4ビット加算器、72b~72eはノットゲートである。4ビットの受信RTS情報RRTS1~RRTS4はノットゲート72b~72eで符号を反転されて4ビット加算器72aに入力され、内部RTS情報IRTS1~IRTS4は符号を反転されずに4ビット加算器に入力される。4ビット加算器72aは受信RTS情報RRTS1~RRTS4(Y_{H})と内部RTS情報IRTS1~IRTS4(X_{H})の差 W_{H} ($= X_{\text{H}} - Y_{\text{H}}$)(差分RTS情報DRTS1~DRTS4)を演算して出力する。

【0043】(b5) 受信ユーザクロック生成部

受信ユーザクロック生成部73は、ユーザクロック周波数の公称値の整数倍の周波数 f_{SC} を有する基準クロック信号 C_{SC} を出力する基準発振器73aと、基準クロック信号 C_{SC} の周波数を $1/M$ に分周すると共にパルスの増加、削除指示により分周周波数を調整するパルス調整部73bと、パルス調整部から出力される調整クロック C_{C} の周波数を $1/N$ に分周して受信ユーザクロック C_{RU} を出力するパルス分周器73cと、受信ユーザクロックを内部RTS情報生成部71にフィードバックする手段(フィードバック線)73dと、差分RTS情報DRTS1~DRTS4の値に基づいてパルスの増加、削除をパルス調整部73bに指示するパルス制御部73eを備えている。

【0044】・基準発振器

基準発振器73aは図12に示すように水晶発振器の構成を備えている。尚、CRSは水晶振動子である。ユーザクロック周波数の公称値 $f_{\text{NM}} = \text{Hz}$ (例:DS1で $=1.544 \times 10^6$)に対して、偏差 δ を持つ送信側端末の送信ユーザクロックに同期した受信ユーザクロック C_{RU} を再生するために、基準発振器73aは周波数 $f_{\text{SC}} = \text{Hz}$ ($= \frac{f_{\text{NM}}}{M \times N}$: M, N は整数:例として $M=2, N=16$ で $=49.408 \times 10^6$)の基準クロック C_{SC} を出力する。

【0045】・パルス制御部

図 1 3 はパルス制御部 7 3 e の構成図、図 1 4 はその動作説明用の波形図であり、FF 2 1 はフリップフロップ、OR 2 1 ~ OR 2 2 はオアゲート、AG 2 1 ~ AG 2 3 はアンドゲート、NG 2 1 はノットゲートである。73e 1 は 4 ビットの差分 R T S 情報 DRTS1 ~ DRTS4 を 1 0 進数 S 1 ~ S 1 5 に変換するデコーダ、73e 2 は内部 R T S サンプリングクロック C₀ を受信ユーザクロック C₀ で微分して 1 クロック幅のパルス信号 P₀ を出力する微分回路、73e 3 は差分が S 1 ~ S 8 の場合、内部 R T S 情報 IRTS1 ~ IRTS4 が受信 R T S 情報 RRTS1 ~ RRTS4 より進んでいるものとしてパルス信号 P₀ に同期してパルス調整部 7 3 b に減少指示 P_{DC} を出力する減少指示部、7 3 e 4 は差分が S 9 ~ S 1 5 の場合、内部 R T S 情報 IRTS 1 ~ IRTS4 が受信 R T S 情報 RRTS1 ~ RRTS4 より遅れているものとしてパルス信号 P₀ に同期してパルス調整部 73 b に増加指示 P_{INC} を出力する増加指示部である。尚、差分が 0_H の場合には増加指示も減少指示も出力しない。

【0 0 4 6】パルス制御部 7 3 e は、受信 R T S 情報と内部 R T S 情報の差である差分 R T S 情報 DRTS1 ~ DRTS4 を参照し、内部 R T S 情報が進んでいる場合にはパルス調整部 7 3 b に対し減少指示 P_{DC} を出力し、パルス調整部 7 3 b は減少指示される毎に 1 パルス減少する。この結果、パルス分周部 7 3 c により 1 / N 分周された受信ユーザクロック C₀ は 1 ステップ分の 1 / 秒だけ遅れ、それによって生成される内部 R T S 情報は受信 R T S 情報に近ずいてゆく。これを繰り返すことで、徐々に受信ユーザクロックは、相手端末の送信ユーザクロックに対してビットタイミングの位相が合ってくる。

【0 0 4 7】又、パルス制御部 7 3 e は、受信 R T S 情報と内部 R T S 情報の差である差分 R T S 情報 DRTS1 ~ DRTS4 を参照し、内部 R T S 情報が遅れている場合にはパルス調整部 7 3 b に対し増加指示 P_{INC} を出力し、パルス調整部 7 3 b は増加指示される毎に 1 パルス増加する。この結果、パルス分周部 7 3 c により 1 / N 分周された受信ユーザクロック C₀ は 1 ステップ分の 1 / 秒だけ進み、それによって生成される内部 R T S 情報は受信 R T S 情報に近ずいてゆく。これを繰り返すことで、徐々に受信ユーザクロックは、相手端末の送信ユーザクロックに対してビットタイミングの位相が合ってくる。尚、差分の境目は 1 ~ 7_H と F ~ 8_H で分ける場合もある。これは差分情報が 8_H の時の処理を、遅れとみるか、進みとみるかの違いであるが、實際上差分情報は 0_H 付近 (例えば E_H, F_H, 0_H, 1_H, 2_H) で変化し、8_H になる時はないので本質的な違いはない。もし、8_H になるようでは受信ユーザクロックの抽出ができていないことになる。従って、以降は 1_H ~ 8_H と F_H ~ 9_H に分けた場合について説明する。

【0 0 4 8】・パルス調整部

図 1 5 は M = 2 の場合におけるパルス調整部の構成図、図 1 6 はパルス調整部の減少指示における動作説明用波

形図、図 1 7 はパルス調整部の増加指示における動作説明用波形図である。図 1 5 において、FF 3 1 ~ FF 3 6 はフリップフロップ、AG 3 1 ~ AG 3 6 はアンドゲート、OR 3 1 ~ OR 3 3 はオアゲート、NG 3 1 ~ NG 3 5 はノットゲートである。初期時フリップフロップ FF 3 1 ~ FF 3 6 は全てリセットされている。かかる状態においてフリップフロップ FF 3 1 は基準クロック C₀ がローレベルになる毎にセット / リセット繰返し、基準クロック C₀ がハイレベルになる毎にアンドゲート AG 3 1、AG 3 2 から交互にパルス P 1、P 2 が出力される。初期時、フリップフロップ FF 3 4 はリセットされているから、アンドゲート AG 3 1 から出力されるパルス P 1 がアンドゲート AG 3 5、オアゲート OR 3 2 を介して調整クロック C₀ となって出力される。すなわち、基準クロック C₀ が 1 / 2 に分周され、調整クロック C₀ となって出力される (図 1 6 (a) 参照)。

【0 0 4 9】この状態において、減少指示 P_{DC} がパルス制御部 7 3 e より出力されると、フリップフロップ FF 3 2 は直ちにセットされ、しかる後、アンドゲート AG 3 2 の出力がローレベルになったときに (パルス P 2 の立ち下がり時に) 次段のフリップフロップ FF 3 3 がセットされ、ついで直ちにフリップフロップ FF 3 4 がセットされる。尚、フリップフロップ FF 3 2、FF 3 3 は以後リセットされる。パルス P 2 の立ち下がりによってフリップフロップ FF 3 4 がセットされるため、直後のパルス P 1 が阻止され、以後、代わってアンドゲート 3 2 から出力されるパルス P 2 がアンドゲート AG 3 6、オアゲート OR 3 2 を通過して出力される。この結果、図 1 6 (b) に示すように、最初パルス P 1 が調整クロック C₀ となって出力されるが、減少指示されるとフリップフロップ FF 3 4 がセットした直後のパルス P 1 が抜け、以後、パルス P 2 が調整クロック C₀ となって出力される。このため、調整クロック C₀ より 1 個パルスが減少する。再度減少指示されると、フリップフロップ FF 3 4 がリセットされて前述と同様に調整クロックより 1 個のパルスが抜ける。

【0 0 5 0】一方、初期状態において、増加指示 P_{INC} がパルス制御部 7 3 e より出力されると、フリップフロップ FF 3 5 は直ちにセットされ、しかる後、アンドゲート AG 3 1 の出力がローレベルになったときに (パルス P 1 の立ち下がり時に) 次段のフリップフロップ FF 3 6 がセットされ、ついで直ちにフリップフロップ FF 3 4 がセットされる。尚、フリップフロップ FF 3 5、FF 3 6 は以後リセットされる。パルス P 1 の立ち下がりによってフリップフロップ FF 3 4 がセットされるため、直後のパルス P 2 がアンドゲート AG 3 6、オアゲート OR 3 2 を通過して出力される。この結果、図 1 7 (b) に示すように、最初、パルス P 1 が調整クロック C₀ となって出力されるが、増加指示されるとフリップフロップ

F F 3 4 がセットした直後からパルス P 2 が調整クロック C₀ となって出力されるため、調整クロックにパルスが 1 個付加されたようになる。このため、調整クロック C₀ はパルスが 1 個増加する。再度増加指示されると、前述と同様に調整クロックに 1 個のパルスが付加される。

【0051】(b6) 全体の動作

・送信動作

ネットワークタイミング情報生成部 7 4 のネットワーク分周部 7 4 a は、A T M セル分解部 8 1 から出力されるネットワーククロック C_N を $1/2^N$ に分周してネットワーク分周クロック C_N を出力し、4 ビットバイナリカウンタ部 7 4 b はネットワーク分周クロック C_N を計数してネットワークタイミング情報 Q₁ ~ Q₄ を出力する。送信 R T S 情報生成部 5 1 の送信分周カウンタ部 5 1 a は送信ユーザクロック C_{TU} を $1/3008$ に分周することにより送信 R T S サンプリングクロック C_{TS} を作成し、送信 R T S サンプリングクロック C_{TS} を送信 R T S 生成回路 5 1 b に入力すると共に、送信 R T S クロック C_{TX} として

A T M セル組立部 6 1 に入力する。送信 R T S 生成回路 5 1 b は送信 R T S サンプリングクロック C_{TS} の立上りでネットワークタイミング情報 Q₁ ~ Q₄ をサンプリングし、送信 R T S 情報 TRTS1 ~ TRTS4 生成して A T M セル組立部 6 1 に入力する。

【0052】A T M セル組立部 6 1 は、送信ユーザデータ D_{TU} とそれに同期した送信ユーザクロック C_{TU} と、送信 R T S 情報 TRTS1 ~ TRTS4 とそれに同期した送信 R T S クロック C_{TX} が入力されると、これら送信ユーザデータと送信 R T S 情報を A T M セルに組み立て、しかる後、A T M セル分解部 8 1 から入力されるネットワーク

クロック C_N に同期して該 A T M セル (送信 A T M セル T A T M) を A T M 網に送出する。

【0053】・受信処理

図 1 8 は受信動作説明用の波形図である。内部 R T S 情報生成部 7 1 及び受信ユーザクロック生成部 7 3 はそれぞれ後述する方法で受信 R T S クロック C_{RX} 及び受信ユーザクロック C_{TU} を生成して A T M セル分解部 8 1 に入力する。A T M セル分解部 8 1 は、A T M 網から受信した A T M セル R A T M よりネットワーククロック C_N を抽出して各部に入力すると共に、受信 A T M セルを受信ユーザデータ D_{TU} と受信 R T S 情報 (送信側から送られてくる送信 R T S 情報) RRTS1 ~ RRTS4 に分解する。ついで、受信ユーザクロック生成部 7 3 から入力される受信ユーザクロック C_{TU} に同期して該受信ユーザデータ D_{TU} を出力すると共に、内部 R T S 情報生成部 7 1 から出力される受信 R T S クロック C_{RX} に同期して受信 R T S 情報 RRTS1 ~ RRTS4 を出力する。

【0054】内部 R T S 情報生成部 7 1 の内部 R T S タイミング生成部 7 1 a は、受信ユーザクロック生成部 7 3 から入力される受信ユーザクロック C_{TU} を $1/3008$ に分

周することにより内部 R T S サンプリングクロック C_S を作成し、該内部 R T S サンプリングクロック C_S を内部 R T S 生成回路 7 1 b に入力すると共に、受信 R T S クロック C_{RX} として A T M セル分解部 8 1 に入力する。内部 R T S 生成回路 7 1 b は内部 R T S サンプリングクロック C_S の立上りでネットワークタイミング情報 Q₁ ~ Q₄ をサンプリングして内部 R T S 情報 IRTS1 ~ IRTS4 を生成し、これを演算部 7 2 に入力する。演算部 7 2 は内部 R T S 情報 IRTS1 ~ IRTS4 と受信 A T M セルに含まれる受信 R T S 情報 RRTS1 ~ RRTS4 との差分を演算して受信ユーザクロック生成部 7 3 のパルス制御部 7 3 e に入力する。パルス制御部 7 3 e は差分が S 1 ~ S 8 の場合、内部 R T S 情報 IRTS1 ~ IRTS4 が受信 R T S 情報 RRTS1 ~ RRTS4 より進んでいるものとしてパルス調整部 7 3 b に減少指示 P_{DC} を出力し、差分が S 9 ~ S 15 の場合、内部 R T S 情報 IRTS1 ~ IRTS4 が受信 R T S 情報 RRTS1 ~ RRTS4 より遅れているものとしてパルス調整部 7 3 b に増加指示 P_{INC} を出力する。

【0055】パルス調整部 7 3 b は基準発振器 7 3 a から出力される基準クロック C_{OSC} を $1/M$ ($M=1$) に分周すると共に、減少指示 P_{DC} が入力されると 1 個パルスを減少し、増加指示 P_{INC} が入力されると 1 個パルスを増加して調整クロック C₀ を出力する。パルス分周部 7 3 c は調整クロック C₀ を $1/N$ に分周して受信ユーザクロック C_{TU} を作成して A T M セル分解部 8 1 に入力すると共に、内部 R T S タイミング生成部 7 1 a にフィードバックする。この結果、パルスを 1 個減少した場合には、次段のパルス分周部 7 3 c により $1/N$ 分周された受信ユーザクロック C_{TU} は 1 ステップ分の $1/秒$ だけ遅れ、それによって生成される内部 R T S 情報 IRTS1 ~ IRTS4 は受信 R T S 情報 RRTS1 ~ RRTS4 に近づいてゆき、これを繰り返すことで、徐々に受信ユーザクロックは、相手端末の送信ユーザクロックに対してビットタイミングの位相が合ってくる。又、パルスを 1 個増加した場合には、次段のパルス分周部 7 3 c により $1/N$ 分周された受信ユーザクロック C_{TU} は 1 ステップ分の $1/秒$ だけ進み、それによって生成される内部 R T S 情報は受信 R T S 情報に近づいてゆき、これを繰り返すことで、徐々に受信ユーザクロックは、相手端末の送信ユーザクロックに対してビットタイミングの位相が合ってくる。

【0056】以上の制御により、最終的に受信ユーザクロック C_{TU} のタイミングを送信ユーザクロック C_{TU} のタイミングに一致させることができる。従って、A T M セル分解部 8 1 からは、送信ユーザクロックと同一タイミングで受信ユーザデータ D_{TU} を出力することができる。又、A T M セル分解部 8 1 より受信ユーザクロック C_{TU} に同期してユーザデータを出力すると共に受信 R T S クロック C_{RX} に同期して受信 R T S 情報 RRTS1 ~ RRTS4 を出力するようにしたから、受信ユーザクロックのジッタ

の減少と追従性の向上という両方の要求を満足することができる。すなわち、ATMセル分解部81から受信ユーザデータD_{RU}と受信RTS情報RRTS1~RRTS4とともに受信ユーザクロックC_{RU}に同期して出力するものとする、該受信ユーザクロックC_{RU}には、以下の(1),(2)の特性が要求される。すなわち、受信ユーザクロックC_{RU}には、(1)受信ユーザデータのタイミング信号として、クロックジッタが少ないことが要求されると共に、(2)受信RTS情報のタイミング信号として、追従性が要求される。しかし、これらの要求は必ずしも両立して満足することはできない。しかし、第1実施例では、受信ユーザクロックC_{RU}に同期してユーザデータを出力し、受信RTSクロックC_{RK}に同期して受信RTS情報RRTS1~RRTS4を出力するようになっていいるから、受信ユーザクロックのジッタを少なくすると共に、受信RTSクロックを追従性よく発生することにより両方の要求を満足することができる。

【0057】(c) 本発明の第2の実施例

(c1) 第1実施例の検討

第1の実施例では以下の①~③の問題点がある。

①ユーザクロック周波数の公称値f_{NOM}をHzとする

と、基準発振器73aの出力クロック(基準クロック)C_{OSC}の周波数f_{OSC}は

$$f_{OSC} = \text{Hz} (= \times M \times N ; M, N \text{は整数})$$

となり、1ステップづつ補正する際のジッタTは $T = 1 / \text{秒}$ となる。又、受信ユーザクロック周期T_{RU}は $T_{RU} = 1 / f_{RU} = 1 / \text{秒}$ であるので、ジッタの受信ユーザクロック周期に対する比率(ジッタ比率)UIは

$$UI = T / T_{RU} = 1 / (M \times N)$$

である。このため、ジッタ比率UIを小さくするにはM×Nを大きくする必要がある。しかし、ジッタ比率を小さくすると基準クロックC_{OSC}の周波数f_{OSC}は $f_{OSC} = \text{Hz} (= \times M \times N)$ が大きくなってしまい、消費電力が増大する問題がある。例えば、DS1では $f_{OSC} = 1.544\text{MHz}$ であり、この場合はジッタ比率UIを0.1以下にするには最低でもM×N=10にする必要があり、仮りにM×N=16とすると $f_{OSC} = 24.704\text{MHz}$ になる。

【0058】②又、SRTSでサポートできるユーザクロック周波数の公称値はネットワーククロック周波数f_Nの1/2未満なので、B-ISDNのネットワーククロック周波数f_N=155.52MHzではユーザクロック周波数の公称値f_{NOM}=77.76MHzまでサポートしなければならない。例えば、DS3インターフェースのようなユーザクロック周波数f_{RU}=44.736MHzの場合、ジッタ比率を0.1以下にするためにM×N=16にすると $f_{OSC} = 715.776\text{MHz}$ となってしまう。そのため、第1実施例の方式ではユーザクロックが高速になると非常に高速の素子が必要になる問題がある。

【0059】③更に、1ステップづつ補正するための補正量が $T = 1 / \text{秒}$ であり、又、受信ユーザクロ

クの補正周期は受信ユーザクロックの周期をT_{RU}とすると、

$$T = 3008 \times T_{RU} = 3008 / \text{秒}$$

である。このため、ユーザクロックの再生可能な偏差の許容範囲Wは

$$W = T / T_{RU} = (1 / \text{秒}) \times (1 / 3008) = 1 / (3008 \times M \times N)$$

である。すなわち、ジッタ比率を小さくするためにM×Nを大きくすれば、ユーザクロック偏差の許容範囲が小さくなってしまいう問題がある。

【0060】(c2) 第1実施例との相違点

図19は本発明の第2実施例のATMインターフェース装置の構成図であり、図4の第1実施例と同一部分には同一符号を付している。第1の実施例と異なる点は、

- ①第1実施例のデジタル方式のPLL構成の系の内部にアナログ方式のPLL回路(アナログPLL部)73fを挿入・接続したこと、
- ②基準発振器73aから出力される基準クロックC_{OSC}の周波数f_{OSC}をユーザクロックとほぼ同等の周波数としてパルス調整部73bに入力したこと、
- ③パルス調整部73bの出力である調整クロックC₀をパルス分周部73cにおいて、1/L分周して位相比較クロックC_{REF}(周波数f_{REF}:例8KHz)を作成してアナログPLL部73fに入力したこと、
- ④アナログPLL部73fにおいて、受信ユーザクロックC_{RU}を生成し、該受信ユーザクロックを内部RTSタイミング生成部71aにフィードバックしたこと、
- ⑤内部RTSタイミング生成部71aで受信ユーザクロックC_{RU}を1/3008に分周して内部サンプリングクロックC_Sを生成するようにフィードバック系を形成したこと、である。

【0061】(c3) 動作

アナログPLLにもジッタの許容範囲があり、通常アナログPLLの入力周波数の1クロック分程度、すなわち、ユーザクロック周波数の公称値の周期1/程度である。そこで、基準発振器73aより周波数f_{OSC}=Hz($= \times K$; Kは整数)の基準クロックC_{OSC}を出力する。尚、Kの値は1~4程度である。パルス調整部73は基準クロックC_{OSC}を1/M(例:M=2)に分周し、更に、パルスの増加指示、減少指示に従ってパルスを増減して調整クロックC₀を出力する。パルス分周部73cは図20に示すようにカウンタで構成され、調整クロックC₀を1/Lに分周して($L = \times K / (f_{REF} \times M)$)位相比較クロックC_{REF}(周波数f_{REF}:例8KHz)を出力する。

【0062】アナログPLL部73fは位相比較クロックC_{REF}を入力され、PLL動作により該位相比較クロックC_{REF}に同期した受信ユーザクロックC_{RU}を再生する。アナログPLL部73fは、図21に示す構成を備えており、73f1は位相比較クロックC_{REF}とリファレン

10

20

30

40

50

スクロック C_2 (受信ユーザクロックを $1/H$ に分周したものの) の位相を比較し、位相差に応じた電圧を出力するクロック比較部、72f 2は入力電圧に比例した周波数を有するクロック(受信ユーザクロック) C_{RU} を出力する電圧制御発振器 (VCO)、72f 3は受信ユーザクロックを $1/H$ に分周してリファレンスクロックを出力する分周部 (リファレンスカウンタ) である。

【0063】このアナログPLL部73fの動作を、図22の動作波形図を参照して説明する。電圧制御発振器73f 2は発振周波数がユーザクロックの公称値と等しいクロック(受信ユーザクロック C_{RU}) を出力し、リファレンスカウンタ73f 3は該クロックを $1/H$ ($H = f_{REF} / f_{REF}$) に分周してリファレンスクロック C_2 を出力する。クロック比較部73f 1は位相比較クロック C_{REF} とリファレンスクロック C_2 の位相を比較し、リファレンスクロック C_2 が位相比較クロック C_{REF} より遅れているときには出力電圧を上げて電圧制御発振器73f 2の出力クロック (受信ユーザクロック) の周波数を上げ、リファレンスクロック C_2 が位相比較クロック C_{REF} より進んでいるときには出力電圧を下げて電圧制御発振器73f 2の出力クロックの周波数を下げる。このフィードバック制御により、位相比較クロック C_{REF} に同期した受信ユーザクロック C_{RU} が出力される。

【0064】尚、ユーザクロック周波数の公称値が低い場合には、アナログPLL部73fを挿入してもトータルのフィードバック時間に大きな影響はなく、追従性の点で問題はない。すなわち、受信RTS情報によるフィードバックタイミングの周期 (補正周期) T は受信ユーザクロックの周期を T_{RU} とすると $T = 3008 \times T_{RU} / 3008$ となる。従って、ユーザクロック周波数の公称値が低い場合 (例えば $f_{RU} = 1.544 \times 10^5$)、補正周期 T は $T = 3008 / 1.95ms$ となる。一方、アナログPLL (例: $f_{REF} = 8kHz$ 入力で $1.544MHz$ 出力) の位相比較クロックによるフィードバック周期 T_{REF} は $T_{REF} = 125 \mu s$ となり、このフィードバック周期 T_{REF} は受信RTS情報によるフィードバックタイミングの周期 T ($= 1.95ms$) に比べて十分短いため、アナログPLLを挿入してもトータルのフィードバック時間に大きな影響はない。

【0065】アナログPLL部73fで生成された受信ユーザクロック C_{RU} は内部RTSタイミング生成部71aに入力され、ここで3008分周されて内部RTSサンプリングクロック C_S が生成される。内部RTSサンプリングクロック C_S は、受信RTS情報の同期クロックとして受信RTSクロック C_{RX} として出力される。以後、第1実施例の場合と同様に内部RTS情報IRTS1~IRTS4が生成され、該内部RTS情報IRTS1~IRTS4と受信RTS情報RRTS1~RRTS4との差分値に基づいてパルス制御部73eはパルス調整部73bに減少指示 P_{DC} 又は増加指示 P_{INC} を出力する。パルス調整部73bは基準クロック C_{OSC} を $1/M$ ($M = 1$) に分周すると共に、

減少指示 P_{DC} が入力されると1個パルスを減少し、増加指示 P_{INC} が入力されると1個パルスを増加して調整クロック C_0 を出力する。パルス分周部73cは調整クロック C_0 を $1/L$ に分周して位相比較クロック C_{REF} をアナログPLL部73fに入力し、以後同様のフィードバック制御が行われる。

【0066】第2の実施例によれば、比較的低い公称値のユーザクロック周波数において、基準クロック C_{OSC} の周波数 $f_{OSC} (= f_{OSC} \times K)$ は、 $K = 1 \sim 4$ 程度で十分のため、ユーザクロックの周波数とほぼ同等にできる。すなわち、第1の実施例における基準クロックの周波数 $f_{OSC} (= f_{OSC} \times M \times N; M \times N = 10)$ に比較して、周波数を低くでき、消費電力の低減と受信ユーザクロックのジッタ削減が可能となる。又、ユーザクロックと周波数の公称値からの偏差に対する許容範囲 W は $W = T / T_{REF} (1 /) \times (/ 3008) = 1 / (3008 \times K)$ となり、実際の K の値は $1 \sim 4$ 程度で十分なので、第1実施例による許容範囲 $W = 1 / (3008 \times M \times N)$ と比較して、許容範囲が大きくなる。

【0067】(c4) 第2実施例の変形例構成

図23は第2実施例の変形例であり、第2実施例と同一部分には同一符号を付している。図中、71は内部RTS情報生成部、72は比較部 (演算部)、73は受信ユーザクロック生成部、74はネットワークタイミング情報生成部、75は受信RTS情報RRTS1~RRTS4を記憶する4ビットのフリップフロップである。ネットワークタイミング情報生成部74は内部RTS情報の作成に必要な4ビットのネットワークタイミング情報 $Q_1 \sim Q_4$ を生成するものであり、ネットワーククロック $C_N (= 156.56MHz)$ の周波数を $1/2$ に分周する分周部74aと4ビットバイナリカウンタ74bを備えている。

【0068】内部RTS生成部71は、ネットワーククロック $C_N (= 156.56MHz)$ と受信ユーザクロック C_{RU} を用いてSRTS法に基づいて受信ユーザクロックのタイミング情報である内部RTS情報IRTS1~IRTS4を生成するもので、内部RTSタイミング生成部71aと内部RTS生成回路71bを備えている。内部RTSタイミング生成部71aは、受信ユーザクロック C_{RU} (周波数 f_{RU}) を連続的に $1/8$ 分周及び $1/376$ 分周し、すなわち受信ユーザクロックをトータル $1/3008$ に分周して内部RTSサンプリングクロック C_S (周波数 $f_S = f_{RU} / 3008$) を出力する。内部RTS生成回路71bは、4つのフリップフロップを備え、ネットワークタイミング情報 Q_1, Q_2, Q_3, Q_4 を内部RTSサンプリングクロック C_S の立上りで4ビットのフリップフロップにセットし、内部RTS情報IRTS1、IRTS2、IRTS3、IRTS4を生成して出力する。比較部 (演算部) 72は、受信RTS情報RR

TS1 ~ RRTS4と内部RTS情報IRTS1 ~ IRTS4との大きさを比較する。

【0069】受信ユーザクロック生成部73は、ユーザクロック周波数の公称値の整数倍の周波数を有するクロック信号を出力する基準発振器73aと、基準発振器から出力されるクロック信号の周波数を1/2に分周すると共に互いに180°位相の異なる2つの分周クロック列(0相、相)を出力する分周部73b1と、パルスの増加指示により一方の分周クロック列(0相)に他方の分周クロック(相)を1個追加し、パルスの削除指示により一方の分周クロック列(0相)より分周クロックを1個削除して該一方の分周クロック列を調整クロック信号C₀として出力するパルス調整部73b2と、パルス調整部73b2から出力される調整クロック信号の周波数を分周し、8KHzの位相比較クロックC_{ref}を出力する分周器73cと、PLLにより位相比較クロックC_{ref}に同期した受信ユーザクロックC_uを生成するPLL回路73fと、内部RTS情報とATM網より受信したATMセルに含まれる受信RTS情報との大きさに基づいてパルスの増加、削除を指示するパルス制御部(DPLL同期保護部)73eを備えている。DPLLはデジタルPLLを意味する。

【0070】動作

基準発振器73aは、DS1 PCM伝送路がATM網に接続されている場合には、3.088MHzのクロック信号を出力し、DS3 PCM伝送路がATM網に接続されている場合には、44.736MHzのクロック信号を出力する。分周部73b1は基準発振器73aからのクロック信号を半分の周波数に分周し、図24(a)に示す2つの分周クロック列(0相、相)を出力する。この2つの分周クロック列はパルス調整部73b2に入力する。一方、ネットワークタイミング情報生成部74において、分周部74aはネットワーククロックC_n(=156.56MHz)の周波数を1/2に分周し、4ビットバイナリカウンタ74bはネットワークタイミング情報Q₁ ~ Q₄を出力する。内部RTS情報生成部71は内部RTSサンプリングクロックC_sの立上りに同期してネットワークタイミング情報Q₁, Q₂, Q₃, Q₄を4ビットのフリップフロップ71bにセットし、内部RTS情報IRTS1、IRTS2、IRTS3、IRTS4を出力する。比較部72は、受信RTS情報RRTS1 ~ RRTS4と内部RTS情報IRTS1 ~ IRTS4との大きさを比較する。

【0071】同期保護部73eは、内部RTS情報IRTS1 ~ IRTS4と受信RTS情報RRTS1 ~ RRTS4との大きさに基づいて、パルス調整部73b2に減少指示P_{dec}又は増加指示P_{inc}を出力する。すなわち、受信ユーザクロックC_uが送信ユーザクロックC_mより進んでいる場合には減少指示P_{dec}を出力し、遅れている場合には増加指示P_{inc}を出力する。パルス調整部73b2は増加指示P_{inc}により一方の分周クロック列(0相)に他方の分周クロック(相)を1個追加し(図24(c)参照)、減少指示P_{dec}

により分周クロック列(0相)より1個パルスを削除し(図24(b)参照)、該分周クロック列(0相)を調整クロック信号C₀として出力する。パルス分周部73cは調整クロックC₀を1/Lに分周して8KHzの位相比較クロックC_{ref}を出力する。尚、1/LはDS1 PCM伝送路の場合には1/193であり、DS3 PCM伝送路の場合には1/2796である。

【0072】アナログPLL部73fは位相比較クロックC_{ref}を入力され、PLL動作により該位相比較クロックC_{ref}に同期した受信ユーザクロックC_uを出力する。アナログPLL部73fで生成された受信ユーザクロックC_uは内部RTSタイミング生成部71aに入力され、ここで1/3008に分周されて内部RTSサンプリングクロックC_sが生成される。以後、同様に内部RTS情報IRTS1 ~ IRTS4が生成され上記動作が繰り返され、最終的に受信ユーザクロックの周波数はDS1 PCM伝送路の場合には、1.544MHzとなり、DS3 PCM伝送路の場合には44.736MHzとなり、しかも、受信ユーザクロックと送信ユーザクロックが同期する。

【0073】(d) 本発明の第3の実施例

(d1) 第2実施例の検討

第2の実施例において、ユーザクロックの周波数の公称値が高い場合、例えば = 44.736MHzの場合、ユーザクロックの補正周期Tは $T = 3008 / 67 \mu s$ となる。このため、通常のアナログPLL部のフィードバック周期T_{ref}(例: 8KHz入力でT_{ref} = 125 μs)が補正周期Tと同等又は長くなり、アナログPLL部の挿入により、フィードバック時間が増大して高速のユーザクロックでの追従性が不十分になる。すなわち、第2の実施例ではユーザクロックの周波数の公称値が高い場合に問題がある。

【0074】(d2) 第3実施例の構成

図25は本発明の第3の実施例であるATMインターフェース装置の構成図であり、図19の第2実施例と同一部分には同一符号を付している。内部サンプリングクロックC_sはクロックジッタに厳しい制限のある受信ユーザクロックC_uそのものの1/3008分周である必要はない。換言すれば、内部サンプリングクロックC_sは受信ユーザクロックC_uの1/3008分周に対して同期したタイミングであればよい。

【0075】第3実施例はかかる点を考慮してなされたもので、第2の実施例と比較すると以下の特徴を有している。

①ユーザクロック周波数の公称値が高速であっても、基準発振器73aから出力される基準クロックC_{ref}の周波数f_{ref}をユーザクロックとほぼ同等の周波数($f_{ref} = \times K$; Kは整数で1 ~ 4程度)としてパルス調整部73bに入力している。

②内部サンプリングクロックC_sのタイミングを補正するというフィードバック系において、デジタル方式のPLLから分周したタイミング情報、すなわち、パルス調

整部 7 3 b から出力される調整クロック C_0 を内部 R T S タイミング生成部 7 1 a にフィードバックしている。
 ③ 内部 R T S タイミング生成部 7 1 a においてフィードバックされた調整クロック C_0 を $1 / J$ に分周して内部サンプリングクロック C_s を生成している。

【 0 0 7 6 】 (d 3) 動作

アナログ P L L にも入力ジッタの許容範囲があり、通常アナログ P L L の入力周波数の 1 クロック分程度、すなわち、ユーザクロック周波数の公称値の周期 $1 /$ 程度である。そこで、基準発振器 7 3 a より周波数 $f_{osc} =$
 $Hz(= \times K ; K$ は整数) の基準クロック C_{osc} を出力する。尚、 K の値は $1 \sim 4$ 程度である。パルス調整部 7 3 b は基準クロック C_{osc} を $1 / M$ (例: $M = 2$) に分周し、更に、パルスの増加指示、減少指示に従ってパルスを増減して調整クロック C_0 を出力する。パルス分周部 7 3 c は調整クロック C_0 を $1 / L$ に分周して ($L = \times K / (f_{ref} \times M)$)、位相比較クロック C_{ref} (周波数 f_{ref} : 例 8KHz) を出力する。アナログ P L L 部 7 3 f は位相比較クロック C_{ref} を入力され、P L L 動作により該位相比較クロック C_{ref} に同期した受信ユーザクロック C_R を再生する。

【 0 0 7 7 】 以上と並行して、パルス調整部 7 3 b は調整クロック C_0 を内部 R T S タイミング生成部 7 1 a にフィードバックする。内部 R T S タイミング生成部 7 1 a は図 2 6 に示す構成を備え、調整クロックを $1 / J$ ($J = 3008 \times K / M ; M$ はパルス調整部の分周比) に分周し、内部 R T S サンプリングクロック C_s を生成する。この内部 R T S サンプリングクロック C_s は、受信 R T S 情報の同期クロックとして受信 R T S クロック C_{rx} として A T M セル分解部 8 1 に入力される。以後、第 1、第 2 実施例の場合と同様に内部 R T S 情報 IRTS1 ~ IRTS4 が生成され、該内部 R T S 情報 IRTS1 ~ IRTS4 と受信 R T S 情報 RRTS1 ~ RRTS4 との差分値に基づいてパルス制御部 7 3 e はパルス調整部 7 3 b に減少指示 P_{DC} 又は増加指示 P_{INC} を出力する。パルス制御部 7 3 e は図 2 7、図 2 8 に示すように、内部 R T S サンプリングクロック C_s を調整クロック C_0 により微分する点で (第 1、第 2 実施例では受信ユーザクロック C_R で微分している)、第 1、第 2 実施例と異なるが他の構成は全く同一である。

【 0 0 7 8 】 パルス調整部 7 3 b は基準クロック C_{osc} を $1 / M$ ($M = 1$) に分周すると共に、減少指示 P_{DC} が入力されると 1 個パルスを減少し、増加指示 P_{INC} が入力されると 1 個パルスを増加して調整クロック C_0 を出力する。パルス分周部 7 3 c は調整クロック C_0 を $1 / L$ に分周して位相比較クロック C_{ref} をアナログ P L L 部 7 3 f に入力し、以後同様のフィードバック制御が行われ受信ユーザクロック C_R のタイミングを補正する。尚、図 2 9 に第 3 実施例における受信動作の波形図を示す。

【 0 0 7 9 】 第 3 の実施例によれば、高い公称値のユーザクロック周波数であっても、基準クロック C_{osc} の周波数 $f_{osc} (= = \times K)$ は、 $K = 1 \sim 4$ 程度で十分のため、ユーザクロックの周波数とほぼ同等にできる。すなわち、第 1 の実施例における基準クロックの周波数 $f_{osc} (= = \times M \times N ; M \times N \geq 10)$ に比較して、周波数を低くでき、消費電力の低減と受信ユーザクロックのジッタ削減が可能となる。又、ユーザクロックと周波数の公称値からの偏差に対する許容範囲 W は
 $W = T / T (1 /) \times (/ 3008) = 1 / (3008 \times K)$

となり、実際の K の値は $1 \sim 4$ 程度で十分なので、第 1 実施例による許容範囲

$$W = 1 / (3008 \times M \times N)$$

と比較して、許容範囲が大きくなる。又、パルス調整部から出力される調整クロック C_0 を内部 R T S 情報生成部へフィードバックする構成であるため、フィードバックの遅延時間を減少でき、高速ユーザクロックでの追従性を第 1、第 2 実施例に比べて大幅に改善できる。

20 【 0 0 8 0 】 (e) 本発明の第 4 の実施例

(e 1) 考察

以上の実施例においては、補正周期 $T (T = 3008 /)$ 毎に 1 個のパルスを増加、あるいは減少するものであるため、デジタルフィードバックの追従性や公称値からの偏差に対する許容範囲が十分でなく、改善の余地がある。さて、ユーザクロック周波数の公称値 が低い場合、例えば D S 1 における $= 1.544 \times 10^6$ の場合、受信 R T S 情報の補正周期 T は $1.95ms (T = 3008 /)$ となる。一方、アナログ P L L 部に入力される位相比較クロック C_{ref} の周波数 f_{ref} を 8 KHz とすれば、その周期 T_{ref} は $125 \mu s$ となる。すなわち、ユーザクロック周波数の公称値が比較的低い場合には、受信 R T S 情報の補正周期 $T (1.95ms)$ が位相比較クロック C_{ref} の周期 $T_{ref} (125 \mu s)$ より十分長くなる ($T_{ref} / T \geq 15$)。以上から、1 補正期間中に複数のビットを増減 (複数のパルスを増減) させても、アナログ P L L 部の位相比較クロック周期 T_{ref} 中に 1 ビット (1 パルス) 以上の補正が入らないように配置すれば、アナログ P L L が追従できる。また、1 補正周期で複数のビットを増減 (複数のパルスを増減) できるため、デジタル P L L の追従速度を早めることができる。

【 0 0 8 1 】 (e 2) 第 4 実施例の構成

図 3 0 は本発明の第 4 の実施例である A T M インターフェイス装置の構成図であり、図 2 5 の第 3 実施例と同一部分には同一符号を付している。第 4 実施例が第 3 実施例と機能的に異なる点は、調整クロック C_0 のパルス数を 1 補正周期で複数個調整 (増減) することであり、構成的には、以下の点で相違する。すなわち、
 ① 受信 R T S クロック C_{rx} の 1 周期内にほぼ均一に調整
 50 整タイミングパルスを有する複数の調整タイミングパル

ス列 P 1 , P 2 , . . . P 8 を発生するパルス調整タイ
ミング生成部 7 3 g を設けたこと、

②内部 R T S 情報と受信 R T S 情報との差分値 (差分 R
T S 情報) D R T S 1 ~ D R T S 4 に応じた所定の調整タイミング
パルス列 P i (i = 1 ~ 8) を選択するパルス調整タイ
ミング選択部 7 3 h を設けたこと、

③選択された調整タイミングパルス列 P i における調整
タイミング位置 (調整タイミングパルス位置) で、差分
に応じてパルスの増加指示、あるいはパルスの削除指示
をパルス調整部 7 3 b に指示するようにパルス制御部 7
3 e を構成したこと、

④パルス調整部 7 3 b は基準クロック C 0 を 1 / M
(例 : M = 2) に分周し、更に、パルスの増加指示、減
少指示に従ってパルスを増減して調整クロック C 0 を出
力することである。

【 0 0 8 2 】 ・ パルス調整タイミング生成部

図 3 1 はパルス調整タイミング生成部 7 3 g の構成図、
図 3 2 はその動作説明用波形図である。73g 1 は微分回
路であり、内部 R T S サンプリングクロック C 0 を調整
クロック C 0 で微分し、クロック C 0 の立上りで 1 クロ
ック幅の微分パルス P 0 (第 1 の調整タイミングパルス
列 P 1 となる) を出力する。73g 2 ~ 7g 8 はカウンタで
あり微分パルス P 0 をプリセット端子に入力され、以
後、調整クロック C 0 を 1 / P N 1 ~ 1 / P N 2 に分周する。P N 1 の
値は f 0 / (f 0 · X) を越えない最大の整数である
(ただし、f 0 は調整クロック周波数、f 0 は内部 R T
S サンプリングクロック C 0 の周波数) 。このようにす
ると、図 3 2 に示すように差分 R T S 情報 D R T S 1 ~ D R T S 4
の値 (差分値) 毎に、該差分値に比例した数のパルスを補
正周期 (内部 R T S サンプリングクロック C 0 の周期)
の中に均一に配置した調整タイミンパルス列 P 1 ~ P 8
を生成することができる。これらの調整タイミングパル
ス列のパルスは低いユーザクロック周波数の公称値
(例 : 1.544MHz) では、位相比較クロック C 0 の 1 周期
中には 1 パルス以上入らない。

【 0 0 8 3 】 ・ パルス調整タイミング選択部

図 3 3 はパルス調整タイミング選択部 7 3 h の構成図、
図 3 4 はその動作説明用の波形図である。73h 1 は差分
R T S 情報 D R T S 1 ~ D R T S 4 を 1 0 進数 S 1 ~ S 1 6 に変換
する 4 ビットデコーダ、73h 2 は差分 S 1 ~ S 1 6 に応
じた調整タイミングパルス列 P 1 ~ P 8 を選択し、選択
タイミングパルス列 P 0 として出力するセレクタであ
り、O R はオアゲート、A G はアンドゲートである。図
3 4 には差分が 5 (S 5 = 1) の時、調整タイミングパ
ルス列 P 5 が選択されて選択タイミングパルス列 P 0 と
して出力される場合が示されている。

【 0 0 8 4 】 ・ パルス制御部

図 3 5 はパルス制御部 7 3 e の構成図、図 3 6 はその
動作説明用波形図である。73e 5 は差分 R T S 情報 D R T S 1
~ D R T S 4 を 1 0 進数 S 1 ~ S 1 5 にデコードする 4 ビッ

トデコーダ、73e 6 は差分 R T S 情報が S 1 ~ S 8 の時
ハイレベルの信号を内部 R T S サンプリングクロック C
0 の 1 周期の期間 (1 補正周期の期間) 出力する 8 入力
オアゲート、73e 7 は差分 R T S 情報が S 9 ~ S 1 5 の
時ハイレベルの信号を内部 R T S サンプリングクロック
C 0 の 1 周期の期間 (1 補正周期の期間) 出力する 7 入
力オアゲート、A G 4 1 は選択タイミングパルス列 P 0
を減少指示 P 0c として出力するアンドゲート、A G 4
2 は選択タイミングパルス列 P 0 を増加指示 P 0a として
出力するアンドゲートである。図 3 6 には差分が 5 (S
5 = 1) の時、5 個の減少指示 P 0c が出力される場合
が示されている。

【 0 0 8 5 】 (e 3) 動作

アナログ P L L にも入力ジッタの許容範囲があり、通常
アナログ P L L の入力周波数の 1 クロック分程度、すな
わち、ユーザクロック周波数の公称値の 1 周期 1 / 程
度である。そこで、基準発振器 7 3 a より周波数 f 0
= Hz (= x K ; K は整数) の基準クロック C 0 を
出力する。尚、K の値は 1 ~ 4 程度である。パルス調整
部 7 3 b は基準クロック C 0 を 1 / M (例 : M = 2)
に分周し、更に、パルスの増加指示、減少指示に従って
パルスを増減して調整クロック C 0 を出力する。パルス
分周部 7 3 c は調整クロック C 0 を 1 / L に分周して
(L = x K / (f 0 x M))、位相比較クロック C
0 (周波数 f 0 : 例 8kHz) を出力する。アナログ P L
L 部 7 3 f は位相比較クロック C 0 を入力され、P L
L 動作により該位相比較クロック C 0 に同期した受信
ユーザクロック C 0 を再生する。

【 0 0 8 6 】 以上と並行して、パルス調整部 7 3 b は調

整クロック C 0 を内部 R T S タイミング生成部 7 1 a に
フィードバックする。内部 R T S タイミング生成部 7 1
a は調整クロック C 0 を 1 / J (J = 3008 x K / M : M
はパルス調整部の分周比) に分周し、内部 R T S サン
プリングクロック C 0 を生成する。この内部 R T S サン
プリングクロック C 0 は受信 R T S クロック C 0 として
A T M セル分解部 8 1 に出力される。内部 R T S 生成部
7 1 b は内部 R T S サンプリングクロック C 0 の立上り
で内部 R T S 情報 I R T S 1 ~ I R T S 4 を生成し、演算部 7 2 は
内部 R T S 情報 I R T S 1 ~ I R T S 4 と受信 R T S 情報 R R T S 1 ~ R
R T S 4 との差分 R T S 情報 D R T S 1 ~ D R T S 4 を演算してパルス
調整タイミング生成部 7 3 h とパルス制御部 7 3 e に
入力する。パルス調整タイミング選択部 7 3 h は差分 R
T S 情報の値 (差分) に応じた調整タイミングパルス列
を選択して選択タイミングパルス列 P 0 として出力す
る。パルス制御部 7 3 e は差分 R T S 情報 D R T S 1 ~ D R T
S 4 の値 (差分) に応じて増加指示するか、減少指示す
るか決定し、選択タイミングパルス列 P 0 に含まれるパル
ス位置で増加指示 P 0a または減少指示 P 0c をパルス調
整部 7 3 b に出力する。パルス調整部 7 3 b は基準クロ
ック C 0 を 1 / M (M = 1) に分周すると共に、減少

指示 P_{DC} が入力される毎に 1 個パルスを減少し、増加指示 P_{MC} が入力される毎に 1 個パルスを増加して調整クロック C_0 を出力する。これにより、1 補正期間において差分 R T S 情報に応じた数のパルスが増加あるいは減少する。

【0087】パルス分周部 73c は調整クロック C_0 を $1/L$ に分周して位相比較クロック C_{RC} をアナログ PLL 部 73f に入力し、以後同様のフィードバック制御が行われ受信ユーザクロック C_{RU} のタイミングを補正する。また、調整クロック C_0 は内部 R T S タイミング生成部 71a にフィードバックされ、同様の制御により内部 R T S サンプリングクロック C_{IS} のタイミングを制御する。以上の制御により、内部 R T S 情報と受信 R T S 情報が一致し、また、受信ユーザクロックのタイミングが送信ユーザクロックのタイミングと一致するようになる。

【0088】第 4 実施例によれば、基準クロック C_{OC} の周波数 $f_{OC} (= = \times K)$ は、 $K = 1 \sim 4$ 程度で十分のため、ユーザクロックの周波数とほぼ同等にできる。すなわち、第 1 の実施例における基準クロックの周波数 $f_{OC} (= = \times M \times N; M \times N \geq 10)$ に比較して、周波数を低くでき、消費電力の低減と受信ユーザクロックのジッタ削減が可能となる。又、第 4 の実施例によれば、特に低い公称値のユーザクロック周波数において、ユーザクロックの公称値からの偏差に対する許容値を大きくすることができる。すなわち、補正周期 T に対して最大 $7 \times F$ クロック (F は整数で差分 R T S 情報に比例したパルス数の比で本実施例では 1) まで補正できるから、ユーザクロックの公称値からの偏差に対する許容範囲 W は

$$W = T / T \quad (1 /) \times 7 \times F \times (/ 3008) \\ = 7 \times F / (3008 \times K)$$

となり、実際の K の値は $1 \sim 4$ 程度で十分なので、第 1 実施例による許容範囲

$$W = 1 / (3008 \times M \times N)$$

と比較して、許容範囲が大幅に大きくなる。更に、補正周期 T に対して最大 $7 \times F$ クロックまで補正できるから、フィードバックの追従性が向上する。また、調整クロック C_0 をフィードバックするようにしているから、フィードバックの遅延時間が減少し、高速ユーザクロックでの追従性を第 1、第 2 実施例に比べて大幅に改善できる。

【0089】(f) 第 5 実施例

第 2 実施例では 2 系統のフィードバック (アナログ PLL とデジタル PLL)、が必要となる。このため、2 系統の同期保護回路が相互に影響しあい、同期確立時間、同期安定性等が劣化し受信ユーザクロックの安定性の面で問題となる。第 5 実施例では第 2 実施例において別々に制御していた同期制御を共通化することによりフィードバック系を 1 系統にまとめ、更に安定した受信ユーザ

クロックを再生するものである。

構成

【0090】図 37 は第 5 実施例の構成図であり、第 2 実施例と同一部分には同一符号を付している。図中、71 は内部 R T S 情報生成部、72 は比較部、73 は受信ユーザクロック生成部、74 はネットワークタイミング情報生成部、75 は受信 R T S 情報 RRTS1 ~ RRTS4 を記憶する 4 ビットのフリップフロップである。ネットワークタイミング情報生成部 74 は内部 R T S 情報の作成に必要な 4 ビットのネットワークタイミング情報 $Q_1 \sim Q_4$ を生成するものであり、ネットワーククロック C_{IN} (=156.56MHz) の周波数を $1/2$ に分周する分周部 74a と 4 ビットバイナリカウンタ 74b を備えている。

【0091】内部 R T S 生成部 71 は、ネットワーククロック C_{IN} (=156.56MHz) と受信ユーザクロック C_{RU} を用いて S R T S 法に基づいて受信ユーザクロックのタイミング情報である内部 R T S 情報 IRTS1 ~ IRTS4 を生成するもので、内部 R T S タイミング生成部 71a と内部 R T S 生成回路 71b を備えている。内部 R T S タイミング生成部 71a は、受信ユーザクロック C_{RU} (周波数 f_{RU}) を連続的に $1/8$ 分周及び $1/376$ 分周し、すなわち受信ユーザクロックをトータル $1/3008$ に分周して内部 R T S サンプリングクロック C_{IS} (周波数 $f_{IS} = f_{RU} / 3008$) を出力する。内部 R T S 生成回路 71b は、4 つのフリップフロップを備え、ネットワークタイミング情報 Q_1, Q_2, Q_3, Q_4 を内部 R T S サンプリングクロック C_{IS} の立上りで 4 ビットのフリップフロップにセットし、内部 R T S 情報 IRTS1、IRTS2、IRTS3、IRTS4 を生成して出力する。比較部 (演算部) 72 は、受信 R T S 情報 RRTS1 ~ RRTS4 と内部 R T S 情報 IRTS1 ~ IRTS4 との大小を比較する。

【0092】受信ユーザクロック生成部 73 は、基準発振器 73a と、分周部 73b 1 と、パルス調整部 73b 2 と、分周部 73c 1, 73c 2 と、ローパスフィルタ 73f 4 と、電圧制御発振器 73f 2 と、パルス制御部 (D P P L 同期保護部) 73e を備えている。基準発振器 73a は、ユーザクロック周波数の公称値の整数倍の周波数、例えば DS1 では 1.544MHz、DS3 では 44.736MHz を有するクロック信号を出力する。分周部 73b 1 は、基準発振器 73a から出力されるクロック信号の周波数を $1/2$ に分周すると共に互いに 180° 位相の異なる 2 つの分周クロック列 (0 相、 180° 相) を出力する。パルス調整部 73b 2 は、パルスの増加指示により一方の分周クロック列 (0 相) に他方の分周クロック (180° 相) を 1 個追加し、パルスの削除指示により一方の分周クロック列 (0 相) より分周クロックを 1 個削除し、該一方の分周クロック列を調整クロック信号 C_0 として出力する。

【0093】分周部 73c 1, 73c 2 はパルス調整部 73b 2 から出力される調整クロック信号の周波数を連続的に $1/4$ 分周、 $1/376$ 分周してトータル $1/1504$ 分周する。第 2 実

施例のPLL部を共用化するためにはフィードバック周波数を受信ユーザクロックの1/3008(DS1では513KHz、DS3では14.9KHz)に変更する必要がある。実際は、分周部73b 1で既に1/2に分周しているから分周部73c 1,73c 2では1/1504に分周する。ローパスフィルタ73f 4は分周部73c 1,73c 2から出力される分周クロック信号を平滑化し、電圧制御発振器73f 2はローパスフィルタの出力信号レベルに応じた周波数で発振して受信ユーザクロック信号(DS1では1.544MHz、DS3では44.736MHz)を出力する。パルス制御部(DPPL同期保護部)73eは、内部RTS情報とATMセルに含まれる受信RTS情報との大小に基づいてパルスの増加、削除を指示する。

【0094】動作

基準発振器73aは、DS1 PCM伝送路がATM網に接続されている場合には、1.544MHzのクロック信号を出力し、DS3 PCM伝送路がATM網に接続されている場合には、44.736MHzのクロック信号を出力する。分周部73b 1は基準発振器73aからのクロック信号を半分の周波数に分周し、図38(a)に示す2つの分周クロック列(0相、相)を出力する。この2つの分周クロック列はパルス調整部73b 2に入力する。一方、ネットワークタイミング情報生成部74において、分周部74aはネットワーククロック C_{N1} (=156.56MHz)の周波数を1/2に分周し、4ビットバイナリカウンタ74bはネットワークタイミング情報 $Q_1 \sim Q_4$ を出力する。内部RTS情報生成部71は内部RTSサンプリングクロック C_{S1} の立上りに同期してネットワークタイミング情報 Q_1, Q_2, Q_3, Q_4 を4ビットのフリップフロップ71bにセットし、内部RTS情報IRTS1、IRTS2、IRTS3、IRTS4を出力する。比較部72は、受信RTS情報RRTS1~RRTS4と内部RTS情報IRTS1~IRTS4との大小を比較する。

【0095】同期保護部73eは、内部RTS情報IRTS1~IRTS4と受信RTS情報RRTS1~RRTS4との大小に基づいて、パルス調整部73b 2に減少指示 P_{DC} 又は増加指示 P_{INC} を出力する。すなわち、受信ユーザクロック C_{RU} が送信ユーザクロック C_{TU} より進んでいる場合には減少指示 P_{DC} を出力し、遅れている場合には増加指示 P_{INC} を出力する。パルス調整部73b 2は増加指示 P_{INC} により一方の分周クロック列(0相)に他方の分周クロック(相)を1個追加し(図38(c)参照)、減少指示 P_{DC} により分周クロック列(0相)より1個パルスを削除し(図38(b)参照)、該分周クロック列(0相)を調整クロック信号 C_0 として出力する。パルス分周部73c 1,73c 2は調整クロック C_0 を1/1504に分周してDS1では513KHz、DS3では14.9KHzのクロックを出力する。ローパスフィルタ73f 4は分周部から出力される分周クロック信号を平滑化し、電圧制御発振器73f 2はローパスフィルタの出力信号レベルに応じた周波数で発振して受信ユーザクロック信号(DS1では1.544MHz、DS3では44.736MHz)を出力する。

【0096】電圧制御発振器73f 2から出力された受信ユーザクロック C_{RU} は内部RTSタイミング生成部71aに入力され、ここで1/3008に分周されて内部RTSサンプリングクロック C_{S1} が生成される。以後、同様に内部RTS情報IRTS1~IRTS4が生成され上記動作が繰り返され、最終的に受信ユーザクロックの周波数はDS1 PCM伝送路の場合には、1.544MHzとなり、DS3 PCM伝送路の場合には44.736MHzとなり、しかも、受信ユーザクロックと送信ユーザクロックが同期する。以上のように、フィードバック系路を1系統にまとめることにより、安定した受信ユーザクロックを生成することができる。又、回路構成部品を減少することができる。

【0097】(g) 第6実施例

(g1) 通信システムの構成

DS1, DS3のPCM伝送路(PCM line)をATMスイッチにインターワーキング(interworking)する機能を回路エミュレーション(CE:Circuit Emulation)という。図39(a)は、CE機能を備えたATMインタフェース装置によりDS1, DS3のPCM伝送路をATMスイッチにインターワーキング(interworking)する場合のシステム構成図、図39(b)は各部のレイヤ説明図である。図39(a)において、101はATMスイッチ(ATM SW)、102、103は端末(CPE)、104、105はDS1又はDS3のデジタル伝送路、106、107はCE機能を備えたATMインタフェース装置(DS3 CE INF)である。

【0098】ATMインタフェース装置106, 107は、DS1, DS3のデジタル伝送路から到来する図40に示すフレームフォーマットを有するデータを図41に示すAAL1(ATM Adaptation Layer 1)のペイロード部にマッピング(mapping)すると共に、SARヘッダのCSIビットにユーザクロックのタイミング情報(送信RTS情報)を含ませてATMスイッチに送出する。又、ATMインタフェース装置106, 107は、ATMセルに含まれる送信RTS情報を用いて受信ユーザクロックを送信ユーザクロックに同期させると共に、ATMセルをDS1, DS3のデータに変換してDS1, DS3のデジタル伝送路に送出する。図40はATMインタフェース装置(DS3 CE INF)でのDS3フレームフォーマットでTR-NWT-000499に準拠し、該TR-NWT-000499に規格されているM13フレームフォーマットを有している。M13フレームフォーマットは、1マルチフレームは7つのサブマルチフレーム(subframe 1~subframe 7)から構成され、各サブマルチフレームは更に85ビットからなる8個のブロックで構成されている。85ビットのうち、最初の1ビットはDS3のオーバーヘッドで残りがペイロードとなる。Xはイエローアラーム(Yellow Alarm)、M0, M1はマルチフレーム配列(Multi frame alignment)で、M0=0, M1=1である。F0, F1はマルチサブフレーム配列(Multi subframe alignment)で、F0=0, F1=1である。

rame alignment)で、 $F_0 = 0$ 、 $F_1 = 1$ である。Pは偶数パリティ、Cはアプリケーション識別(application identification)である。上記ATMインタフェース装置の動作確認やATMスイッチのパスを確認するための試験を行う必要がある。しかし、かかる試験を行うためには以下の問題点がある。

【0099】(1) Circuit Emulationサービスの場合、DS1では1.544Mbpsの速度で、DS3では44.736Mbpsの速度で試験セルを流す必要がある。

(2) 上記ビット速度で試験セルを長さない受信側でStarvation状態を検出してしまふ。Starvation状態とは、AAL1セルをDS1又はDS3のフォーマットに変換するFIFOの空き(empty)状態を監視し、空き状態が2.5秒以上継続した状態である。

(3) 試験セルとして図41に示すAAL1のSAR Headerを意識する必要がある。

(4) Circuit Emulationサービスとして非同期/同期方式があり、SAR HeaderのCSIビットパターンを発生するのが困難である。

【0100】(g2) 構成

そこで、本発明の第6実施例ではDS1、DS3レイヤからAAL1レイヤに変換する部分に試験回路を挿入して上記(1)~(4)の問題点をクリアしている。図42は本発明に係るATMインタフェース装置106、107のブロック図である。DS1、DS3のデジタル伝送路(digital line)からATMスイッチへの上り経路において、111はデジタル伝送路より入力されるバイポーラ信号(bipolar signal)をユニポーラ信号(unipolar signal)に変換すると共にユーザクロックを抽出して出力するB/U変換器である。112はコード変換器であり、DS1の場合にはB8ZS信号からNRZ信号へ変換し、DS3の場合にはB3ZS信号からNRZ信号に変換する。113は直列データを並列データに変換するシリアル・パラレル変換器、114は試験パターン(試験データ)を発生する第1のパターン発生器、115はセレクタであり、通常時にはシリアル・パラレル変換器からのデータを選択して出力し、試験時にはパターン発生器114から入力される試験パターンを選択して出力する。116はDS1、DS3のデータを図41のAAL1のセルフォーマットに変換するために記憶するRAMである。

【0101】117はユーザクロック C_{u} とATMスイッチのネットワーククロック C_{n} を用いて送信RTS情報SRTS1~SRTS4を生成する送信RTS生成部である。118はDS1、DS3のデータをAAL1フォーマットのペイロード部分にマッピングすると共に、SAR Headerパターンを生成してAAL1フォーマットのSAR Header部に挿入するSARヘッダ生成部、119はATMヘッダを生成してAAL1フォーマットのATMヘッダ部に挿入するATMヘッダ発生器、120はATMヘッダ発生器119よりバースト的に出力されるセルをDS1、DS3の

クロック速度(clock rate)の間隔にするためのシェーピング部である。121はDS1、DS3レイヤのアラームを検出するアラーム検出回路であり、信号損失(Loss of signal)、フレーム損失(Loss of frame)等のアラームを検出する。このアラームが検出されると、ATMスイッチに送出するセルをストップする。122は試験セルを受信し、該試験セルの内容よりATMインタフェース装置の動作確認やパルスの動作確認を行う第1のパターンチェッカである。

【0102】ATMスイッチからデジタル伝送路への下り経路において、131は規定のATMヘッダパターンが到来しているかチェックするATMヘッダチェッカであり、規定のパターンが来ていない場合にはこの時点でセルの廃棄を行う。132はSARヘッダチェッカ、133はFIFOメモリである。SARヘッダチェッカ132はSARヘッダのシーケンスカウントSC、CRC、偶数パリティEPBのチェックを行い、エラーが検出されていない場合にはセルをFIFOメモリ133に記憶し、エラーが検出されればこの時点でセル廃棄を行う。134はATMセルに含まれる受信RTS情報RRTS1~RRTS4を発生する受信RTS発生部、135は受信ユーザクロック C_{u} とネットワーククロック C_{n} を用いて内部RTS情報IRTS1~IRTS4を生成する内部RTS生成部、136は内部RTS情報IRTS1~IRTS4と受信RTS情報RRTS1~RRTS4の大小比較を行う演算部、137は第1~第5実施例で示す方法により受信ユーザクロック C_{u} を生成する受信ユーザクロック生成部である。FIFOメモリ133は受信ユーザクロック C_{u} に同期してペイロード部にマッピングされているDS1、DS3データを出力して連続データにする。

【0103】138はSARヘッダのエラー時に固定のダミーデータを送出するダミーデータ発生器、139は試験パターンを発生する第2のパターン発生器、140はセレクタであり、通常時にはFIFOメモリから出力されるDS1、DS3データを選択出力し、試験時にはパターン発生器139から入力される試験パターンを選択して出力する。141は並列データを直列データに変換するパラレル・シリアル変換器、142はDS1の場合にはNRZ信号からB8ZS信号へ変換し、DS3の場合にはNRZ信号からB3ZSに変換するコード変換器、143はユニポーラ信号(unipolar signal)をバイポーラ信号(bipolar signal)に変換してデジタル伝送路に送出するU/B変換器である。144は試験セルを受信し、該試験セルの内容よりATMインタフェース装置の動作確認やパスの動作確認を行う第2のパターンチェッカである。

【0104】151は下り経路を上り経路に接続し、U/B変換器143の出力信号を上り経路のB/U変換器にループバックするループバック部である。152はデジタル伝送路からの信号とループバック部151からの

信号を選択して出力するセクタである。セクタ152は通常時はデジタル伝送路からのDS1, DS3データを選択して出力し、ループバック試験時にはループバック部からのデータを選択して出力する。153は分配器であり、U/B変換器143から出力されるデータを適宜デジタル伝送路あるいはループバック部151に分配する。分配器153は通常時はデジタル伝送路へデータを出力し、ループバック試験時にはループバック部151に出力する。161は試験制御その他の制御を行うプロセッサであり、各部とバス線で接続されている。162は操作部であり、各種データの入力、指示、表示を行うものである。

【0105】(g3) 試験

(1) ATMスイッチのバスの確認試験

送信側、受信側のATMインタフェース装置(例えば図39のインタフェース装置106, 107)の操作部162よりバス試験開始をプロセッサ161に指示する。試験開始が指示されると、送信側のプロセッサ161はパターン発生器114を起動すると共に、セクタ115に試験開始を通知する。又、受信側のプロセッサはパターンチェッカ144をテスト起動する。送信側のパターン発生器114は所定の試験データを発生し、セクタ115は該試験データを選択してRAM116に記憶する。以後、試験データはSARヘッダ発生器118、ATMヘッダ発生器119でAAL1フォーマットのATMセル(試験セル)に変換され、シェーピング部120を介してATMスイッチ101に入力される。試験セルはATMスイッチ101でスイッチングされ、受信側のATMインタフェース装置107に入力される。

【0106】受信側のATMインタフェース装置107において、試験セルはATMヘッダチェッカ131、SARヘッダチェッカ132で所定の検査を施され、FIFOメモリ133に記憶される。しかる後、FIFOメモリ133は、受信ユーザクロックC_uに同期して試験セルのペイロード部にマッピングされている試験データを出力する。パターンチェッカ144は試験データを受信し、該受信した試験データと既知の試験データを比較し、一致する場合にはパターン発生器114からパターンチェッカ144までのバスは正常であると判定し、異なる場合にはバスは異常であると判定してプロセッサ161に通知して、操作部の表示部等に表示する。

【0107】(2) ATMインタフェース装置の試験

送信側の操作部162よりプロセッサ161に受信側ATMインタフェース装置107の試験開始を指示する。又、受信側の操作部162よりプロセッサ161に自機(ATMインタフェース装置107)の試験開始を指示する。試験開始が指示されると、送信側のプロセッサ161はパターン発生器114、パターンチェッカ144を起動すると共に、セクタ115に試験開始を通知する。パターン発生器114は所定の試験データを発生

し、セクタ115は該試験データを選択してRAM116に記憶する。以後、試験データはSARヘッダ発生器118、ATMヘッダ発生器119でAAL1フォーマットのATMセル(試験セル)に変換され、シェーピング部120を介してATMスイッチ101に入力される。試験セルはATMスイッチ101でスイッチングされ、受信側のATMインタフェース装置107に入力される。

【0108】受信側のプロセッサ161は、それより前の試験開始の指示によりループバック151、セクタ152、分配器153にループバックを指令する。かかる状態において、受信側のATMインタフェース装置107は、ATMスイッチ101から試験セルを受信すると該試験セルを試験データに変換し、該試験データを分配器153 ループバック部151 セクタ152を介して上り線路にループバックする。ループバックされた試験データはATMセルに変換されてATMスイッチ101に入力され、該ATMスイッチ101で送信側のATMインタフェース装置106にスイッチングされる。

【0109】送信側のATMインタフェース装置106において、戻ってきた試験セルはATMヘッダチェッカ131、SARヘッダチェッカ132で所定の検査を施され、FIFOメモリ133に記憶される。しかる後、FIFOメモリ133は、受信ユーザクロックC_uに同期して試験セルのペイロード部にマッピングされている試験データを出力する。パターンチェッカ144は試験データを受信し、該受信した試験データと既知の試験データを比較し、一致する場合にはATMスイッチのバス及び受信側のATMインタフェース装置107は正常であると判定し、異なる場合にはATMスイッチのバスあるいは受信側のATMインタフェース装置は異常であると判定してプロセッサ161に通知する。

【0110】(3) DS1, DS3レイヤの試験

操作部162よりプロセッサ161にDS1, DS3レイヤの試験開始を指示する。試験開始が指示されると、プロセッサ161はセクタ140に試験開始を通知すると共に、ループバック151、セクタ152、分配器153にループバックを指令する。又、プロセッサはパターン発生器139、パターンチェッカ122を起動する。以上により、パターン発生器139は所定の試験データを下り経路に発生する。試験データは、セクタ140、パラレル・シリアル変換器141、コード変換器142、U/B変換器143を介して分配器153に入力する。分配器153、ループバック部151、セクタ152はループバックが指示されているから、試験データを下り経路から上り経路にループバックする。以後、試験データはB/U変換器111、コード変換器112、シリアル・パラレル変換器113を介してパターンチェッカ122に受信される。

【0111】パターンチェッカ122は試験データを受信し、該受信した試験データと既知の試験データを比較し、一致する場合にはパターン発生器からパターンチェッカまでのDS1, DS3レイヤは正常であると判定し、異なる場合は異常であると判定してプロセッサ161に通知して、操作部の表示部等に表示する。以上により、Circuit Emulation サービスのパスの正常性の確認が可能となる。又、AAL1レイヤを含めた試験が可能であり、更にはDS1, DS3レイヤの試験もできる。

【0112】(h) 第7実施例

(h1) 第7実施例の概略

図43に示すように受信側201と送信側202が同一のネットワーククロックC₁(周波数f₁)を供給されていれば、前述のようにSRTS法により受信側ユーザクロックC₁を送信側ユーザクロックC₁に同期させることができ、ATM網203を介してCBRサービス(Constant Bit Rate Service)を実現することができる。ところが、図44に示すようにネットワーククロックが異なるATM網203a, 203bを介して通信を行う場合には、従来のSRTS法では受信側ユーザクロックC₁を送信側ユーザクロックC₂に同期させることができず、CBRサービスを実現することができない。尚、図44において、201は受信側、202は送信側、203aはネットワーククロックC₁(周波数f₁)の受信側のATM網、203bはネットワーククロックC₂(周波数f₂)の送信側のATM網である。ATM網203a, 203bにおけるネットワーククロックC₁, C₂の周波数は異なり、しかも、同期していない。

【0113】以上から、ネットワーククロックが異なるATM網203a, 203bを介して通信を行う場合であっても、受信ユーザクロックC₁を送信ユーザクロックC₂に同期させる技術が必要になる。本発明の第7実施例では、図45に示すように、ネットワーククロックが異なるATM網203a, 203b間にSRTS変換装置210を設け、このSRTS変換装置210においてネットワーククロックの相違に基づいてSARヘッダに含まれるSRTS情報を補正して受信ユーザクロックC₁を送信ユーザクロックC₂に同期させる。

【0114】(h2) 原理

図46は送信側のネットワーククロックC₁と受信側ネットワーククロックC₂の両方を利用できると仮定した場合の送信RTS情報生成回路のブロック図である。301は送信ユーザクロックC₁(周波数f₁)を1/Nに分周する分周器、302は第1のネットワーククロックC₁(周波数f₁)を1/xに分周する分周器、303は第2のネットワーククロックC₂(周波数f₂)を1/xに分周する分周器、304は周波数f/xの分周クロックをカウントしてネットワークタイミング情報Q₁~Q_pを出力するPビットカウンタ、305は周波数f/xの分周

クロックをカウントしてネットワークタイミング情報Q₁~Q_pを出力するPビットカウンタ、306は受信側のATM網に応じたネットワークタイミング情報を選択してQ₁~Q_pとして出力するセレクタ、307は送信ユーザクロックC₁のN個毎にネットワークタイミング情報Q₁~Q_pをラッチして送信RTS情報SRTS1~SRTSpを出力するラッチ回路である。

【0115】受信側のATM網のネットワーククロックがC₁(周波数f₁)の場合には、セレクタ306によりネットワークタイミング情報Q₁~Q_pを選択し、該ネットワークタイミング情報Q₁~Q_pを用いて送信RTS情報を生成する。又、受信側のATM網のネットワーククロックがC₂(周波数f₂)の場合には、セレクタ306によりネットワークタイミング情報Q₁~Q_pを選択し、該ネットワークタイミング情報Q₁~Q_pを用いて送信RTS情報を生成する。このようにすれば、受信側は送信側と同一のネットワーククロックを用いることができ、SRTS法により受信側ユーザクロックC₁を送信側ユーザクロックC₂に同期させることができる。しかし、実際には送信側で受信側のネットワーククロックを受信することは不可能であり、現実的には受信側のネットワーククロックを用いて送信RTS情報を作成することはできない。そこで、送信側端末があたかも図46の構成で受信側ネットワーククロックを用いてSRTS情報を作成しているように見せ掛けるために、SRTS変換装置210(図45)はSARヘッダ内のSRTSポインタ(SRTS情報)の値を補正する。

【0116】図46に示すように送信側で受信側のネットワーククロックC₂(周波数f₂)を受信しているとすると、カウンタ304とカウンタ305の計数値の差、換言すればネットワーククロックC₁, C₂の発生数の差は段々大きくなる。今、この差を容量Mのカウンタで計数するとすると、該カウンタの計数値(差)は0からMまで順次増大してゆき、再び0からMまで増大し、以後この動作を繰り返す。すなわち、受信側のネットワーククロックC₂(周波数f₂)のカウンタ305の計数値は、カウンタ304の計数値と前記差で表現できる。そこで、SRTS変換装置210(図45)にカウンタ304, 305を設け、AAL1のセルを受信すると該セルに含まれるSRTSポインタの値にカウンタの計数値の差を加算してSRTSポインタ値を補正する。

【0117】(h3) 第7実施例で使用するAAL1のセルフォーマット

図47(a)は第7実施例で使用するAAL1のセルフォーマット(P format)、図47(b)は第1~第6実施例で使

ビットCS1,CS3,CS5,CS7の4ビットで表現される。すなわち、none P formatでは8セル毎に1つのRTS情報が伝送される。一方、P formatではATMセルは、5バイトのATMヘッダと、1バイトのSARヘッダと、1バイトのSRTSポインタ(SRTS情報)と、46バイトのペイロードで構成されている。SRTSポインタは最大2セルに1個の頻度で伝送され、CSIビットが"1"の場合にはSRTSポインタがセルの第6オクテット(octet)に含まれており、CSIビットが"0"の場合にはSRTSポインタがセルに含まれていない。

【0118】(h4) SRTS変換装置

図48はSRTS変換装置の構成図である。210aはAAL1のATMセルを分離するセル分離部、210bはセルを多重するセル多重化部、210cはセルに含まれるSRTSポインタを補正するSRTS補正部である。SRTS補正部210cにおいて、251はSARヘッダのCSIビットの"1","0"を判別し、CSI=1のセルをA側に出力し、CSI=0のセルをB側に出力するCSI判別・分離部である。252は受信側ネットワーククロック C_{Rx} (周波数 f_1)を $1/x$ に分周する分周部、253は送信側ネットワーククロック C_{Tx} (周波数 f_2)を $1/x$ に分周する分周部、254は分周部252から出力される分周クロックを計数するPビットカウンタ、255は分周部253から出力される分周クロックを計数するPビットカウンタ、256は両カウンタの計数値の差分を演算する差分演算部、257はAAL1のATMセルに含まれるSRTSポインタに両カウンタの計数値の差を加算してSRTSポインタの値を補正するSRTS補正部、258はCSI=0の場合にはCSI判別・分離部251のB側から出力されるATMセルを選択し、CSI=1の場合にはSRTS補正部257から出力されるATMセルを選択して出力するセレクタである。

【0119】発呼時の呼処理制御において、CBRサービス用の呼であれば該呼に割り当てたVCI/VPI値がセル分離部210aに設定される。従って、セル分離部210aは、送信側ATM網よりセルが入力されると、該セルのVCI/VPIを参照して該セルがAAL1タイプのセルかその他のセルかを判断する。そして、セル分離部210aは受信したセルがAAL1タイプのセルであれば、SRTS補正部210cに入力し、その他のセルであればセル多重化部210bに入力する。SRTS補正部210cは入力されたATMセルにSRTSポインタが含まれていれば、該SRTSポインタ値を受信側、送信側のネットワーククロックの差に基づいて補正してセル多重化部210bに入力し、SRTSポインタが含まれていなければそのままセル多重化部210bに入力する。セル多重化部210bは、セル分離部210aから入力されたセルとSRTS補正部210cから入力されたセルを多重化して受信側ATM網に入力する。

【0120】以上では、SRTS変換装置を送信側及び

受信側のATM網間に設けたが、送信側あるいは受信側の一方のATM網内に設けることもできる。以上により、ネットワーククロックが異なるATM網を介して通信を行う場合であっても、受信ユーザクロックを送信ユーザクロックに同期させることができる。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0121】

10 【発明の効果】以上本発明によれば、ネットワーククロック C_{Tx} と受信ユーザクロック C_{Rx} を用いてSRTS法により受信ユーザクロックのタイミング情報である内部RTS情報を作成し、内部RTS情報と送信ユーザクロックのタイミング情報である受信RTS情報を比較してその差がゼロとなるように受信ユーザクロック C_{Rx} のタイミングを調整するようにしたから、受信ユーザクロックのタイミング(周波数、位相)を送信ユーザクロックのタイミングに一致させることができる。また、本発明によれば、受信ユーザクロックのタイミングと受信RTS情報のサンプリングタイミング情報を分離し、受信ユーザクロック C_{Rx} に同期してユーザデータを出力し、受信RTSクロック C_{Rx} に同期して受信RTS情報RRTS1~RRTS4を出力するようにしたから、受信ユーザクロックのジッタを少なくできると共に、DPLL構成のフィードバック信号を追従性よく発生することができ、ジッタの減少と追従性の向上という両方の要求を満足することができる。

30 【0122】更に、本発明によれば、デジタルPLL構成の系の内部にアナログ方式のPLL回路(アナログPLL部)を挿入して受信ユーザクロックを生成するようにしたから、比較的公称値が低いユーザクロック周波数において、基準クロック周波数 f_{osc} をユーザクロック周波数とほぼ同等にでき、消費電力の節減と、受信ユーザクロックのジッタ削減が可能となり、しかも、ユーザクロックの公称値からの偏差に対する許容範囲を大きくすることができる。また、本発明によれば、受信ユーザクロックの代わりに、パルス調整部から出力される調整クロック信号を内部RTS情報生成部にフィードバックするようにしたから、ユーザクロック周波数が高い公称値の場合であっても、基準発振器から出力される基準クロック周波数 f_{osc} をユーザクロック周波数とほぼ同等にでき、消費電力の節減が可能となり、しかも、ユーザクロックの公称値からの偏差に対する許容範囲を大きくできる。また、フィードバック遅延時間が減少するため、高速のユーザクロックでの追従性を改善できる。

40 【0123】更に、本発明によれば、内部RTS情報と受信RTS情報との差分値に応じた数の調整タイミング位置が補正周期内にほぼ均一に配列するようにし、かつ、該調整タイミング位置でパルスの追加、あるいはパルスの削除を行うようにして受信ユーザクロックの周波

数を制御するようにしたから、補正周期内において差分値に応じた数の補正ができるため追従性を向上でき、しかもユーザクロックの公称値からの偏差に対する許容範囲を大きくすることができる。

【0124】又本発明によれば、フィードバック系路を1つにまとめて受信ユーザクロックを送信ユーザクロックに同期させるようにしたから、安定した受信ユーザクロックを生成することができる。又、本発明によれば、ATMインタフェース装置内の上り経路内、下り経路内に試験データを発生する試験データ発生部、試験データを受信してパスの正常・異常をチェックする試験データ受信チェック部を設けたから、ATMインタフェース装置の動作確認試験及びATMスイッチのパスの正常性確認試験を容易に行うことができる。更に、本発明によれば、ネットワーククロックが異なるATM網を介して通信を行う場合、各ネットワーククロックを別個に計数し、ATMセルに含まれる送信RTS情報を計数値の差分に基づいて補正して受信側ATM網に送出するようにしたから、ネットワーククロックが異なるATM網を介して通信を行う場合であっても、送信ユーザクロックと受信ユーザクロック間の同期確立を行うことができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】全体の構成図である。

【図3】本発明の全体の動作説明用波形図である。

【図4】本発明の第1実施例のATMインタフェース装置の構成図である。

【図5】ネットワークタイミング情報生成部の構成図である。

【図6】ネットワークタイミング情報生成部の動作説明用波形図である。

【図7】送信RTS情報生成部の構成図である。

【図8】送信RTS情報生成部の動作説明用波形図である。

【図9】内部RTS情報生成部の構成図である。

【図10】内部RTS情報生成部の動作説明用波形図である。

【図11】演算部の構成図である。

【図12】基準発振器の構成図である。

【図13】パルス制御部の構成図である。

【図14】パルス制御部の動作説明用波形図である。

【図15】パルス調整部の構成図である。

【図16】パルス調整部の動作説明用波形図（減少指示）である。

【図17】パルス調整部の動作説明用波形図（増加指示）である。

【図18】RTS受信動作説明用波形図である。

【図19】本発明の第2の実施例構成図である。

【図20】パルス分周部の構成図である。

【図21】アナログPLL部の構成図である。

【図22】アナログPLL部の動作説明用波形図である。

【図23】第2実施例の変形例の構成図である。

【図24】変形例のクロック調整の説明図である。

【図25】本発明の第3の実施例構成図である。

【図26】内部RTSタイミング生成部の構成図である。

【図27】第3の実施例におけるパルス制御部の構成図である。

10 【図28】第3の実施例におけるパルス制御部の動作説明用波形図である。

【図29】第3の実施例の受信動作説明用波形図である。

【図30】本発明の第4の実施例構成図である。

【図31】パルス調整タイミング生成部の構成図である。

【図32】パルス調整タイミング生成部の動作説明用波形図である。

20 【図33】パルス調整タイミング選択部の構成図である。

【図34】パルス調整タイミング選択部の動作説明用波形図である。

【図35】第4実施例におけるパルス制御部の構成図である。

【図36】パルス制御部の動作説明用波形図である。

【図37】本発明の第5の実施例構成図である。

【図38】第5実施例のクロック調整説明図である。

【図39】通信システムの構成図である。

30 【図40】DS3フレームフォーマットの説明図である。

【図41】AAL1のATMセルのフォーマット説明図である。

【図42】ATMインタフェース装置の構成図である。

【図43】SRTS法が適用できる通信システムである。

【図44】SRTS法が適用できない通信システムである。

【図45】本発明の第7実施例の構成図である。

40 【図46】受信側ネットワーククロックを利用できる場合の仮想的なSRTS生成部の構成図である。

【図47】AA-1のATMフォーマット（Pフォーマット、none Pフォーマット）説明図である。

【図48】SRTS変換装置の構成図である。

【図49】ATMセルの構成図である。

【図50】ATM網の概略説明図である。

【図51】広帯域ISDNのシステム構成図である。

【図52】AALタイプ1の構造説明図である。

【図53】SAR-PDUヘッダの構造説明図である。

【図54】RTS情報フォーマットの構成図である。

50 【図55】RTS情報の生成周期説明図である。

【図56】従来のRTSの生成及び送信部の説明図である。

【図57】従来のRTSの生成及び送信動作説明である。

【符号の説明】

51・・・送信RTS生成部

* 61・・・ATMセル組立部

70・・・クロック調整部

71・・・内部RTS情報生成部

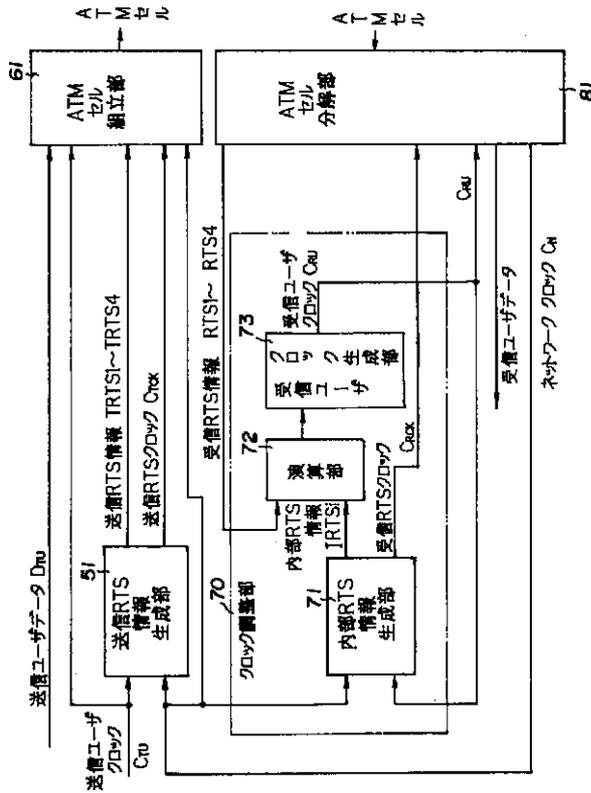
72・・・演算部

73・・・受信ユーザクロック生成部

* 81・・・ATM分解部

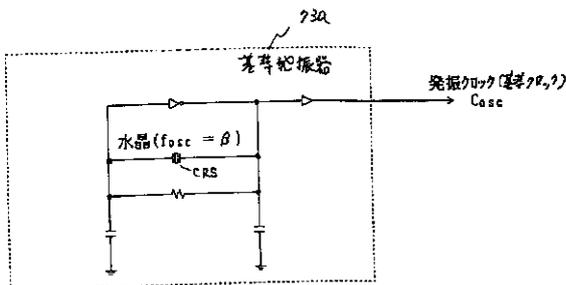
【図1】

本発明の原理図



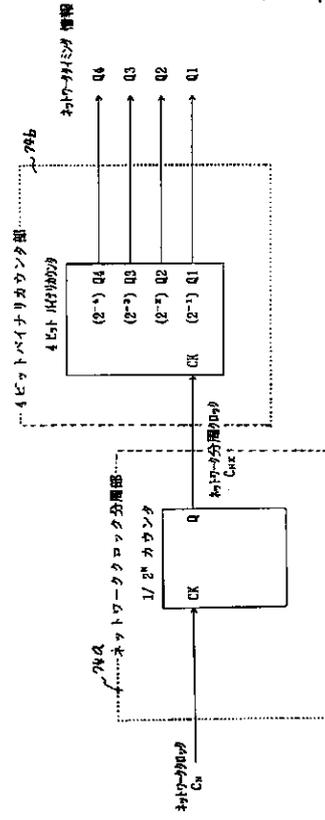
【図12】

基準発振器の構成



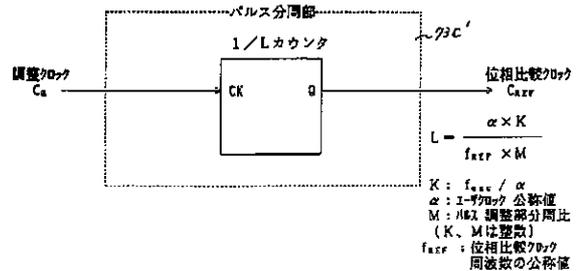
【図5】

ネットワークタイミング情報生成部の構成



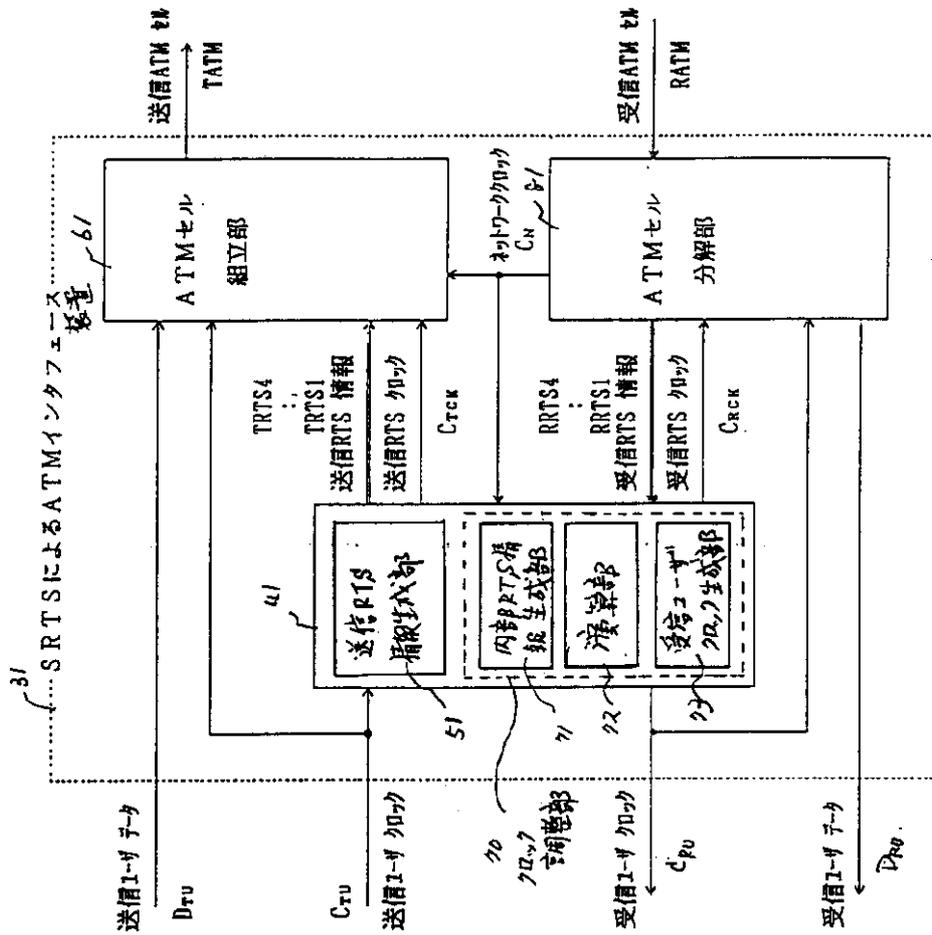
【図20】

パルス分周部の構成

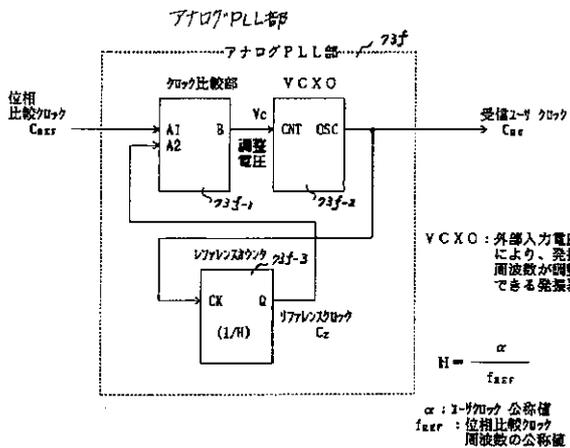


【図2】

全体の構成図

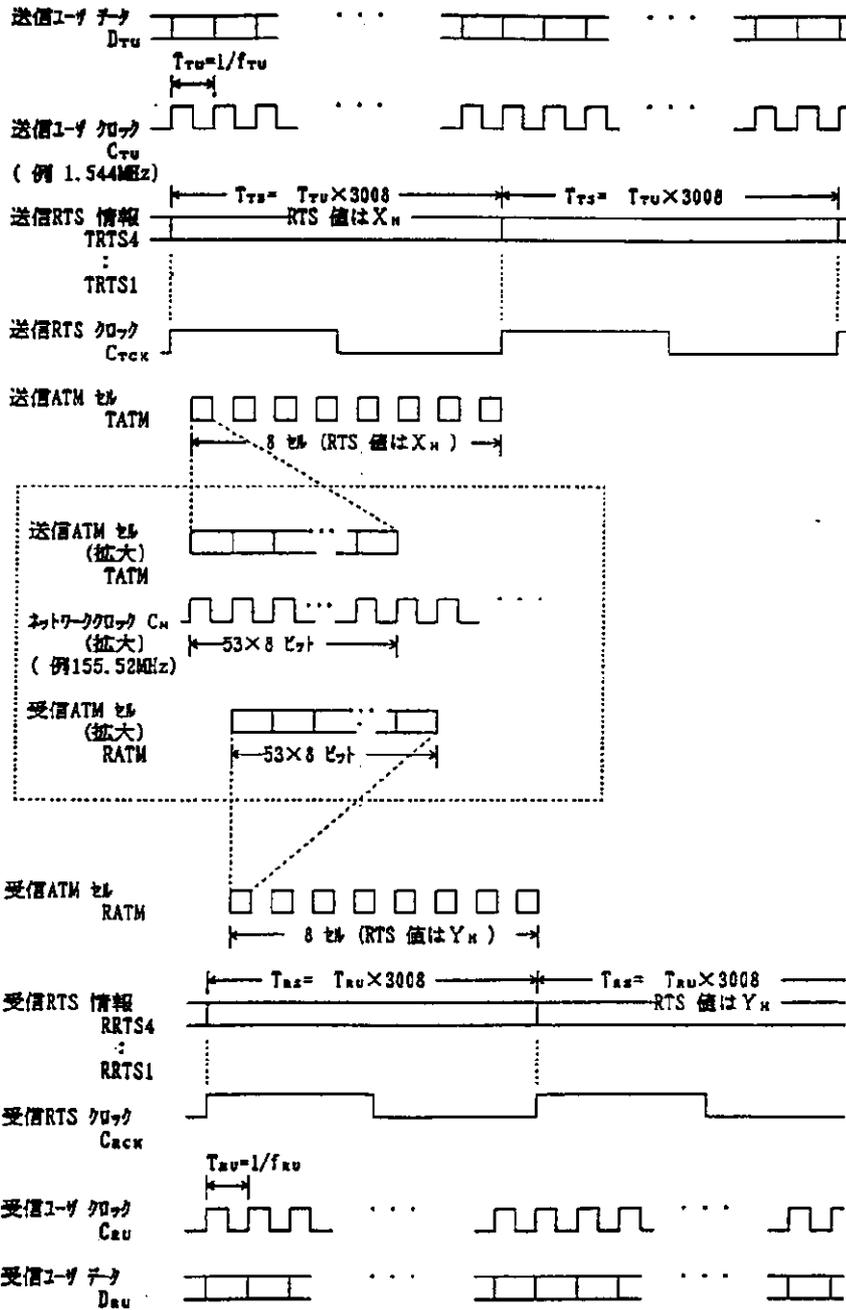


【図21】



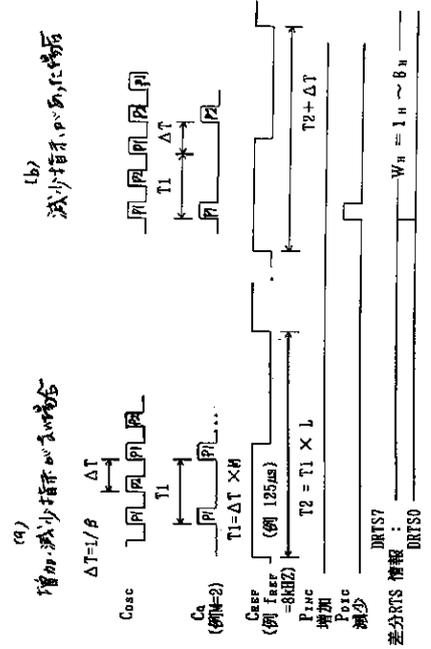
【図3】

本発明の全体の動作説明用波形図



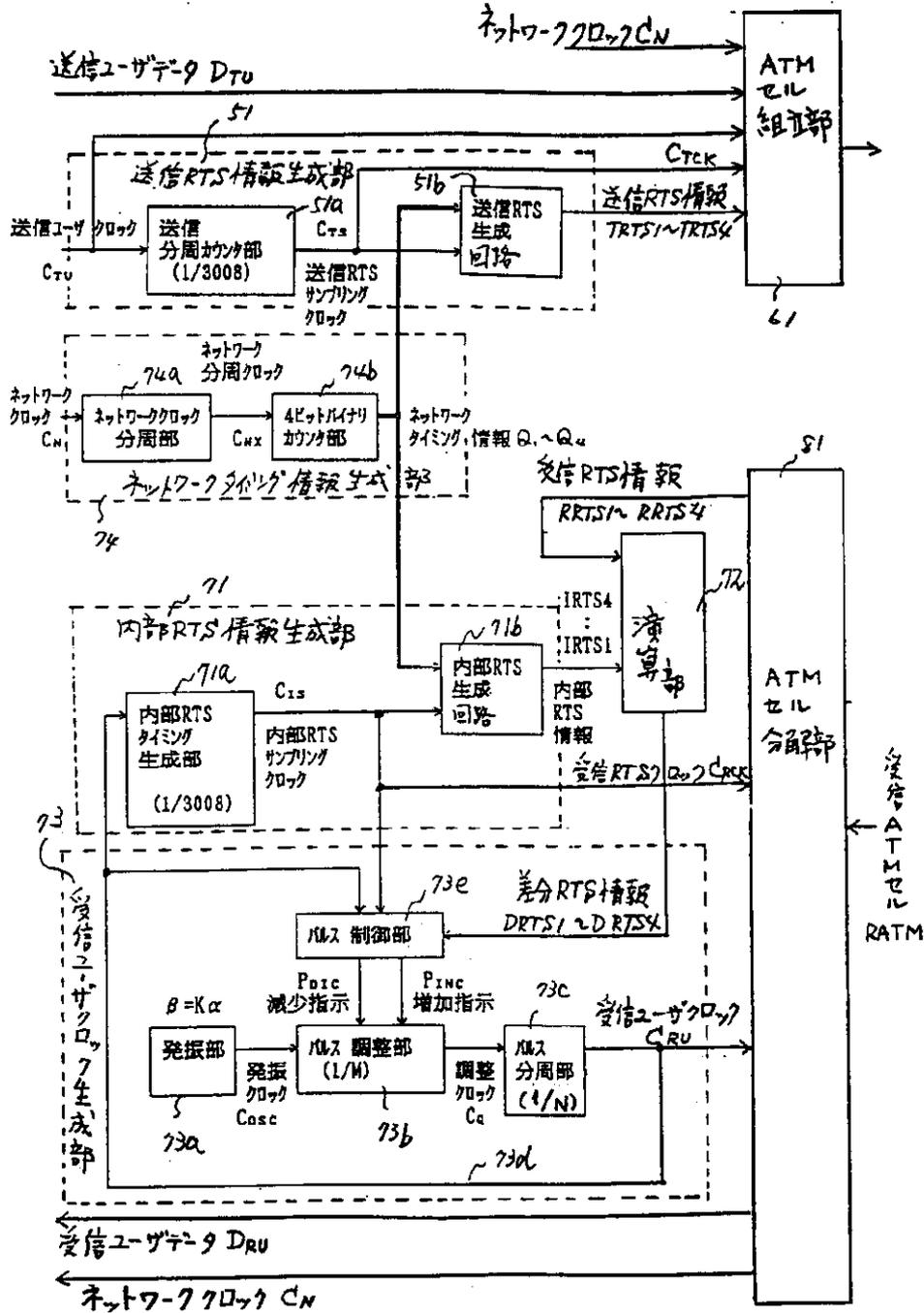
【図16】

パルス調整部の動作説明用波形図 (減少指示)

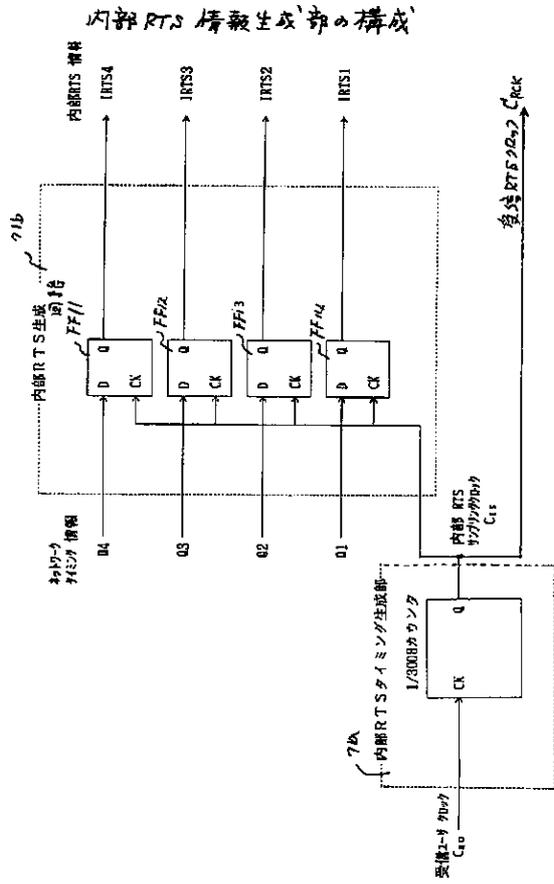


【図4】

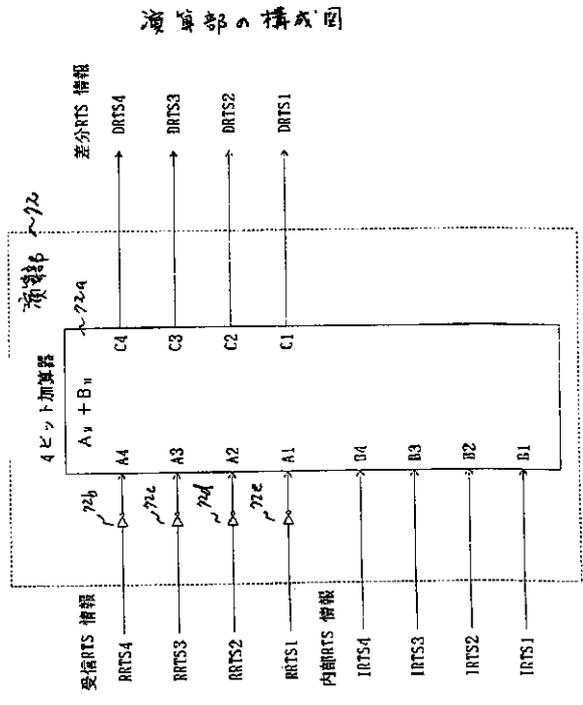
本発明の第1実施例のATMインターフェース装置の構成



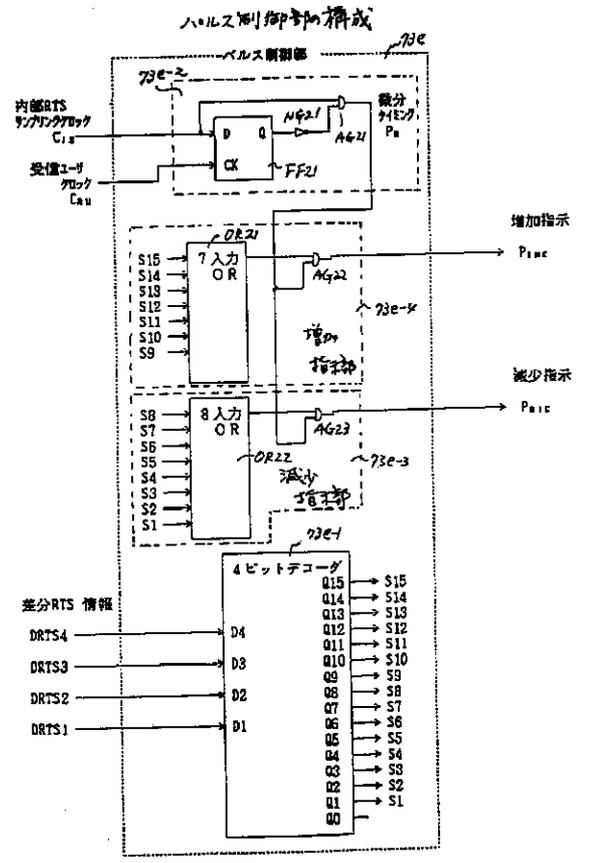
【図9】



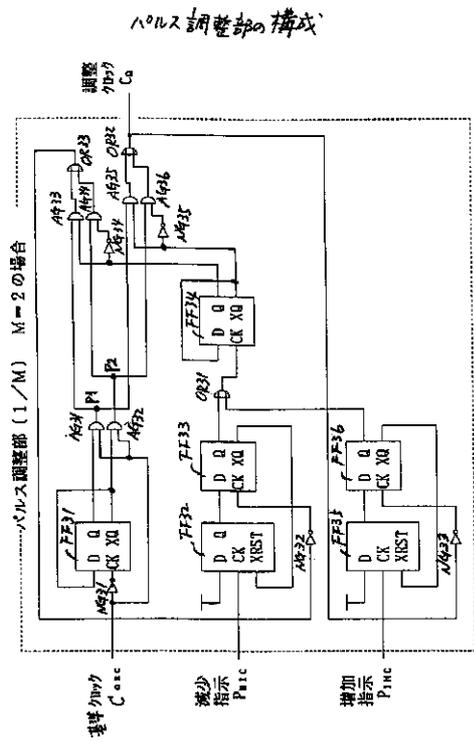
【図11】



【図13】

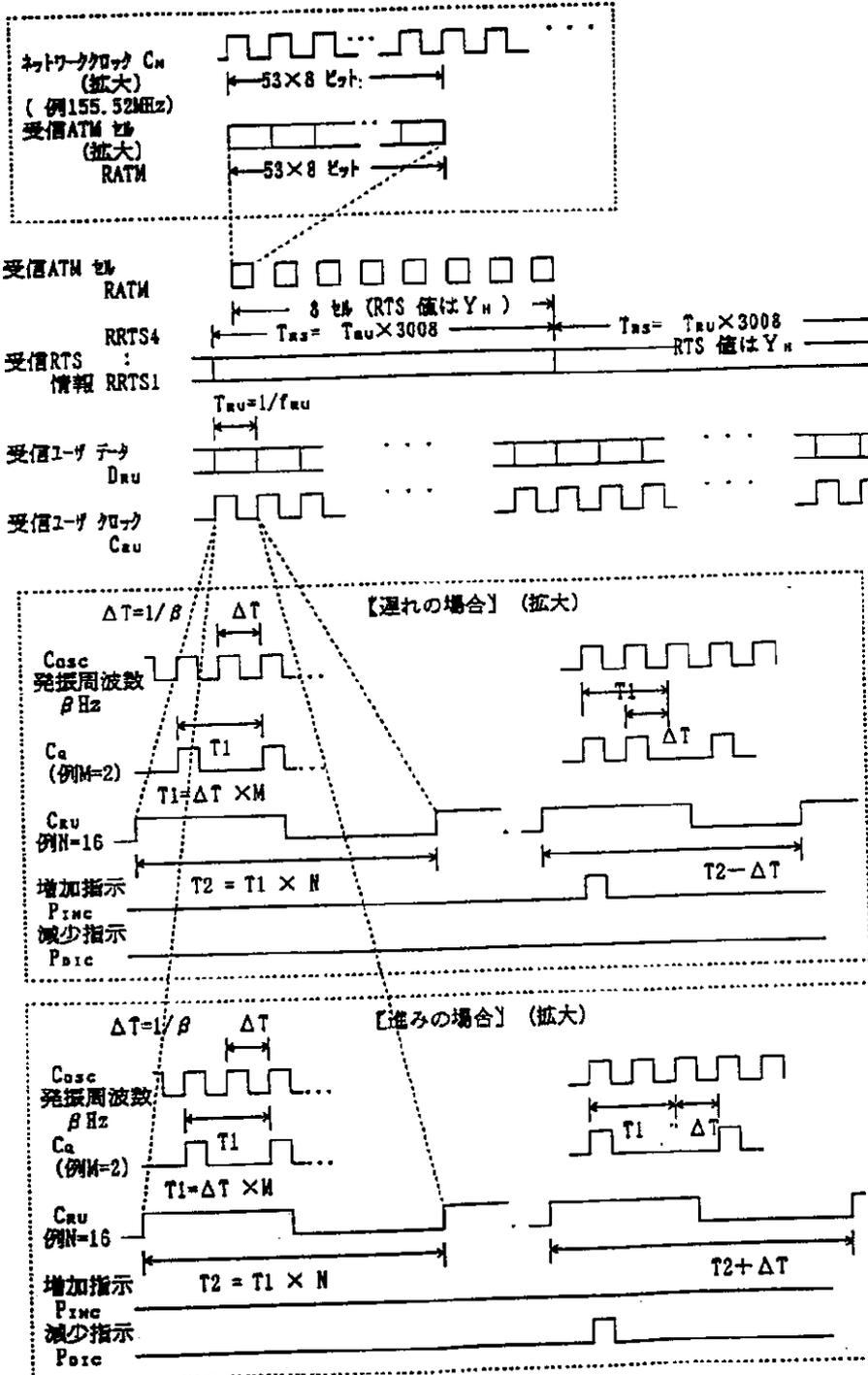


【図15】



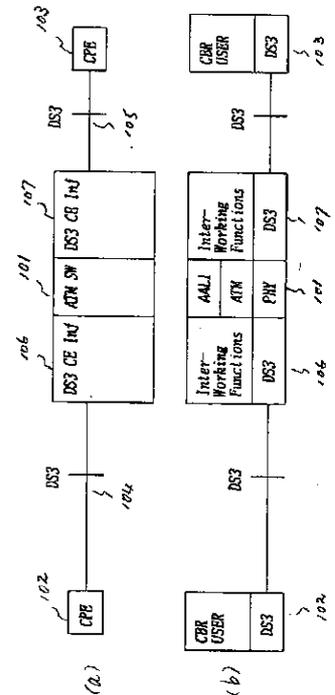
【図18】

RTS 送信動作説明用波形図



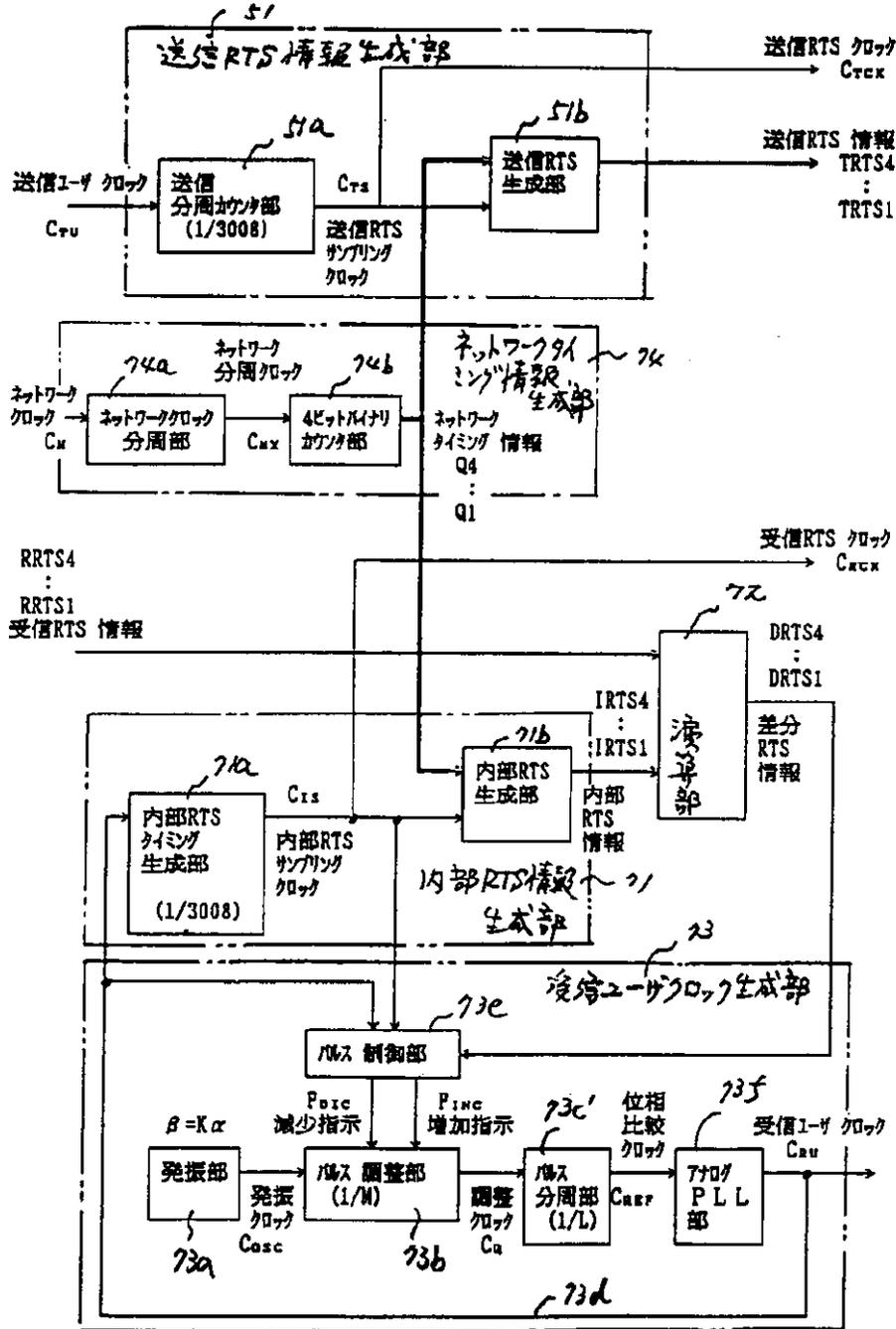
【図39】

通信システムの構成図



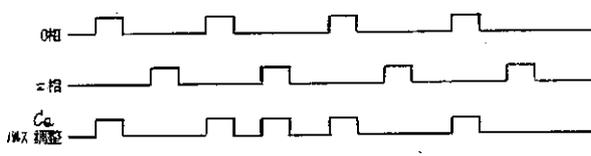
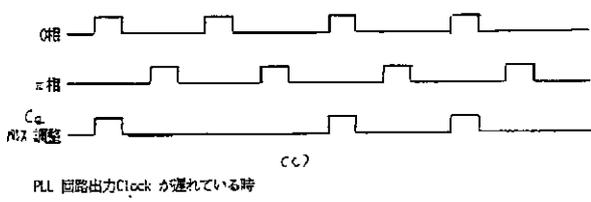
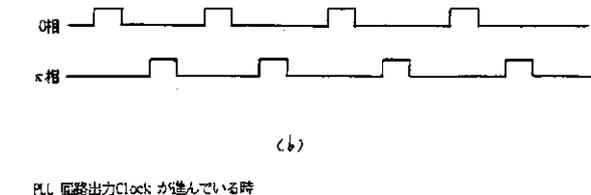
【図19】

本発明の第2実施例の構成



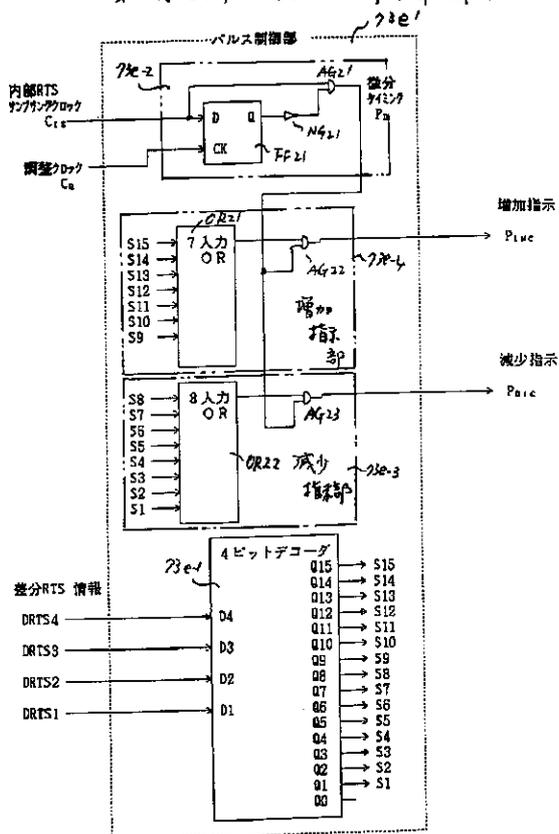
【図24】

変形例のクロック調整説明図
(a)



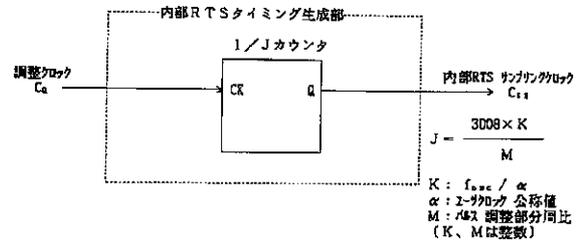
【図27】

第3実施例におけるパルス制御部の構成



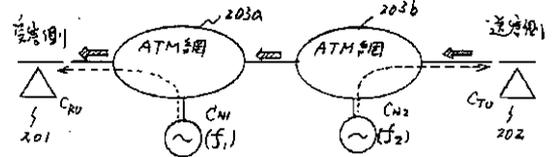
【図26】

内部RTSタイミング生成部の構成



【図44】

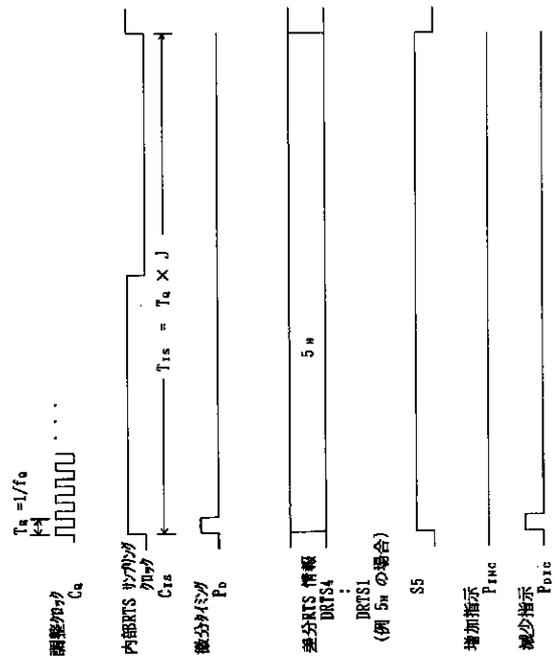
SRTS法が適用できない通信システム



【図28】

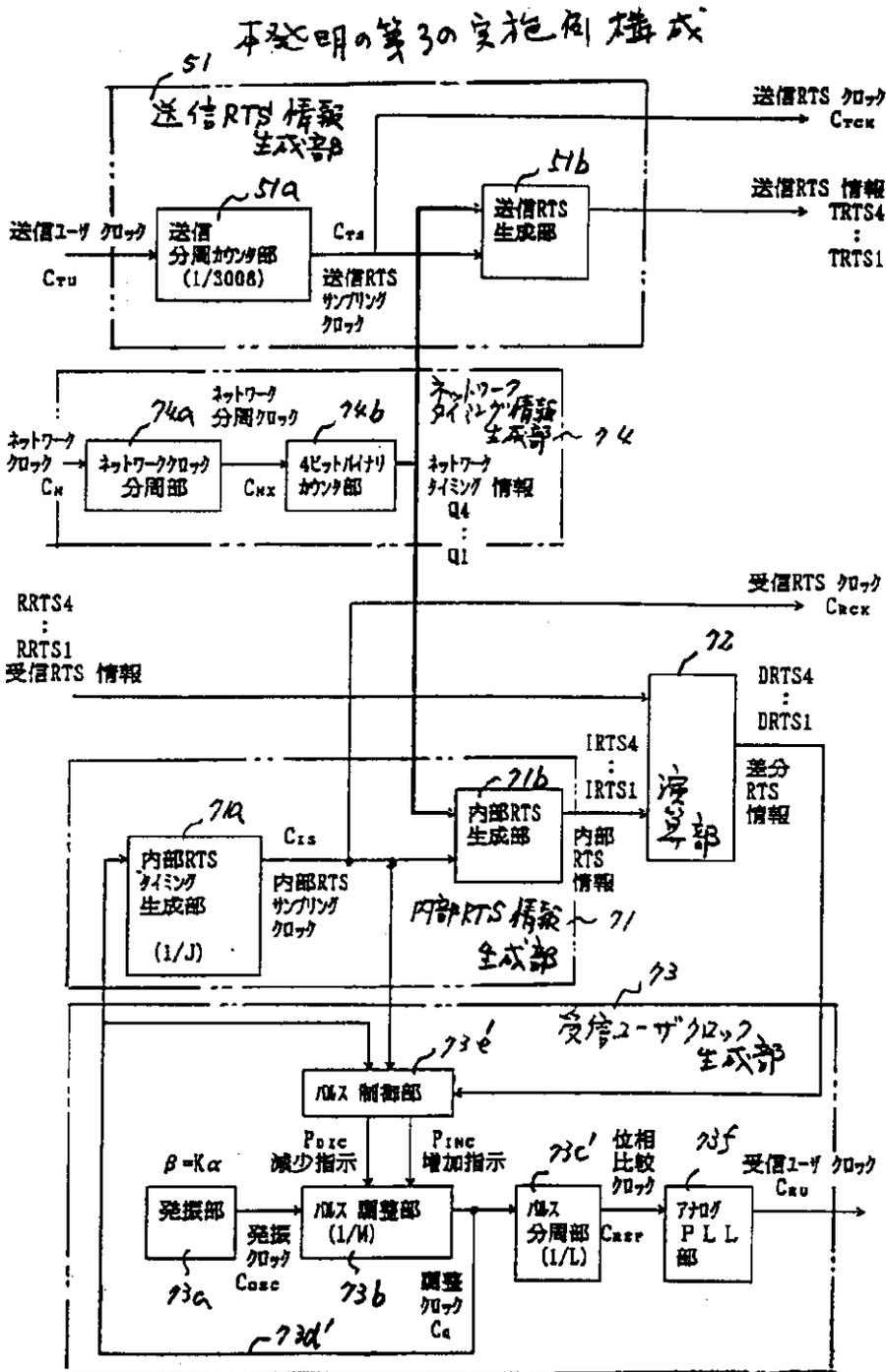
第3実施例におけるパルス制御部の動作

説明用波形図

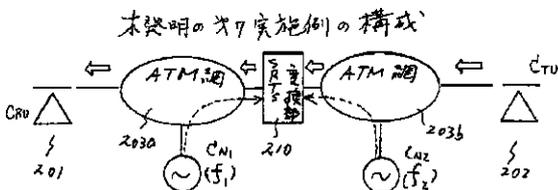
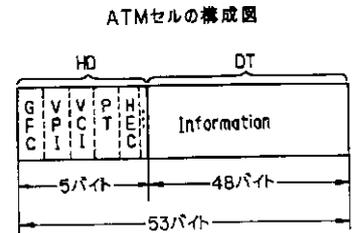


【図25】

【図49】

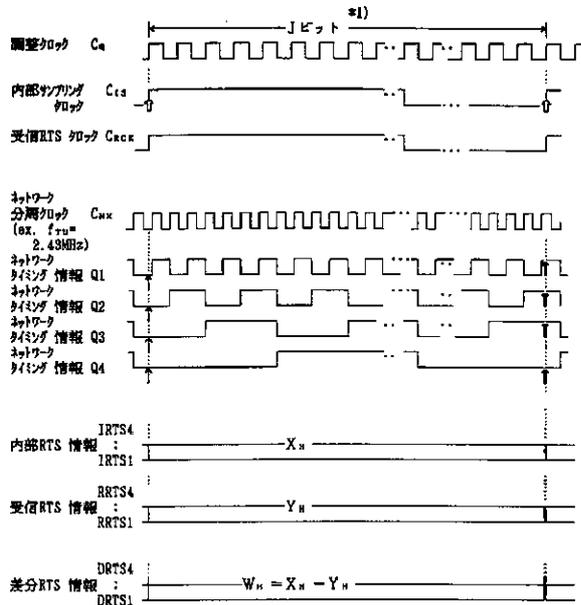


【図45】



【図29】

第3実施例の受信動作説明用波形図



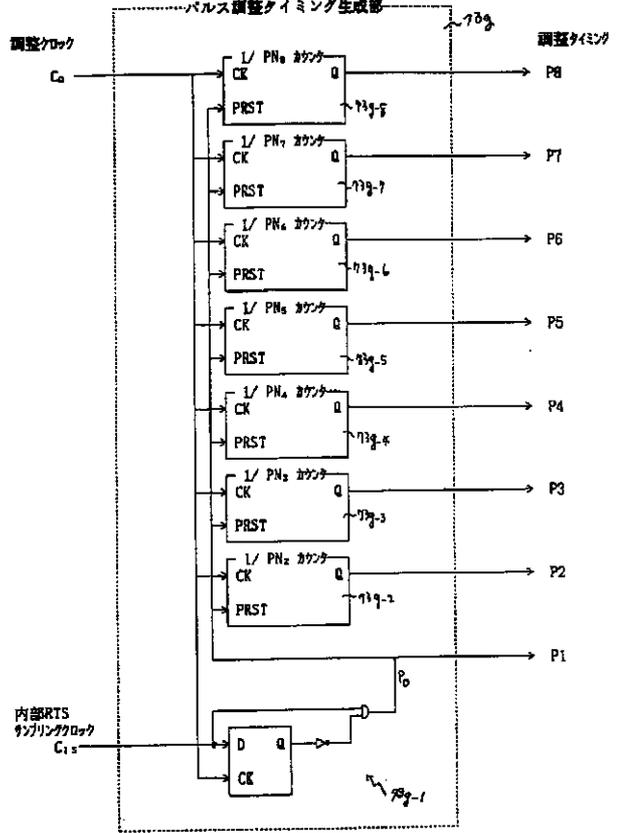
(W_H 、 X_H 、 Y_H はそれぞれRTS値を16進数で表した値)

*1) ただし $J = \frac{3008 \times K}{M}$ である。

K: f_{rx} / α
 α : 1-ボット公称値
 M: 16.7 調整部分周比
 (K、Mは整数)

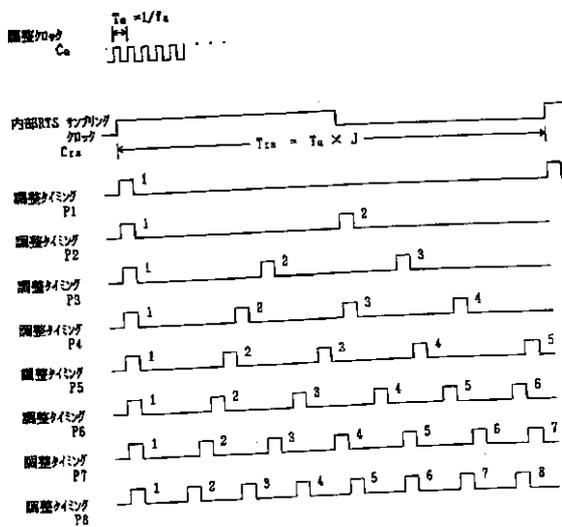
【図31】

パルス調整タイミング生成部の構成



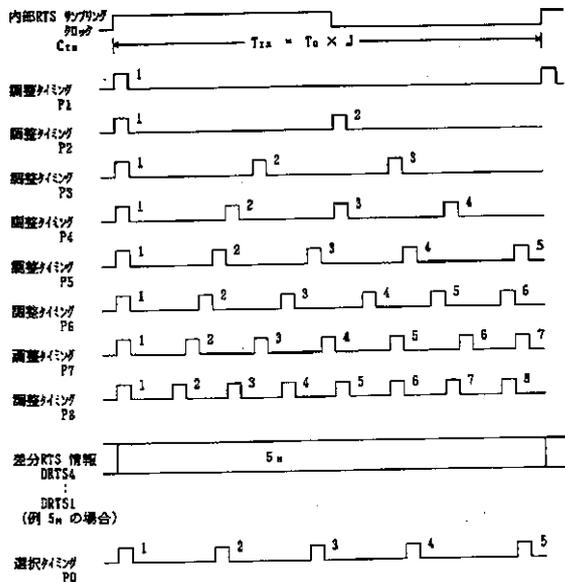
【図32】

パルス調整タイミング生成部の動作説明用波形図



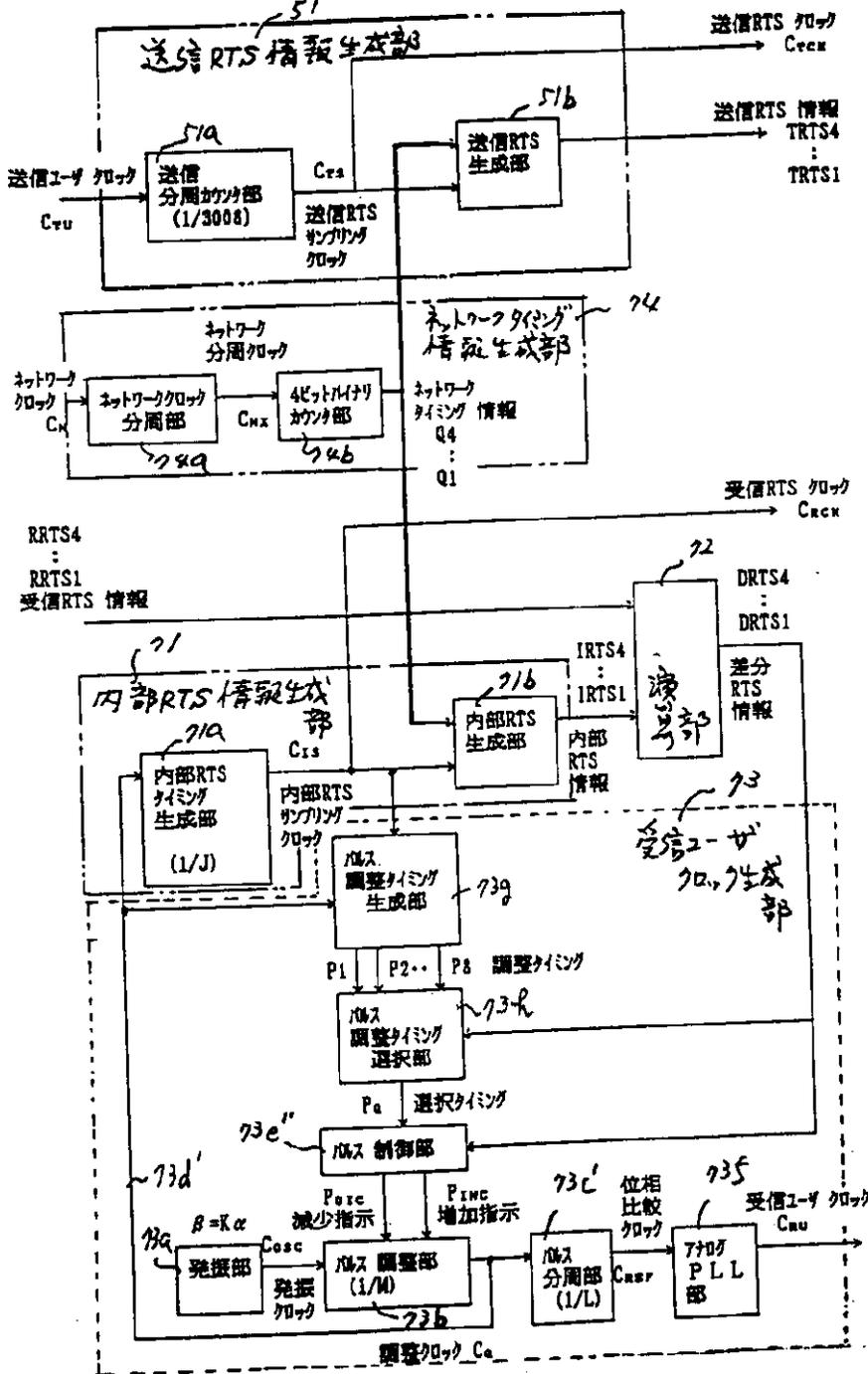
【図34】

パルス調整タイミング選択部の動作説明用波形図

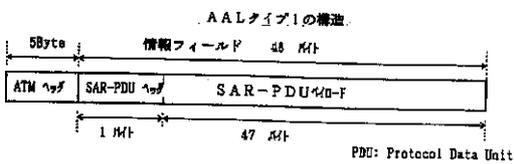


【図 3 0】

本発明の第4の実施例構成図

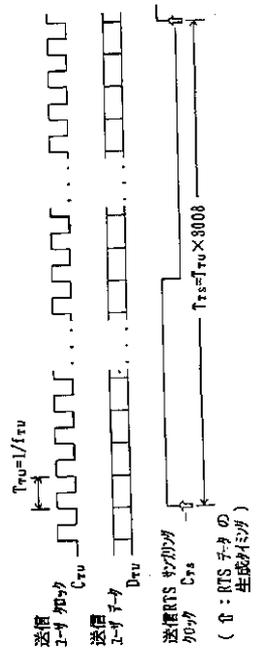


【図 5 2】



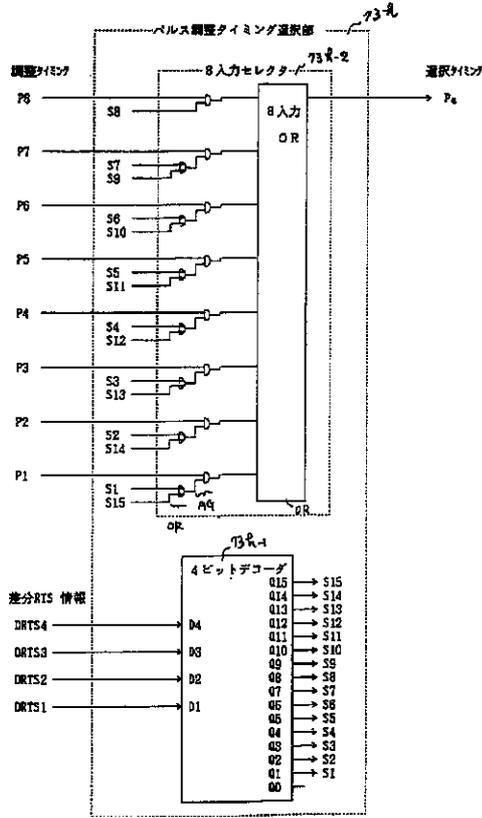
【図 5 5】

RTS情報の生成周期



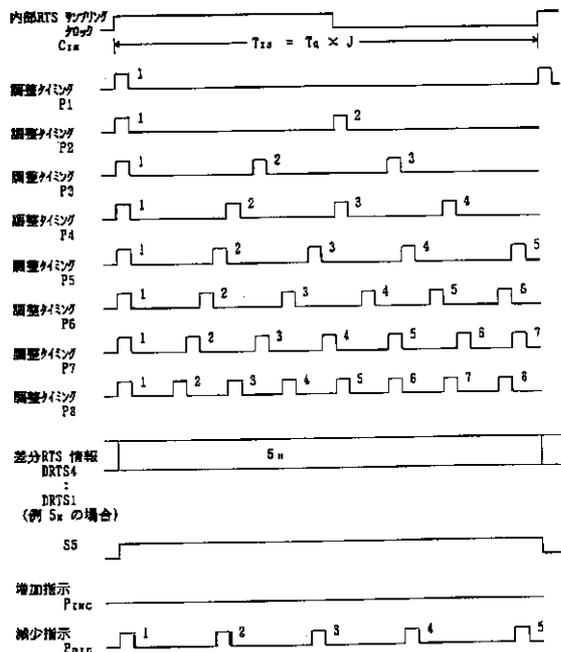
【図33】

ハリス調整タイミング選択部の構成



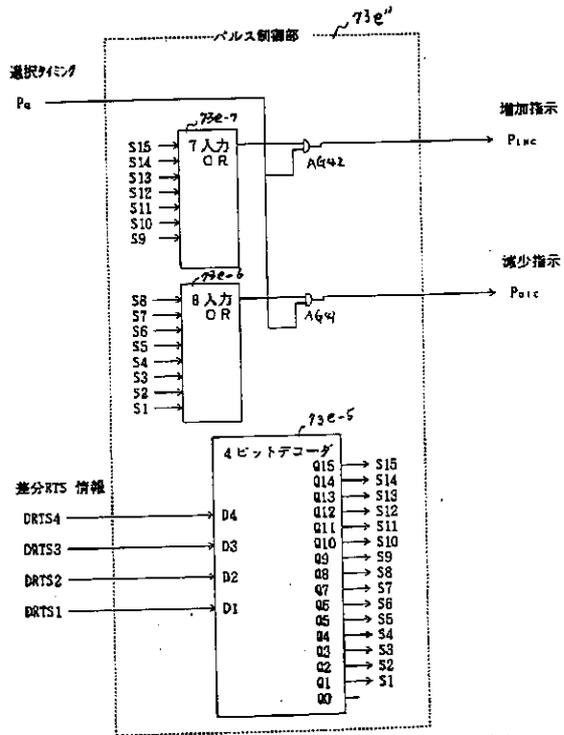
【図36】

ハリス調整部の動作説明用波形図



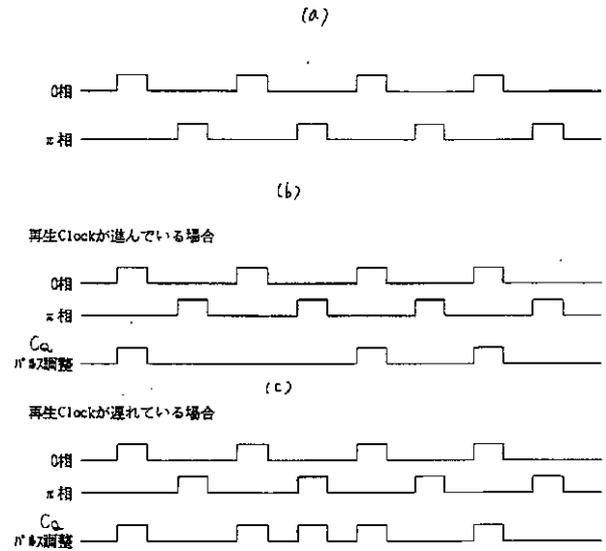
【図35】

第4実施例におけるハリス調整部の構成



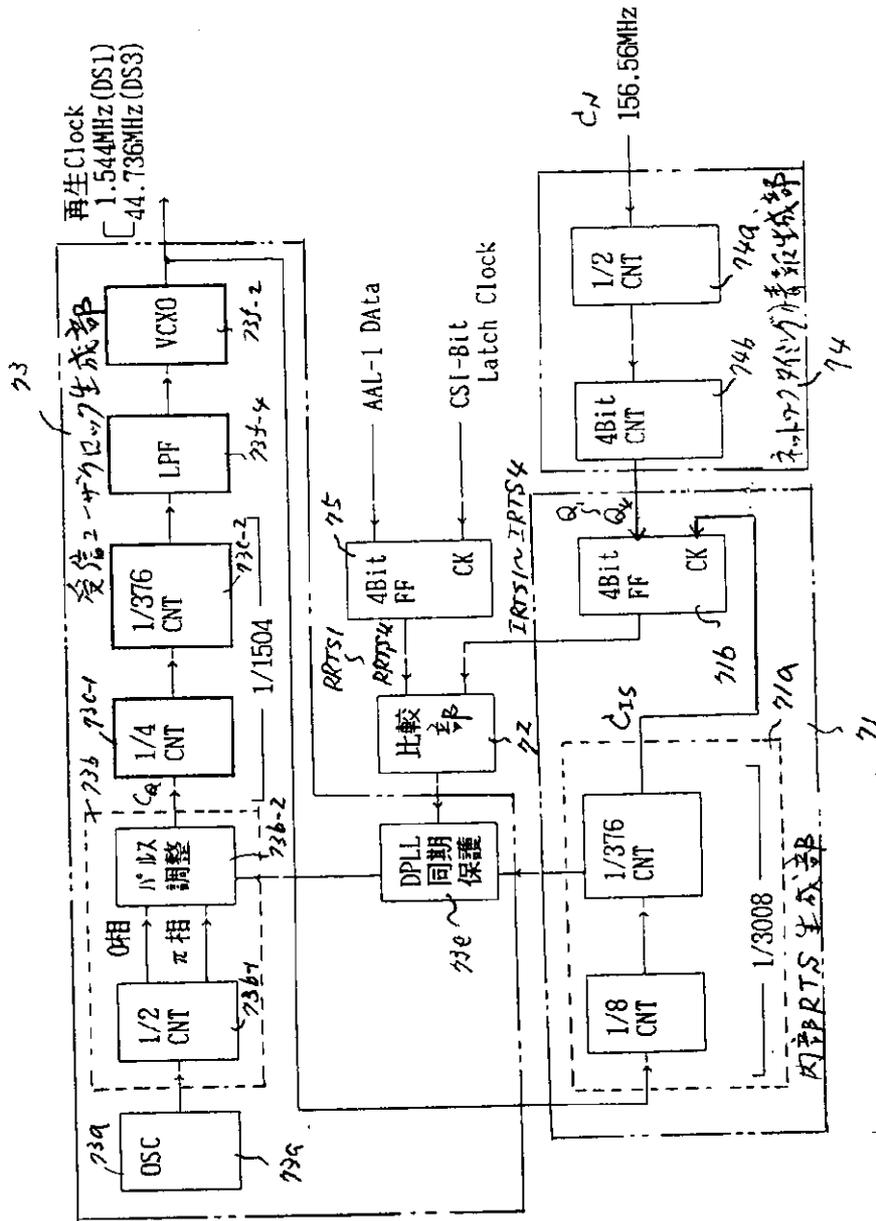
【図38】

第4実施例におけるクロック調整説明図



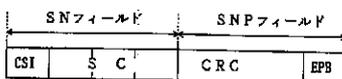
【図37】

本説明の方式実施例の構成図



【図53】

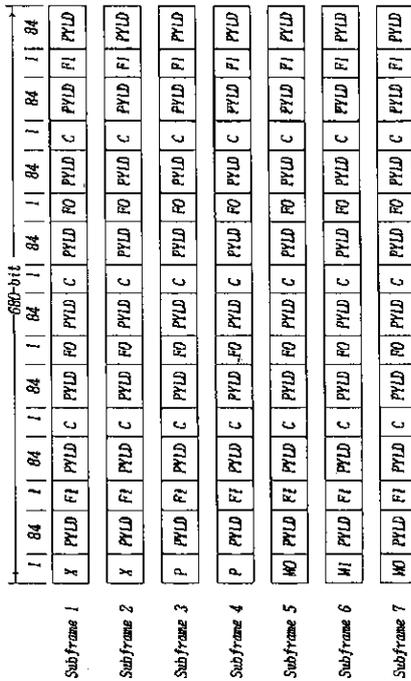
SAR-PDUヘッダの構造



CSI : Convergence Sublayer Identifier
 SC : Sequence Count
 CRC : Cyclic Redundancy Check
 EPB : Even Parity bit

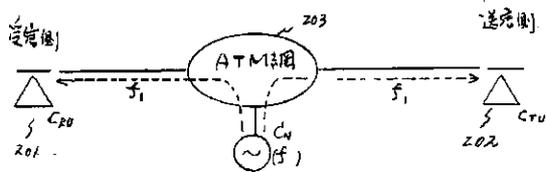
【図40】

DS3 フレームフォーマット



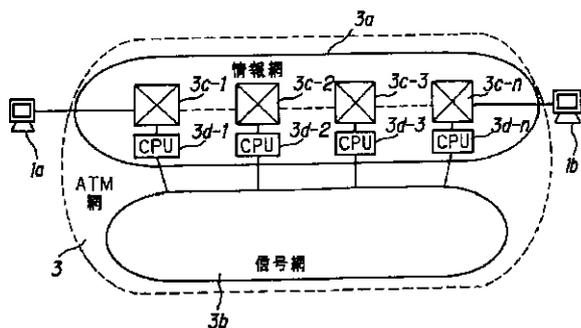
【図43】

SRTS法が適用される通信システム



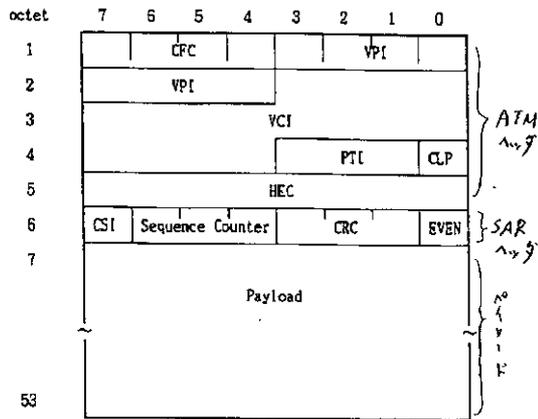
【図50】

ATM網の概略説明図



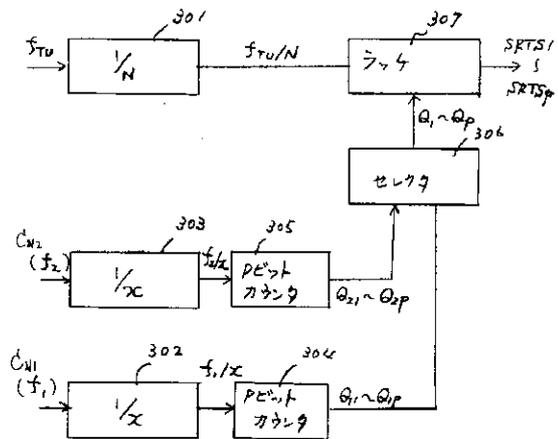
【図41】

AAL-1のATMセルのフォーマット説明図



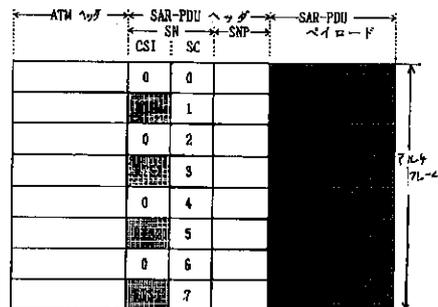
【図46】

受信側ネットワーククロックを利用
 できる場合の仮想的なSRTS生成部



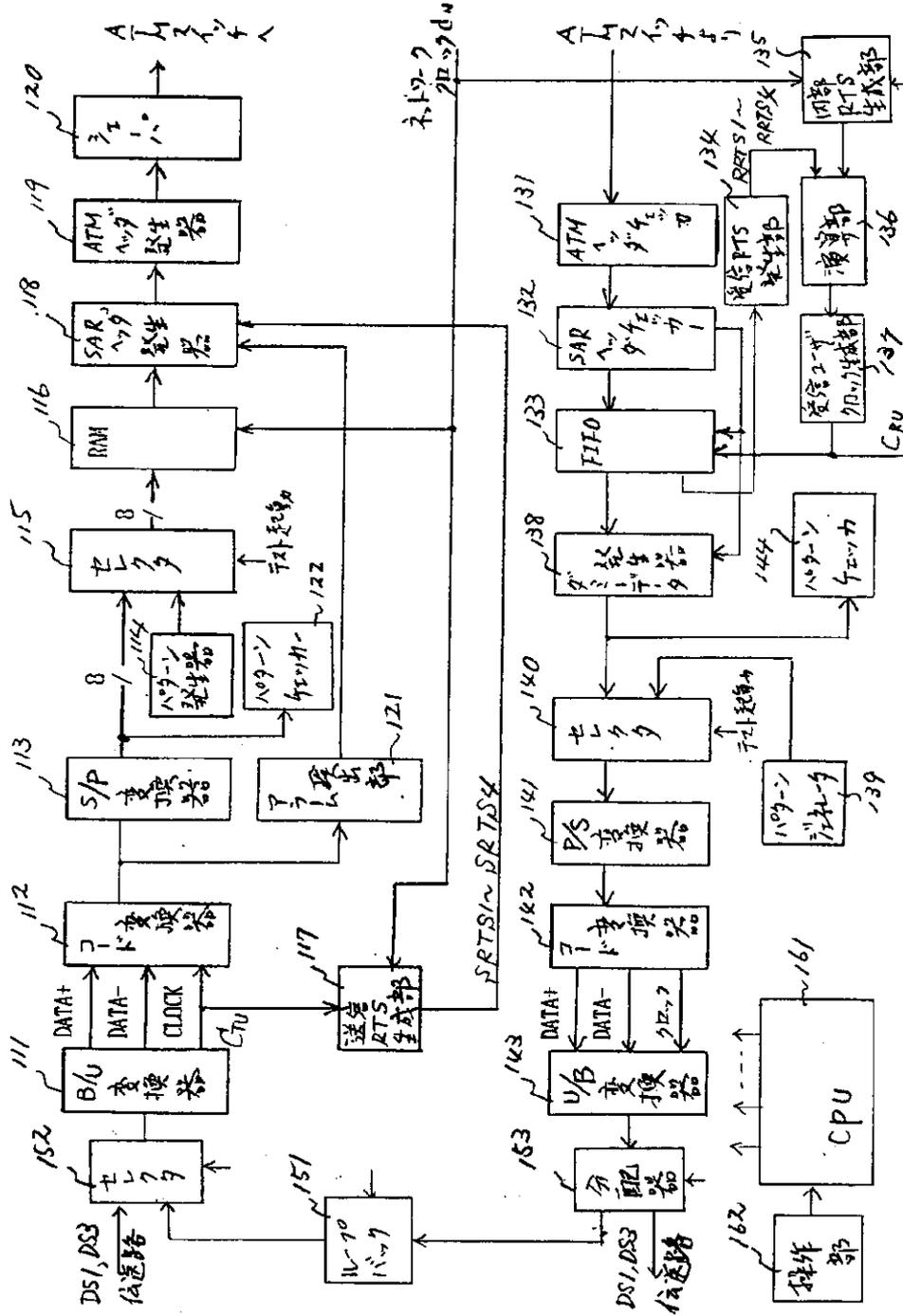
【図54】

RTS情報フォーマットの構成

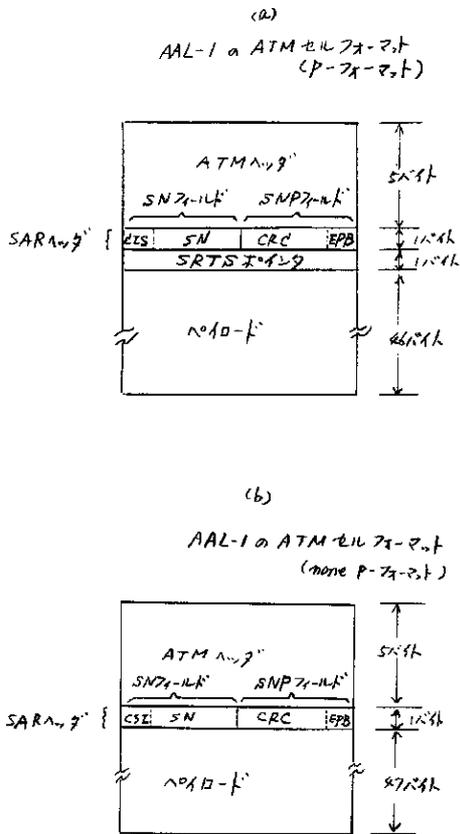


【図42】

ATMアクセス装置の構成

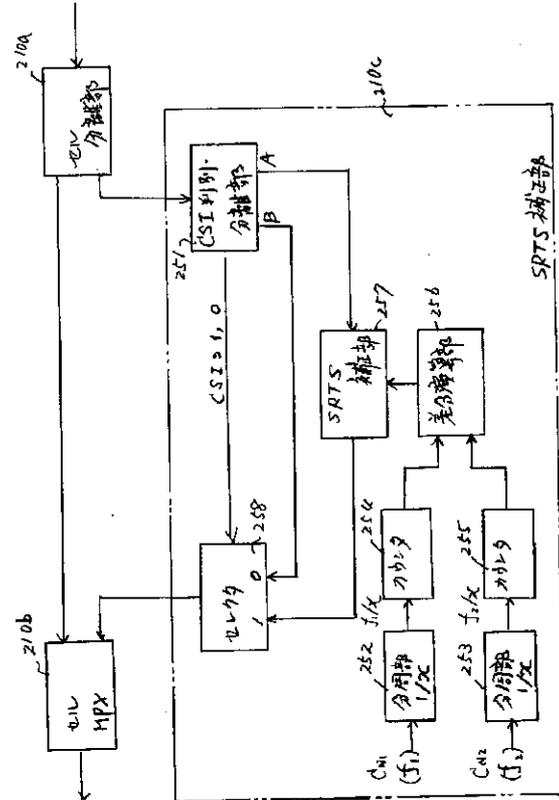


【図47】



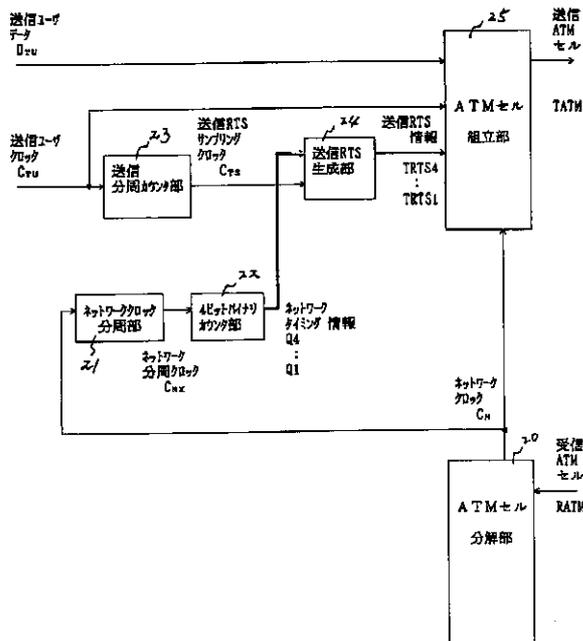
【図48】

SRTS変換装置の構成図

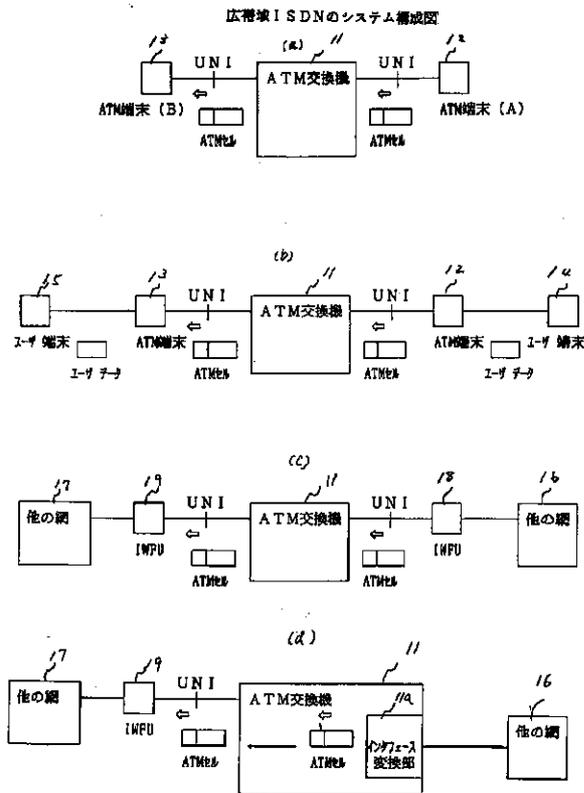


【図56】

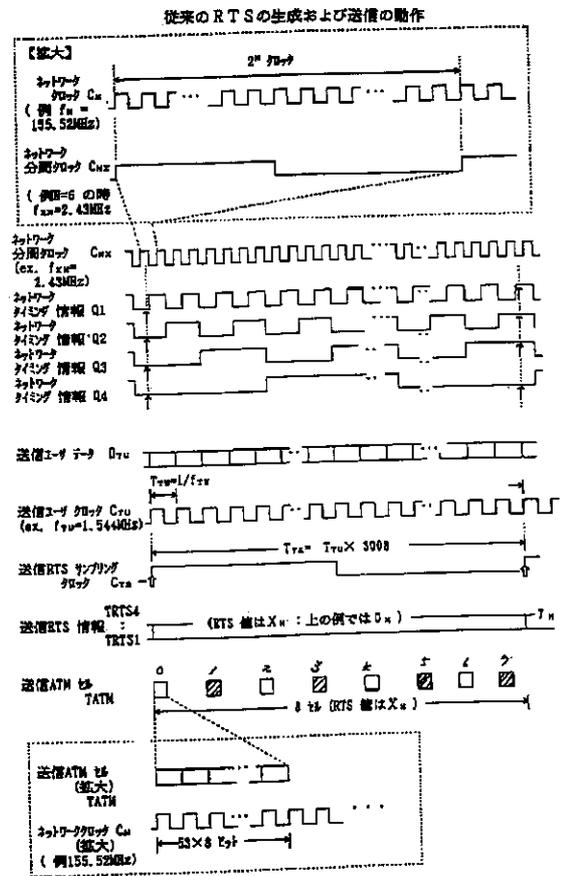
従来のRTSの生成および送信部の構成



【図 5 1】



【図 5 7】



フロントページの続き

(51)Int.Cl.⁶ 識別記号 庁内整理番号
9466 - 5 K

F I
H 0 4 L 11/20

技術表示箇所
D

(72)発明者 加久間 哲
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 橋 哲夫
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内