

(19) 日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11) 特許番号

第2753123号

(45) 発行日 平成10年(1998) 5月18日

(24) 登録日 平成10年(1998) 2月27日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 29/10  
29/06

H 0 4 L 13/00

3 0 9 B  
3 0 5 C

請求項の数2 (全 18 頁)

(21) 出願番号 特願平2-225973

(22) 出願日 平成2年(1990) 8月28日

(65) 公開番号 特開平4-107033

(43) 公開日 平成4年(1992) 4月8日

審査請求日 平成8年(1996) 11月7日

(73) 特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1  
番1号

(72) 発明者 中山 幹夫

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 真田 有

審査官 小林 紀和

(58) 調査した分野(Int.Cl.<sup>6</sup>, D B名)

H04L 29/10

H04L 29/06

(54) 【発明の名称】 制御モード選択式通信コントローラ

1

(57) 【特許請求の範囲】

【請求項1】 CPU ( 1 ) , 該CPU ( 1 ) を動作させるために必要なCPU周辺回路部 ( 2 ) , 呼制御を行なう回線インタフェース部 ( 3 ) , データ端末 ( 12 ) の制御を行なうデータ通信部 ( 4 ) および該CPU周辺回路部 ( 2 ) , 該回線インタフェース部 ( 3 ) と該データ通信部 ( 4 ) との間に設けられるプロセッサ間インタフェース部 ( 5 ) を有する通信コントローラにおいて、該プロセッサ間インタフェース部 ( 5 ) をバイパスするためのバスセクタ部 ( 6 ) をそなえ、該プロセッサ間インタフェース部 ( 5 ) をバイパスさせるように該バスセクタ部 ( 6 ) を切り替えることにより、該CPU ( 1 ) によって該回線インタフェース部 ( 3 ) および該データ通信部 ( 4 ) を制御するシングルモードと、

2

該プロセッサ間インタフェース部 ( 5 ) を経由させるように該バスセクタ部 ( 6 ) を切り替えることにより、該CPU ( 1 ) によって該回線インタフェース部 ( 3 ) を制御するとともに外部の他のCPU ( 14 ) によってデータ系バス ( 8 ) を介し該データ通信部 ( 4 ) を制御するマルチモードとを選択すべく構成されたことを特徴とする、制御モード選択式通信コントローラ。

【請求項2】 CPU ( 1 ) , 該CPU ( 1 ) を動作させるために必要なCPU周辺回路部 ( 2 ) , 呼制御を行なう回線インタフェース部 ( 3 ) , データ端末 ( 12 ) の制御を行なうデータ通信部 ( 4 ) および該CPU周辺回路部 ( 2 ) , 該回線インタフェース部 ( 3 ) と該データ通信部 ( 4 ) との間に設けられるプロセッサ間インタフェース部 ( 5 ) に有する通信コントローラにおいて、該プロセッサ間インタフェース部 ( 5 ) をバイパスする

ための第1バスセクタ部(6)と、  
該データ通信部(4)と該データ通信部(4)へのデータ系バス(8)との間に該プロセッサ間インタフェース部(5)を配置するための第2バスセクタ部(9)とをそなえ、

少なくとも該プロセッサ間インタフェース部(5)をバイパスさせるように該第1バスセクタ部(6)を切り替えることにより、該CPU(1)によって該回線インタフェース部(3)および該データ通信部(4)を制御するシングルモードと、

該プロセッサ間インタフェース部(5)を経由させるように該第1バスセクタ部(6)を切り替えるとともに該プロセッサ間インタフェース部(5)をバイパスさせるように該第2バスセクタ部(9)を切り替えることにより、該CPU(1)によって該回線インタフェース部(3)を制御するとともに外部の他のCPU(14)によって該データ系バス(8)を介し該データ通信部(4)を制御するマルチモードと、

該プロセッサ間インタフェース部(5)をバイパスさせるように該第1バスセクタ部(6)を切り替えるとともに該第2バスセクタ部(9)を該プロセッサ間インタフェース部(5)側へ切り替えることにより、該CPU(1)で該データ通信部(4)を制御し該プロセッサ間インタフェース部(5)で他の通信コントローラとの通信を行ないうるスレブモードとを選択すべく構成されたことを

特徴とする、制御モード選択式通信コントローラ。

#### 【発明の詳細な説明】

#### 【目次】

#### 概要

#### 産業上の利用分野

#### 従来の技術(第12図)

#### 発明が解決しようとする課題

#### 課題を解決するための手段[第1図(a),(b)]

#### 作用[第1図(a),(b)]

#### 実施例

#### 第1実施例の説明(第2~5図)

#### 第2実施例の説明(第6~11図)

#### 発明の効果

#### 【概要】

データ通信のための通信コントローラで、特に制御モードを選択できる通信コントローラに関し、

制御モードを切り替えられるようにして、高機能データ端末、簡易機能データ端末、複数ポートデータ端末など多様な端末に対応できるようにすることを目的とし、

CPU、CPU周辺回路部、回線インタフェース部、データ通信部およびプロセッサ間インタフェース部を有する通信コントローラにおいて、プロセッサ間インタフェース部バイパス用バスセクタ部をそなえ、プロセッサ間インタフェース部をバイパスさせるようにバスセクタ部

を切り替えて、CPUにより回線インタフェース部およびデータ通信部を制御するシングルモードと、プロセッサ間インタフェース部を経由させるようバスセクタ部を切り替えて、CPUにより回線インタフェース部を制御すると共に外部の他のCPUによってデータ系バスを介しデータ通信部を制御するマルチモードとを選択できるように構成する。

#### 【産業上の利用分野】

本発明は、データ通信のための通信コントローラに関し、特に制御モードを選択できる通信コントローラに関する。

近年、ISDNの発展などにより、データ通信の必要性が増加している。

また、かかるデータ通信において、呼制御は回線インタフェース部で行なわれ、データ端末の制御はデータ通信部で行なわれるが、これらの回線インタフェース部とデータ通信部は共にCPUで制御されるようになっている。

さらに、LSI技術や1つの半導体に複数の回路を形成するASIC(Application Specific Integrated Circuit)技術の進歩により、CPUをコアとして回線インタフェース部、データ通信部等の各種回路を一体化した通信コントローラも提案されている。

一方において、データ通信も多様化し、簡易な手段から複雑な手段まであり、1つのCPUで、回線インタフェース部の制御とデータ通信部の制御とが行なえる場合と、データ通信部は別のCPUで行なう場合とがある。そのために、CPUをコアとして回線インタフェース部、データ通信部等の各種回路を一体化した通信コントローラ的设计においては、高機能データ端末から簡易機能データ端末、複数ポートデータ端末まで多様な端末に対応することができ、柔軟性のあるアーキテクチャが必要とされている。

#### 【従来の技術】

第12図は従来の通信コントローラの構成例を示すブロック図であるが、この第12図において、101,102はCPU,103は呼制御を行なう回線インタフェース部,104はデータ端末の制御を行なうデータ通信部,105は回線インタフェース部103とデータ通信部104との間に設けられデュアルポートRAMなどで構成されるプロセッサ間インタフェース部であるが、回線インタフェース部103はCPU101によって制御され、データ通信部104は別のCPU102によって制御され、CPU101,102間の通信はプロセッサ間インタフェース部105を介して行なうようになっている。

#### 【発明が解決しようとする課題】

しかしながら、このような従来のデータ通信コントローラの構成では、簡易な手順をもつデータ通信においても、2つのCPUが必要であり、更に複数のデータ通信を実現するときにはこの通信コントローラは使えないという問題点がある。

本発明は、このような問題点に鑑みなされたもので、制御モードを切り替えられるようにして、高機能データ端末、簡易機能データ端末、複数ポートデータ端末など多様な端末に対応できるようにした、制御モード選択式通信コントローラを提供することを目的としている。

[課題を解決するための手段]

第1図(a)は第1の発明の原理ブロック図であるが、この第1図(a)において、1はこの通信コントローラのコアとなるCPU、2はCPU1を動作させるために必要なCPU周辺回路部、3は呼制御を行なう回線インタフェース部であり、これらのCPU1,CPU周辺回路部2,回線インタフェース部3は回線系バス7を介して接続されている。

4はデータ端末の制御を行なうデータ通信部であり、このデータ通信部4はデータ系バス8につながっている。

5はプロセッサ間インタフェース部で、このプロセッサ間インタフェース部5は、CPU周辺回路部2,回線インタフェース部3とデータ通信部4との間、即ち回線系バス7とデータ系バス8との間に設けられているものである。

また、6はバスセクタ部で、このバスセクタ部6は、プロセッサ間インタフェース部5をバイパスさせたり(実線ルート参照)、プロセッサ間インタフェース部5を経由させたり(点線ルート参照)するように切り替わるものである。

第1図(b)は第2の発明の原理ブロック図であるが、この第1図(b)に示すものも、CPU1,CPU周辺回路部2,回線インタフェース部3,データ通信部4およびプロセッサ間インタフェース部5を有するとともに、プロセッサ間インタフェース部5をバイパスさせたり(実線ルート参照)、プロセッサ間インタフェース部5を経由させたり(点線ルート参照)するように切り替わる第1バスセクタ部6を有するが、更にこの第2の発明では、データ通信部4とデータ通信部4へのデータ系のバス8との間にプロセッサ間インタフェース部5を配置するための第2バスセクタ部9をそなえている。

[作用]

上述の第1の発明にかかる制御モード選択式通信コントローラでは、プロセッサ間インタフェース部5をバイパスさせるように、バスセクタ部6を切り替えると[第1図(a)の実線ルート参照]、CPU1によって回線インタフェース部3およびデータ通信部4を制御するシングルモードを実現することができる。

一方、プロセッサ間インタフェース部5を経由させるように、バスセクタ部6を切り替えると[第1図(a)の点線ルート参照]、CPU1によって回線インタフェース部3を制御するとともに、外部の他のCPUによってデータ系バス8を介しデータ通信部4を制御するマルチモードを実現することができる。

また、第2の発明にかかる制御モード選択式通信コントローラでは、少なくともプロセッサ間インタフェース部5をバイパスさせるように、第1バスセクタ部6を切り替えると[第1図(b)の実線ルート参照]、CPU1によって回線インタフェース部3およびデータ通信部4を制御するシングルモードを実現することができる。

さらに、プロセッサ間インタフェース部5を経由させるように、第1バスセクタ部6を切り替えるとともに[第1図(b)の点線ルート参照]、プロセッサ間インタフェース部5をバイパスさせるように、第2バスセクタ部9を切り替えることにより[第1図(b)の実線ルート参照]、CPU1によって回線インタフェース部3を制御するとともに、外部の他のCPUによってデータ系バス8を介しデータ通信部4を制御するマルチモードを実現することができる。

さらにまた、プロセッサ間インタフェース部5をバイパスさせるように、第1バスセクタ部6を切り替えるとともに[第1図(b)の点線ルート参照]、第2バスセクタ部9をプロセッサ間インタフェース部5側へ切り替えることにより[第1図(b)の点線ルート参照]、CPU1でデータ通信部4を制御しプロセッサ間インタフェース部5で他の通信コントローラとの通信を行ないうるスレブモードを実現することができる。

[実施例]

以下、図面を参照して本発明の実施例を説明する。

(a)第1実施例の説明

第2,4図は本発明の第1実施例を示すブロック図で、この第1実施例にかかる制御モード選択式通信コントローラは、第2,4図に示すように、CPU1,CPU周辺回路部2,回線インタフェース部3,データ通信部4およびプロセッサ間インタフェース部5をそなえ、バスセクタ部6をそなえ、これらをASIC技術を用いて一体化して、例えば1つのLSI内に収納している。

ここで、CPU1はこの通信コントローラのコアとなるもので、CPU周辺回路部2は、CPU1を動作させるために必要なタイマ回路や割り込み回路等を含んで構成されたもので、回線インタフェース部3は呼制御を行なうもので、これらのCPU1,CPU周辺回路部2,回線インタフェース部3は回線系バス7を介して接続されている。

データ通信部4はデータ端末の制御を行なうものであり、このデータ通信部4はデータ系バス8につながっている。

プロセッサ間インタフェース部5は、CPU周辺回路部2,回線インタフェース部3とデータ通信部4との間、即ち回線系バス7とデータ系バス8との間に設けられるもので、このプロセッサ間インタフェース部5としては例えばデュアルポートRAMが使用される。

バスセクタ部6は、プロセッサ間インタフェース部5をバイパスさせたり(第2図参照)、プロセッサ間インタフェース部5を経由させたり(第4図参照)するよ

うに切り替わるものである。

次に、本実施例にかかる制御モード選択式通信コントローラを用いて、シングルモードおよびマルチモードの実現の仕方について説明する。

(1-1) シングルモードの実現について(第2,3図参照)

シングルモードとは、簡易的な手順のデータ端末でソフトウェアの負荷が少なく、コントローラ内蔵のCPU1によって回線インタフェース部3およびデータ通信部4を共に制御するモードで、このシングルモードは、第2図

に示すように、プロセッサ間インタフェース部5をバイパスさせるように、バスセクタ部6を切り替えればよい。

このようにすれば本通信コントローラを簡易機能データ端末などに適用することができる。

第3図に簡易機能データ端末の構成例を示すが、この第3図において、本通信コントローラC1の回線系バス7には、プログラム等を格納するROM10、データを格納するRAM11が接続され、同データ通信部4にはデータ端末12

が接続され、同回線インタフェース部3には外部への回線13が接続されている。

(1-2) マルチモードの実現について(第4,5図参照)

マルチモードとは、高機能な手順のデータ端末でソフトウェアの負荷が重く、CPU1によって回線インタフェース部3を制御するとともに、外部の他のCPUによってデータ系バス8を介しデータ通信部4を制御するモードで、このマルチモードは、第4図に示すように、プロセッサ間インタフェース部5を経由させるように、バスセクタ部6を切り替えればよい。

このようにすれば本通信コントローラを高機能データ端末などに適用することができる。

第5図に高機能データ端末の構成例を示すが、この第5図において、本通信コントローラC1の回線系バス7には、プログラム等を格納するROM10、データを格納するRAM11が接続され、同データ通信部4には高機能データ端末12が接続され、同回線インタフェース部3には外部への回線13が接続され、データ系バス8には、外部CPU14、プログラム等を格納するROM15、データを格納するRAM16が接続されている。

これにより、回線インタフェース部3をコントローラC1内のCPU1によって制御するとともに、データ通信部4を外部の他のCPU14によって制御することができるのである。

また、このときCPU1,14間の通信はプロセッサ間インタフェース部5を介して行なわれる。

このようにソフトウェアの処理能力に応じて選択できる柔軟性の有るアーキテクチャを持つことにより、シングルモードあるいはマルチモードのいずれにも切り替えることができ、これにより1つの通信コントローラによ

って、簡易機能データ端末や高機能データ端末など多様な端末に対応することができ、汎用性のある通信コントローラを提供できるものである。

(b) 第2実施例の説明

第6,8,10図は本発明の第2実施例を示すブロック図で、この第2実施例にかかる制御モード選択式通信コントローラは、第6,8,10図に示すように、CPU1,CPU周辺回路部2,回線インタフェース部3,データ通信部4およびプロセッサ間インタフェース部5をそなえ、これら

をASIC技術を用いて一体化して、例えば1つのLSI内に収納している。

ここで、CPU1,CPU周辺回路部2,回線インタフェース部3,データ通信部4,プロセッサ間インタフェース部5および第1バスセクタ部6については、前述の第1実施例のものと同じものであるため、その説明は省略する。

この第2実施例において特徴とする部材は、第2バスセクタ部9であるが、この第2バスセクタ部9は、データ通信部4とデータ通信部4へのデータ系バス8との間にプロセッサ間インタフェース部5を配置するためのものである。

次に、この第2実施例にかかる制御モード選択式通信コントローラを用いて、シングルモード、マルチモードおよびスレーブモードの実現の仕方について説明する。

(2-1) シングルモードの実現について(第6,7図参照)

シングルモードとは、前述のごとく、簡易的な手順のデータ端末でソフトウェアの負荷が少なく、コントローラ内蔵のCPU1によって回線インタフェース部3およびデータ通信部4を共に制御するモードで、このシングルモードは、第6図に示すように、プロセッサ間インタフェース部5をバイパスさせるように、第1バスセクタ部6を切り替えればよい。なお、このとき第2バスセクタ部9は、プロセッサ間インタフェース部5をバイパスさせるように切り替わっている。

このようにすれば本通信コントローラC2を簡易機能データ端末などに適用することができる。

第7図に簡易機能データ端末の構成例を示すが、この第7図において、本通信コントローラC2の回線系バス7には、プログラム等を格納するROM10、データを格納するRAM11が接続され、同データ通信部4にはデータ端末12が接続され、同回線インタフェース部3には外部への回線13が接続されている。

(2-2) マルチモードの実現について(第8,9図参照)

マルチモードとは、高機能な手順のデータ端末でソフトウェアの負荷が重く、CPU1によって回線インタフェース部3を制御するとともに、外部の他のCPUによってデータ系バス8を介しデータ通信部4を制御するモードで、このマルチモードは、第8図に示すように、プロセ

ッサ間インタフェース部5を経由させるように、バスセレクト部6を切り替えればよい。なお、このとき第2バスセレクト部9は、プロセッサ間インタフェース部5をバイパスさせるように切り替わっている。

このようにすれば本通信コントローラC2を高機能データ端末などに適用することができる。

第9図に高機能データ端末の構成例を示すが、この第9図において、本通信コントローラC2の回線系バス7には、プログラム等を格納するROM10、データを格納するRAM11が接続され、同データ通信部4には高機能データ端末12が接続され、同回線インタフェース部3には外部への回線13が接続され、データ系バス8には、外部CPU14、プログラム等を格納するROM15、データを格納するRAM16が接続されている。

これにより、回線インタフェース部3をコントローラC2内のCPU1によって制御するとともに、データ通信部4を外部の他のCPU14によって制御することができるのである。

また、このときCPU1,14間の通信はプロセッサ間インタフェース部5を介して行なわれる。

(2-3)スレーブモードの実現について(第10,11図参照)

スレーブモードとは、CPU1でデータ通信部4を制御しプロセッサ間インタフェース部5で他の通信コントローラとの通信を行ないうるモードで、このスレーブモードは、第10図に示すように、プロセッサ間インタフェース部5をバイパスさせるように第1バスセレクト部6を切り替えるとともに、第2バスセレクト部9をプロセッサ間インタフェース部5側へ切り替えればよい。

このようにすれば、本通信コントローラC2をスレーブモード複数ポートのデータ通信機能をもつ複数ポートデータ端末などに適用することができる。

第11図に複数ポートデータ端末の構成例を示すが、この第11図においては、シングルモードの通信コントローラC2が1個(第11図の最上段のもの)と、スレーブモードの通信コントローラC2が2個(第11図の中段および最下段のもの)設けられており、各通信コントローラC2の回線系バス7には、プログラム等を格納するROM10、データ格納するRAM11が接続されているが、シングルモードの通信コントローラC2の回線系バス7は他のスレーブモードの通信コントローラC2のデータ系バス8に接続されている。なお、各通信コントローラC2のデータ通信部4にはデータ端末12が接続されている。また、シングルモードの通信コントローラC2の回線インタフェース部3には外部への回線13が接続されている。

これにより、スレーブモードの通信コントローラC2においては、そのCPU1でデータ通信部4を制御し、そのプロセッサ間のインタフェース部5で他の通信コントローラとの通信を行なうことができる。

このようにソフトウェアの処理能力に応じて選択でき

る柔軟性の有るアーキテクチャを持つことにより、シングルモード、マルチモードあるいはスレーブモードのいずれにも切り替えることができ、これにより1つの通信コントローラによって、簡易機能データ端末、高機能データ端末、複数ポートデータ端末など多様な端末に対応することができ、従ってこの第2実施例の場合も、汎用性のある通信コントローラを提供できるものである。

[発明の効果]

以上詳述したように、本発明の制御モード選択式通信コントローラによれば、ソフトウェアの処理能力に応じて選択できる柔軟性の有るアーキテクチャを持つことにより、シングルモードあるいはマルチモードのいずれにもまたはシングルモード、マルチモードあるいはスレーブモードのいずれにも切り替えることができ、これにより1つの通信コントローラによって、簡易機能データ端末、高機能データ端末、複数ポートデータ端末など多様な端末に対応することができ、汎用性のある通信コントローラを提供できる利点がある。

【図面の簡単な説明】

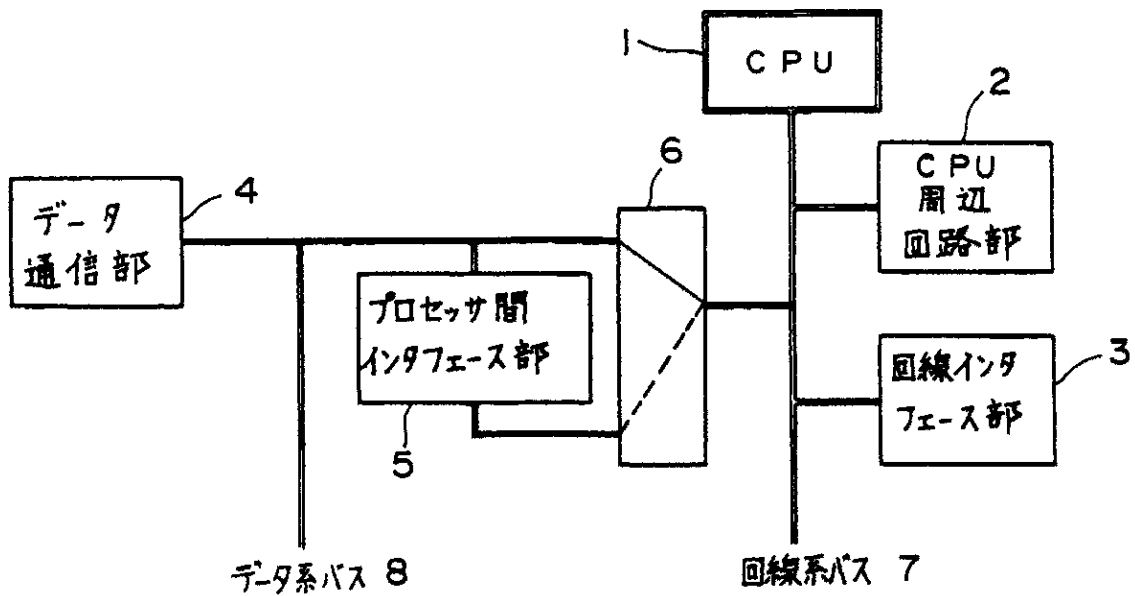
- 第1図(a)、(b)はいずれも本発明の原理ブロック図、  
 第2図は本発明の第1実施例をシングルモードで使用した例を示すブロック図、  
 第3図は本発明の第1実施例をシングルモードで使用した例を用いた簡易機能データ端末の構成例を示すブロック図、  
 第4図は本発明の第1実施例をマルチモードで使用した例を示すブロック図、  
 第5図は本発明の第1実施例をマルチモードで使用した例を用いた高機能データ端末の構成例を示すブロック図、  
 第6図は本発明の第2実施例をシングルモードで使用した例を示すブロック図、  
 第7図は本発明の第2実施例をシングルモードで使用した例を用いた簡易機能データ端末の構成例を示すブロック図、  
 第8図は本発明の第2実施例をマルチモードで使用した例を示すブロック図、  
 第9図は本発明の第2実施例をマルチモードで使用した例を用いた高機能データ端末の構成例を示すブロック図、  
 第10図は本発明の第2実施例をスレーブモードで使用した例を示すブロック図、  
 第11図は本発明の第2実施例をスレーブモードで使用した例を用いた複数ポートデータ端末の構成例を示すブロック図、  
 第12図は従来例を示すブロック図である。  
 図において、  
 1はCPU、  
 2はCPU周辺回路部、

3は回線インタフェース部、  
 4はデータ通信部、  
 5はプロセッサ間インタフェース部、  
 6はバスセクタ部(第1バスセクタ部)、  
 7は回線系バス、  
 8はデータ系バス、  
 9は第2バスセクタ部、  
 10はROM、  
 11はRAM、  
 12はデータ端末、

\* 13は回線、  
 14はCPU、  
 15はROM、  
 16はRAM、  
 101,102はCPU、  
 103は回線インタフェース部、  
 104はデータ通信部、  
 105はプロセッサ間インタフェース部、  
 C1,C2は制御モード選択式通信コントローラである。

\*10

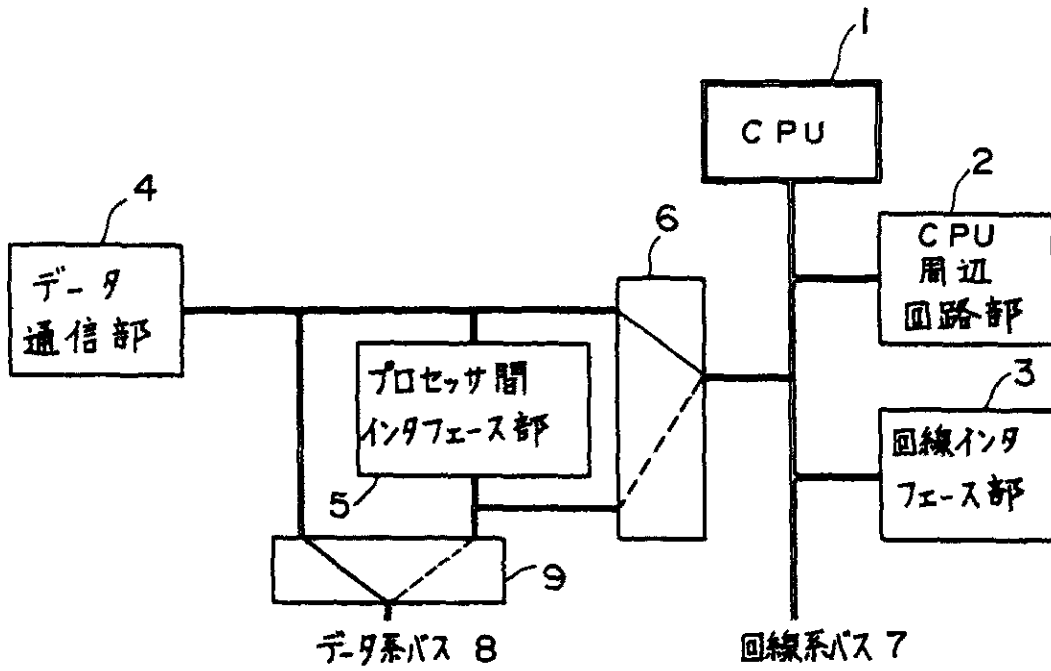
【第1図(a)】



6 ---バスセクタ部

本発明の原理ブロック図

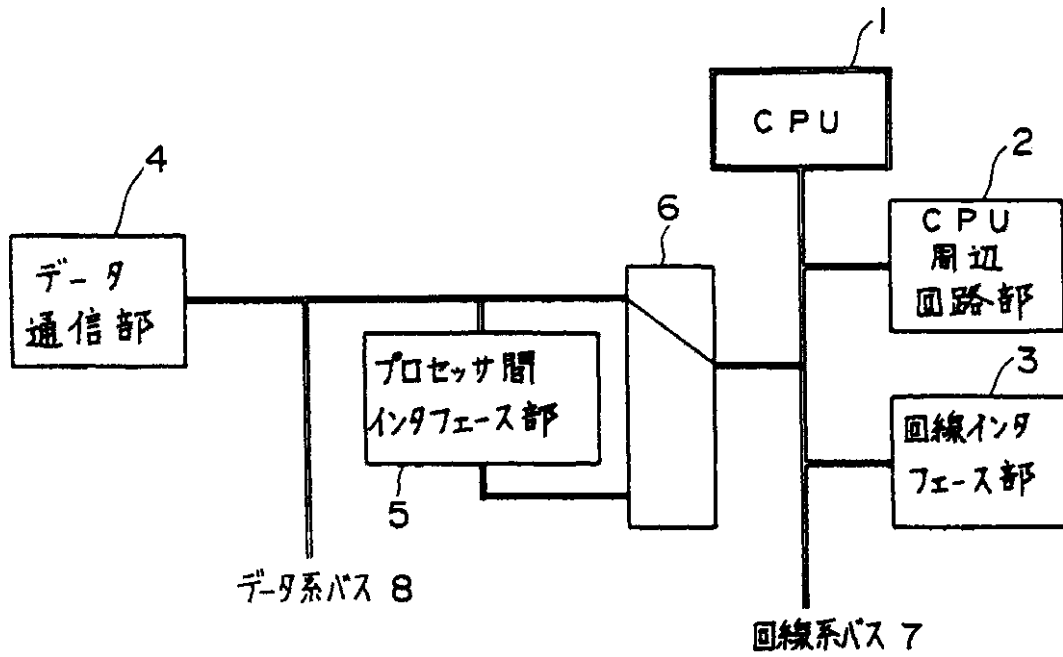
【第1図(b)】



6 --- 第1バスセクタ部  
9 --- 第2バスセクタ部

本発明の原理ブロック図

【第2図】

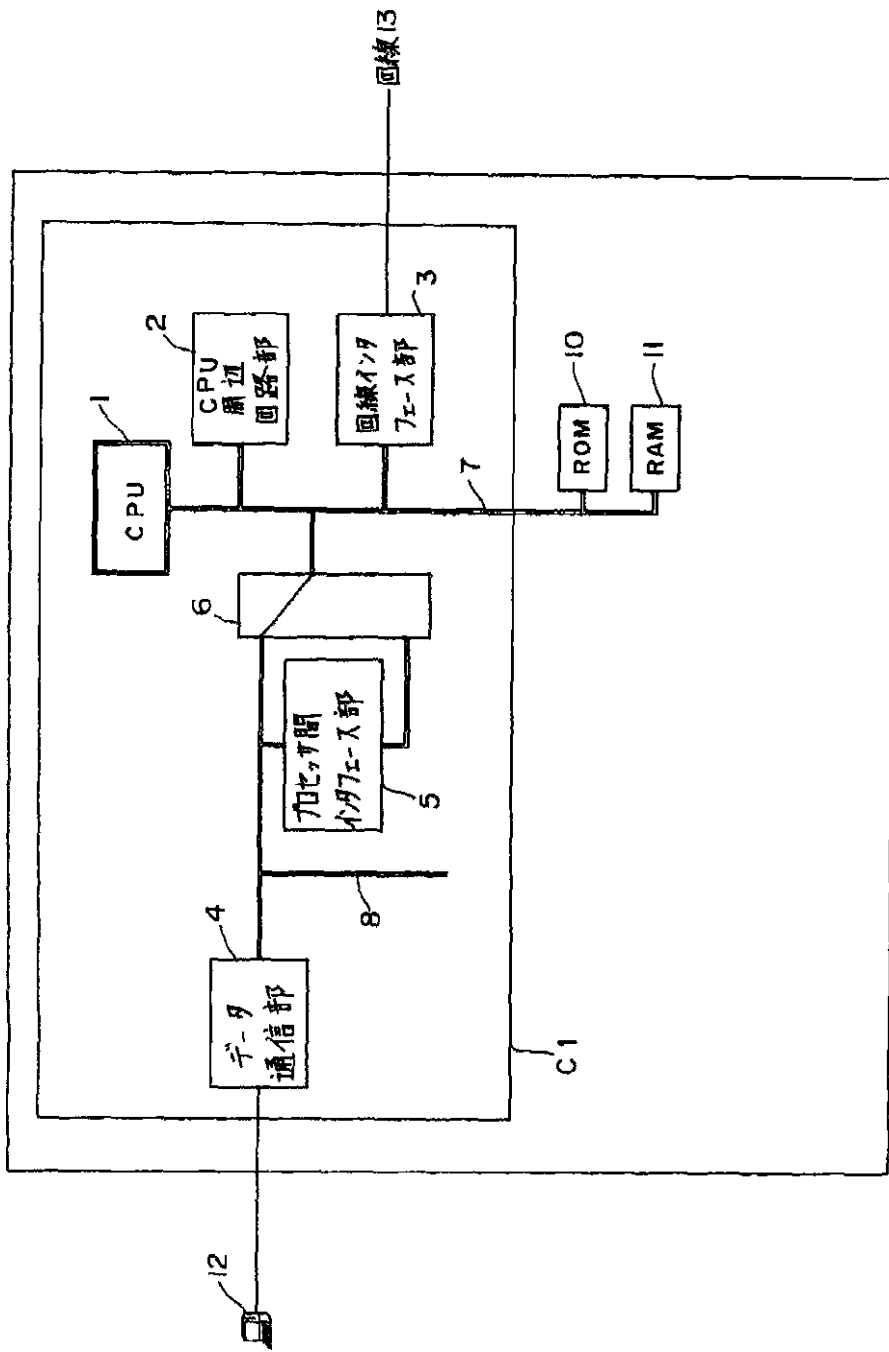


6---バスセレクタ部

本発明の第1実施例をシングルモードで使用した例を示すブロック図



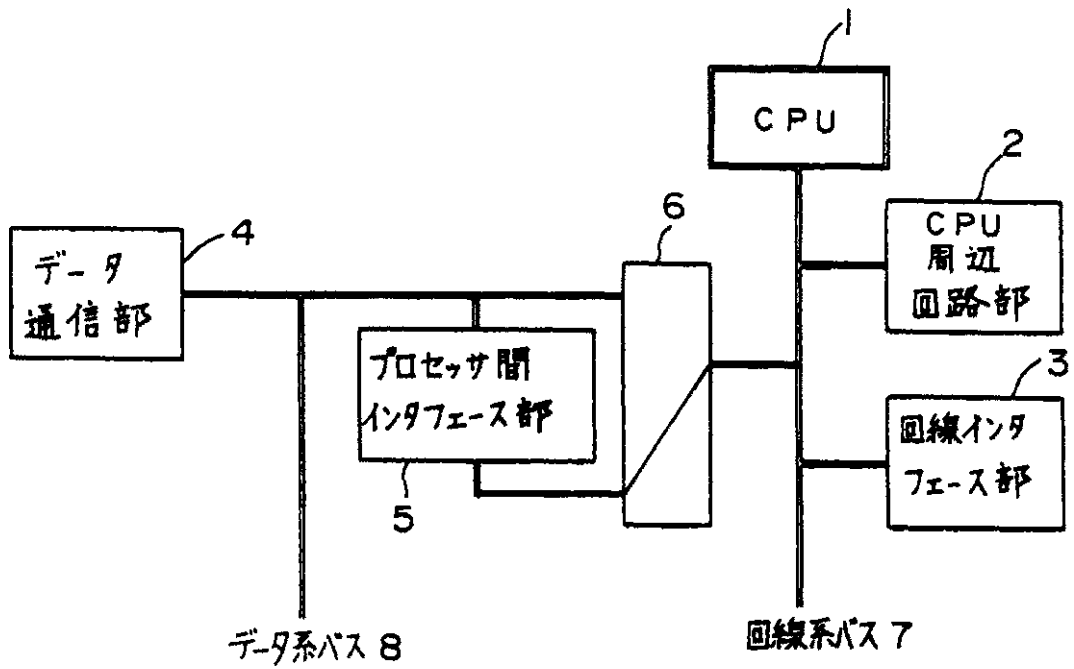
【第3図】



- 6 --- バスセレクタ部
- 7 --- 回線系バス
- 8 --- データ系バス
- 12 --- データ端末
- C1 --- 通信インタロー

本発明の第1実施例に図1のブロック図を用いた  
簡易機能データ端末の構成例を示すブロック図

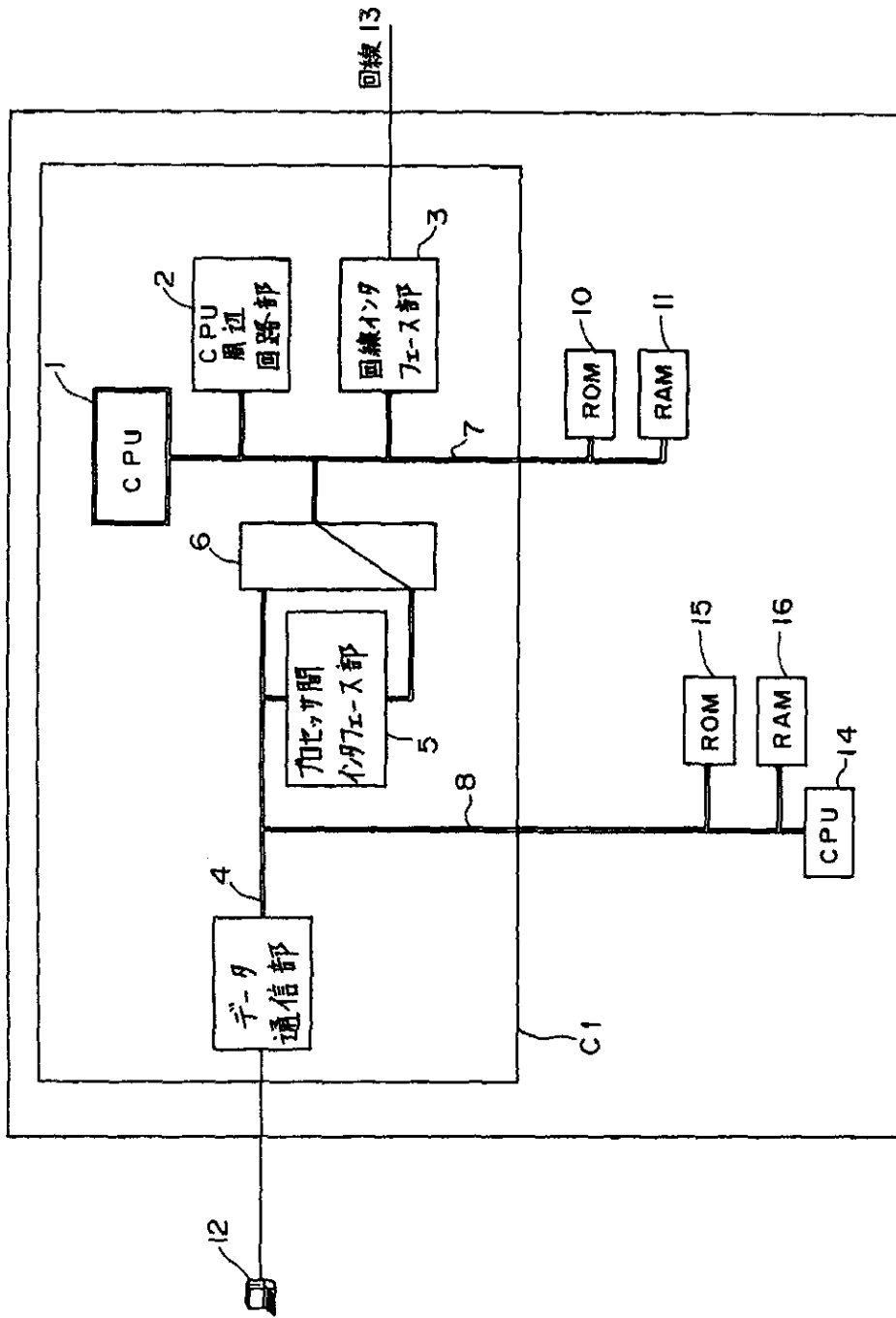
【第4図】



6 ---バスセレクタ部

本発明の第1実施例をマルチモードで使用した例を示すブロック図

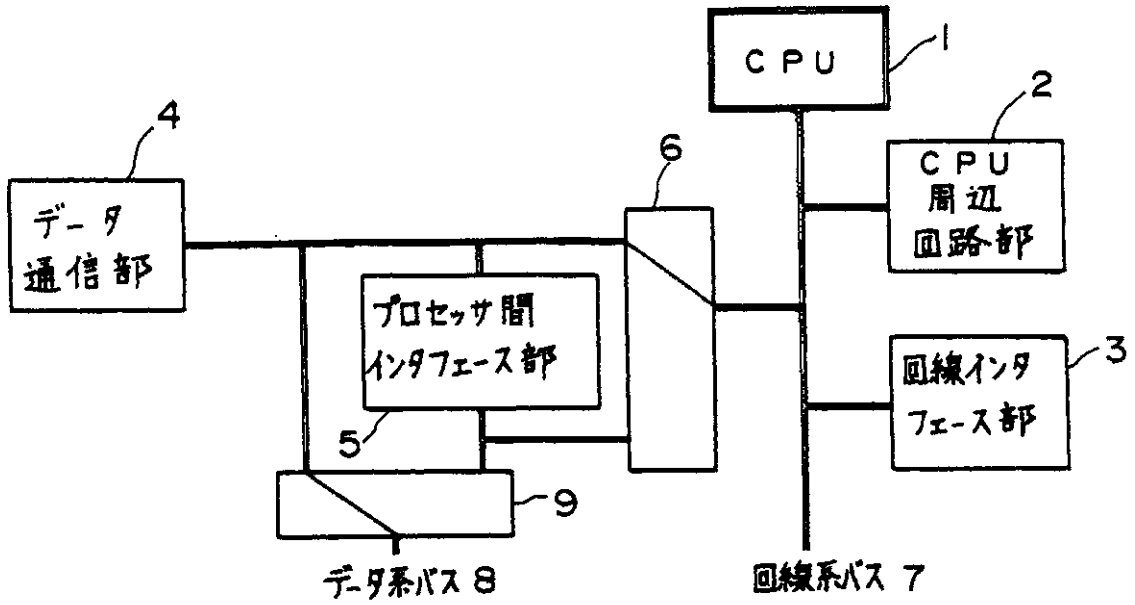
【第5図】



- 6 --- バスセクタ部
- 7 --- 回線系バス
- 8 --- データ系バス
- 12 --- データ端末
- C1 --- 通信コントロール

本発明の第1実施例をマルチボードで使用した例を用いた高機能データ端末の構成例を示すブロック図

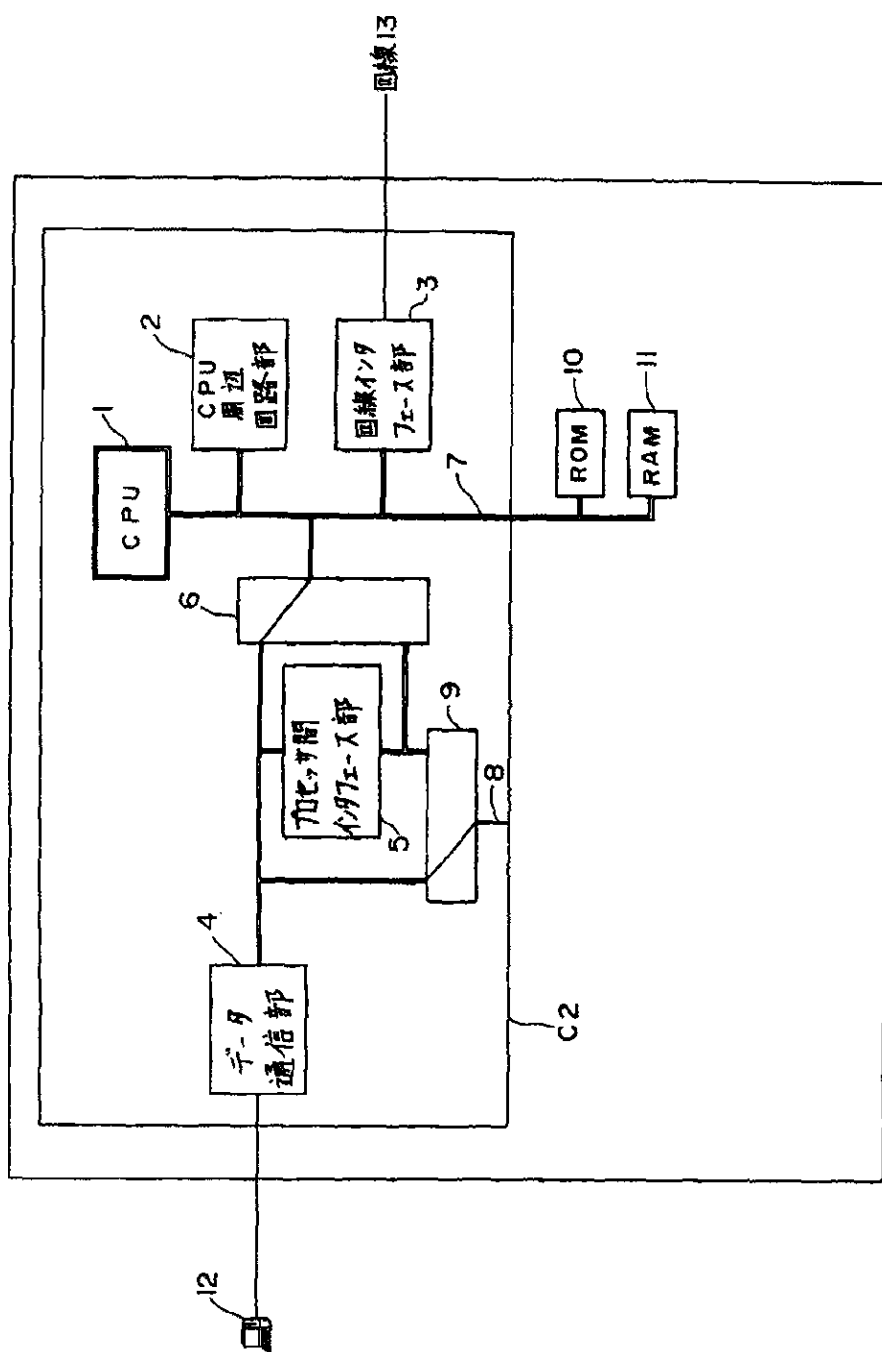
【第 6 図】



- 6 --- 第1バスセクタ部
- 9 --- 第2バスセクタ部

本発明の第2実施例をシングルモードで使用した例を示すブロック図

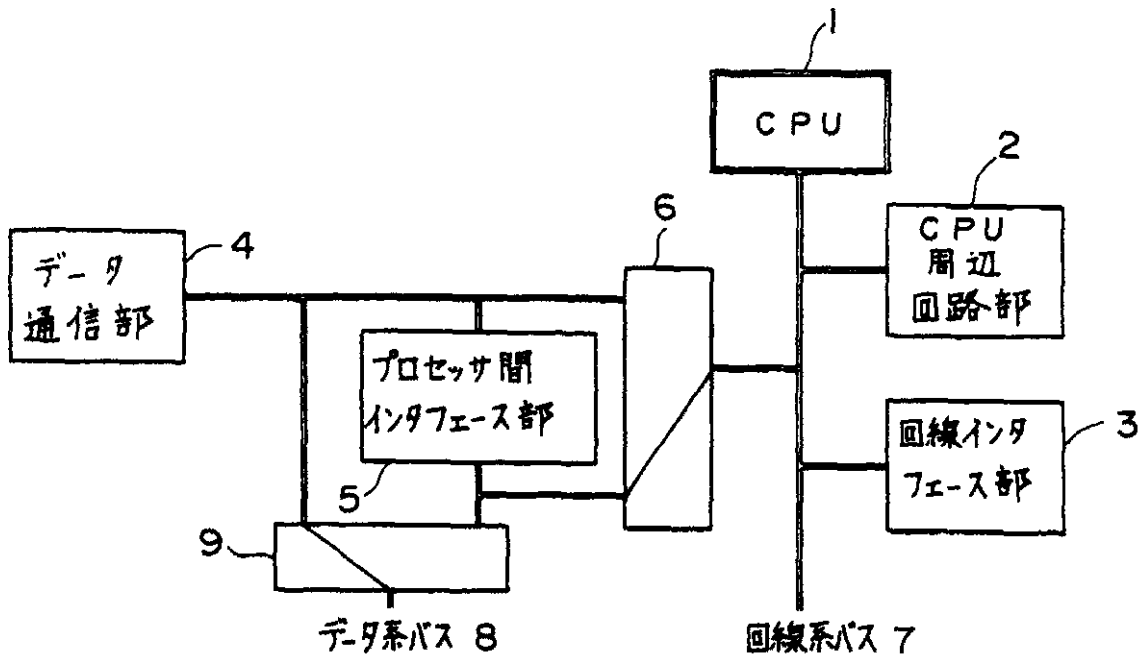
【第7図】



- 6 --- 第1バス出力部
- 7 --- 回線系バス
- 8 --- データバス
- 9 --- 第2バス出力部
- 12 --- データ端末
- C2 --- 通信コントローラ

本発明の第2実施例をシミュレーションモードで使用した例を用いた  
簡易機能データ端末の構成例を示すブロック図

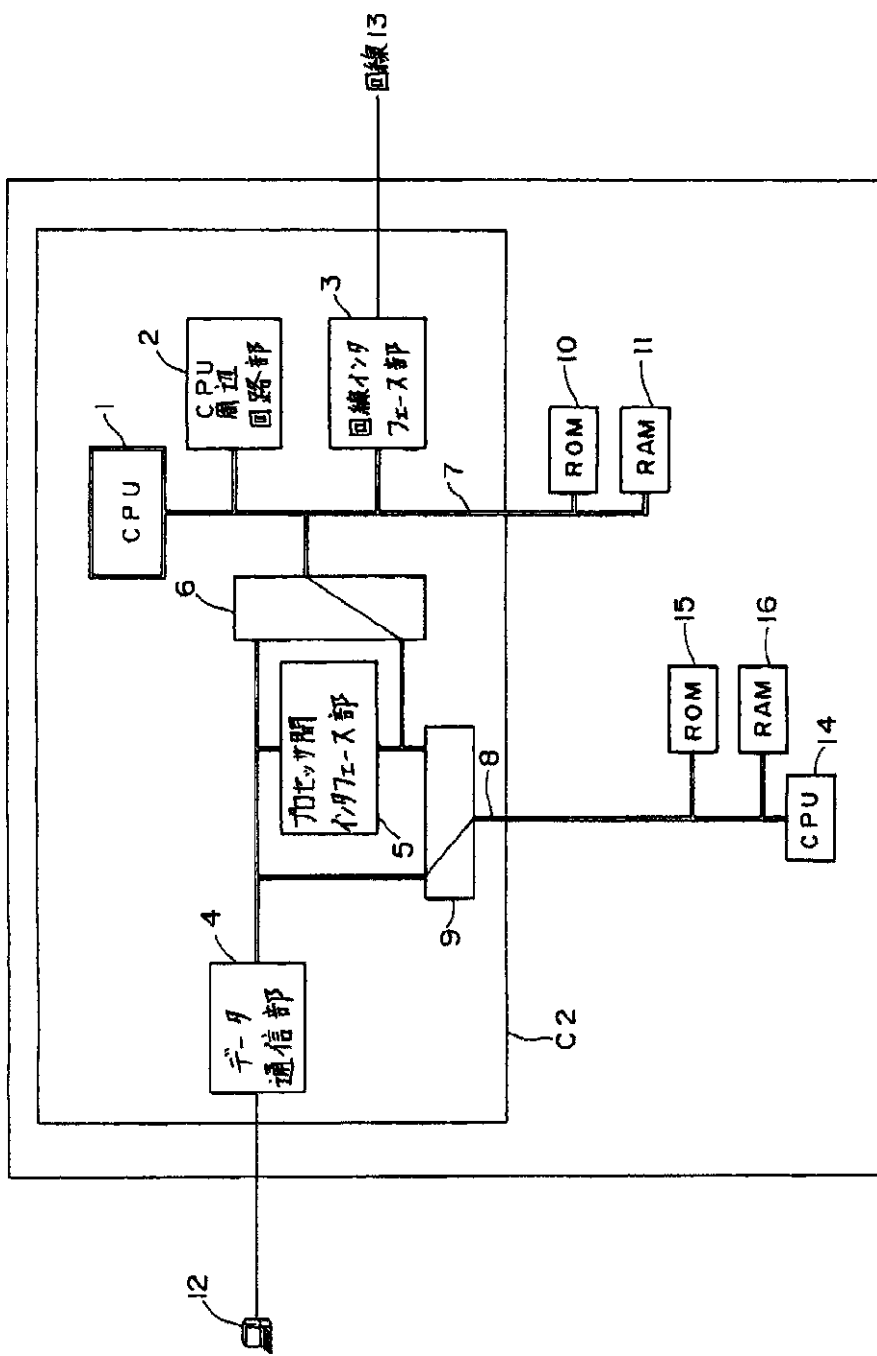
【第8図】



6 --- 第1バスセレクタ部  
9 --- 第2バスセレクタ部

本発明の第2実施例をマルチモードで使用した例を示すブロック図

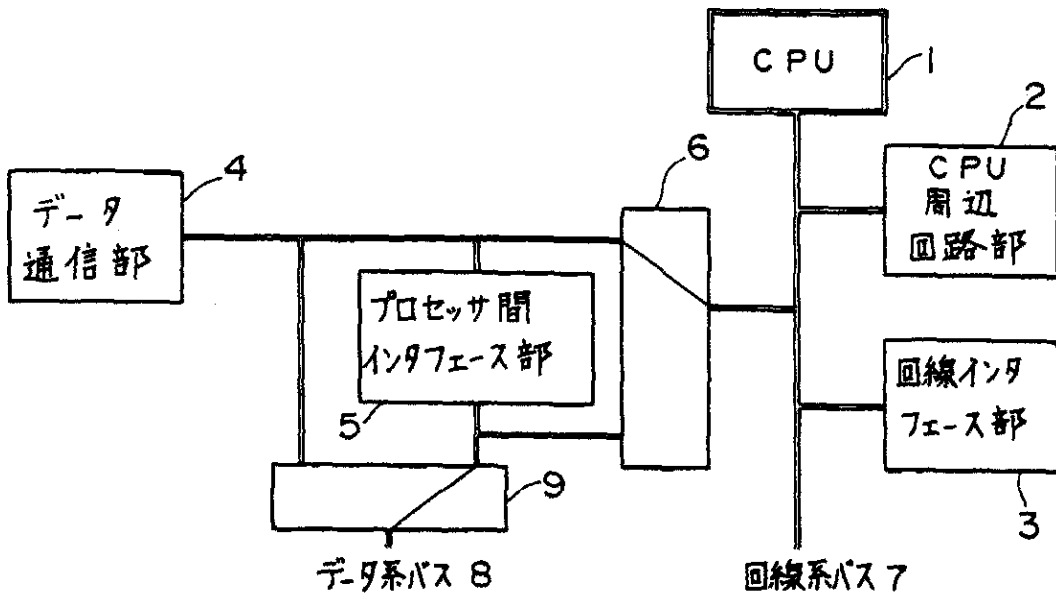
【第9図】



- 6 --- 第1バスセル制御部
- 7 --- 回線系バス
- 8 --- データ系バス
- 9 --- 第2バスセル制御部
- 12 --- データ端末
- C2 --- 通信コントローラ

本発明の第2実施例をマルチプロセッサを使用した例を用いた高性能データ端末の構成例を示すブロック図

【第 1 0 図】

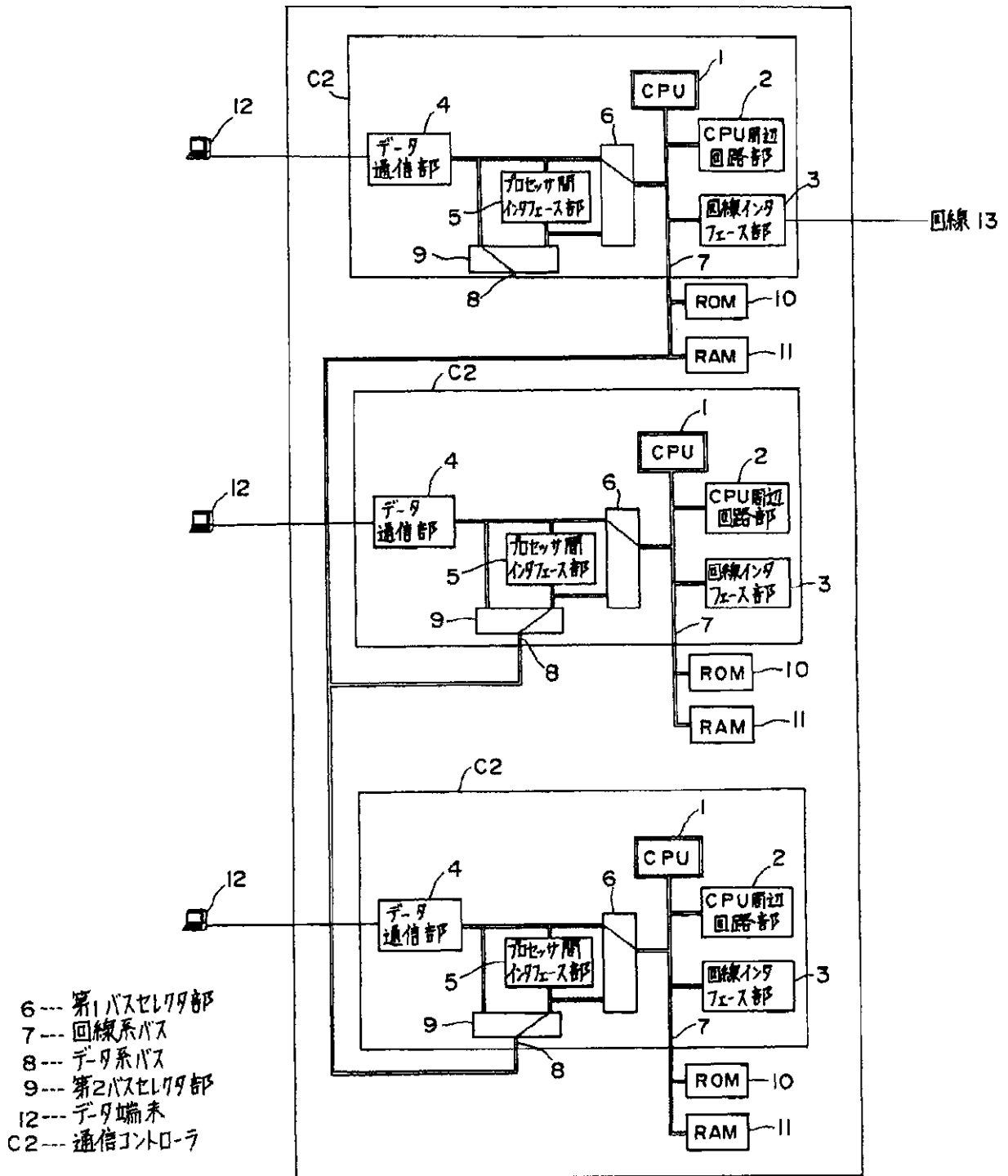


- 6 --- 第1バスセクタ部
- 9 --- 第2バスセクタ部

本発明の第2実施例をスレブモードで使用した例を示すブロック図

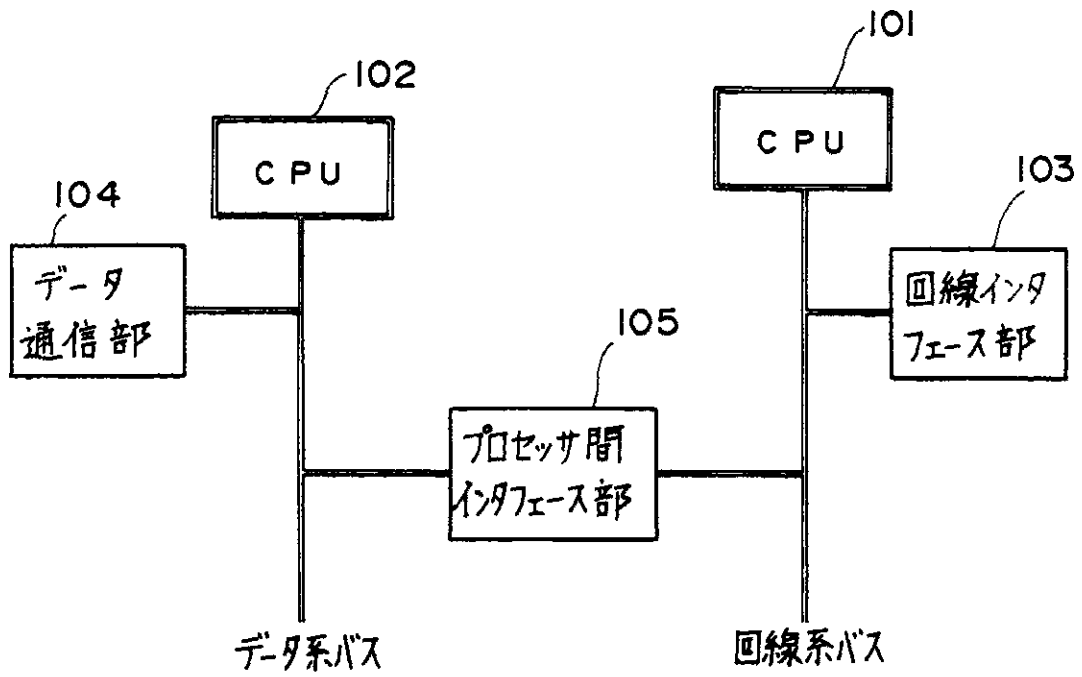


【第 1 1 図】



本発明の第2実施例をスレーブモードで使用した例を用いた複数ポートデータ端末の構成例を示すブロック図

【第 1 2 図】



従来例を示すブロック図