

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2512586号

(45) 発行日 平成 8 年(1996) 7 月 3 日

(24) 登録日 平成 8 年(1996) 4 月 16 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 4 L	7/00		H 0 4 L	7/00	B
	7/08			7/08	A
					D

請求項の数 2 (全 15 頁)

(21) 出願番号 特願平2-54891

(22) 出願日 平成 2 年(1990) 3 月 8 日

(65) 公開番号 特開平3-258048

(43) 公開日 平成 3 年(1991) 11 月 18 日

(73) 特許権者 999999999
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72) 発明者 中山 幹夫
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 青木 朗 (外 4 名)

審査官 清水 康志

(54) 【発明の名称】 フレーム同期依存型ビット同期抽出回路

1

(57) 【特許請求の範囲】

【請求項 1】 ISDN ベーシックユーザ網インタフェースの参照点 S/T における ISDN 回線インタフェースでビット同期のために用いられるビット同期抽出回路において、自走信号を発振する発振手段 (1) と、該自走信号を分周して所望の周波数のビット同期信号を生成するカウンタ手段 (2) と、該カウンタ手段 (2) の出力信号と受信データとの位相比較を行う位相比較手段 (3) と、該位相比較手段 (3) の出力に得られる位相差に応じて該自走信号のパルス数を増減するパルス調整手段 (4) と、該受信データの変化点を検出する変化点検出手段 (5) と、該受信データからフレーム同期を検出するフレーム同期

2

検出手段 (6) とを具備し、該フレーム同期検出手段 (6) によりフレーム同期が検出されないときは該変化点検出手段 (5) により受信データの変化点で該カウンタ手段 (2) をプリセットしてビット同期の抽出を行い、該フレーム同期検出手段 (6) によりフレーム同期が検出されたときは該位相比較手段 (3) の出力に得られる位相差に応じて該自走信号のパルス数を増減するようにした、フレーム同期依存型ビット同期抽出回路。

10 【請求項 2】 ISDN ベーシックユーザ網インタフェースの参照点 S/T における ISDN 回線インタフェースでビット同期のために用いられるビット同期抽出回路において、自走信号を発振する発振手段 (1) と、該自走信号を分周して所望の周波数のビット同期信号を生成するカウンタ手段 (2) と、

該カウンタ手段(2)の出力信号と受信データとの位相比較を行う位相比較手段(3)と、
該位相比較手段(3)の出力に得られる位相差に応じて該自走信号のパルス数を増減するパルス調整手段(4)と、
該受信データの変化点を検出する変化点検出手段(5)と、
該受信データの後方保護段数2段以下、前方保護段数2段以上の擬似フレーム同期検出手段(7)とを具備し、
該疑似フレーム同期検出手段(7)により擬似フレーム同期が検出されないときは該変化点検出手段(5)により受信データの変化点で該カウンタ手段(2)をプリセットしてビット同期の抽出を行い、該疑似フレーム同期検出手段(7)により擬似フレーム同期が検出されたときは該位相比較手段(3)の出力に得られる位相差に応じて該自走信号のパルス数を増減するようにした、フレーム同期依存型ビット同期抽出回路。

【発明の詳細な説明】

〔概要〕

ISDNベーシックユーザ網インタフェースの参照点S/TにおけるISDN回線インタフェースでビット同期のために用いられるフレーム同期依存型ビット同期抽出回路に関し、

ビット同期抽出時間を短縮し、フレーム同期確立後は回線ノイズに強くし、タイミング抽出ジッタを小さくし、かつデータ送出時のビットタイミング抽出ジッタを規定範囲内に抑えることを目的とし、

ISDNベーシックユーザ網インタフェースの参照点S/TにおけるISDN回線インタフェースでビット同期のために用いられるビット同期抽出回路において、自走信号を発振する発振手段と、自走信号を分周して所望の周波数のビット同期信号を生成するカウンタ手段と、カウンタ手段の出力信号と受信データとの位相比較を行う位相比較手段と、位相比較手段の出力に得られる位相差に応じて自走信号のパルス数を増減するパルス調整手段と、受信データの変化点を検出する変化点検出手段と、受信データからフレーム同期を検出するフレーム同期検出手段とを具備し、フレーム同期検出手段によりフレーム同期が検出されないときは変化点検出手段により受信データの変化点で該カウンタ手段をプリセットしてビット同期の抽出を行い、フレーム同期検出手段によりフレーム同期が検出されたときは位相比較手段の出力に得られる位相差に応じて自走信号のパルス数を増減するように構成する。

〔産業上の利用分野〕

本発明は、ISDNベーシックユーザ網インタフェースの参照点S/TにおけるISDN回線インタフェースでビット同期のために用いられるビット同期抽出回路に関し、特に、フレーム同期に依存したビット同期抽出回路に関する。

ISDNベーシックユーザ網インタフェースの参照点S/Tを含むシステムの構成を第6図に示す。同図において、ネットワーク60に接続された網終端装置(NT)61とISDN端末装置(TE)62とがS/T点を介して接続されている。

網終端装置(NT)61とISDN端末装置(TE)62との間を伝送される信号のフレーム構成を第7図に示す。同図に示すように、ISDNベーシックユーザ網インタフェースにおいては、192kbit/s(1位相5.5 μ s)の速度で48ビットを1フレーム(250 μ s)として双方向のデータ伝送をしている。

ISDN端末装置(TE)62と網終端装置(NT)61との通信のためには、ISDN端末装置(TE)62と網終端装置(NT)61とが同一のタイミングで動作する必要がある。しかしISDN端末装置(TE)62で発振器により分周して生成した192kHzのクロックはそのままでは網終端装置(NT)61からの受信信号のタイミングとは位相がずれているため相互の通信ができない。

そこで端末は発振器により分周して生成した192kHzのクロックを受信信号のタイミングに周期と位相を合わせるビット同期の機能が必要である。

第8図はISDN端末装置(TE)62内のISDN回線インタフェースの構成を示すブロック図である。同図において、81はレシーバ、82はビット同期抽出部、83はフレーム同期検出部、84はフレーム分解部、85はフレーム組立部、86はフリップフロップ、87はドライバである。

レシーバ61はISDN回線を介して網終端装置(NT)61から受信データを受け取る。

ビット同期抽出部82はビット同期のために網終端装置(NT)61からの受信信号から192kHzのビットタイミングの抽出を行う。

フレーム同期検出部83はフレーム同期のために受信信号から正常な48ビットフレームを3回連続して受信したときフレーム同期が確立したとみなす。

ISDN端末装置(TE)62は、フレーム同期が確立したとみなすと、フレーム構成から4kHzのフレームタイミングを生成し、受信データの分解と送信データの組立、および信号の送信を開始する。また正常な48ビットフレームの受信が2回連続してできないときはフレーム同期が外れたとみなし、ただちに信号の送信を停止しなければならない。その後再び、フレーム同期の検出を開始する。

ISDN端末装置(TE)62は、自装置から網終端装置(NT)61への送信信号をビットタイミングに同期させなければならない。送信信号で観測したときのビットタイミング抽出ジッタはビット周期(5.2 μ s)の $\pm 7\%$ (0.36 μ s)以内と規定されているため、ビット同期が確立され抽出された192kHzのビットタイミングは網終端装置(NT)61からの受信信号に対してビット周期の $\pm 7\%$ (0.36 μ s)以内でなければならない。

第8図のISDN回線インタフェースの動作を第9図によって説明する。レシーバ81で受信した信号(a)はビッ

ト同期抽出部82、フレーム同期検出部83、及びフレーム分解部84に入る。ビット同期抽出部83では受信信号と同期した同位相の192kHzはビットタイミング信号 (b) を作成する。フレーム同期検出部83は正常フレームを3フレーム連続して受信したときはフレーム同期が確立したことを示すためにフレーム同期信号 (c) として " 1 " を出力し、正常フレームを2フレーム連続して受信できないときはフレーム同期が外れたことを示すためにフレーム同期信号 (c) として " 0 " を出力する。フレーム分解部84ではフレーム同期が確立しているときに受信信号をB1、B2、Dに分解する。フレーム組立部85ではフレーム同期が確立しているときにB1、B2、Dをフレームに組立て、さらにフリップフロップ86によりビット同期抽出部82からのビットタイミング信号 (b) に位相を合わせて送信データを生成し、ドライバ87を介して送信する。

本発明は、上記ISDNユーダ網インタフェースにおけるビット同期抽出部82に関するものである。

ビット同期抽出部82においては、ビット同期抽出時間はできるだけ短いことが望ましく、タイミング抽出ジッタはできるだけ小さいことが望ましく、また、回線ノイズに対してもビットタイミングが安定していることが望まれる。

〔従来の技術〕

従来のビット同期抽出部にはカウンタプリセット方式とDPLL方式があった。

カウンタプリセット方式を第10図及び第11図によって説明する。同図において、変化点検出部101により回線からの受信データa4の変化点を検出してパルスa9を発生させる。一方、自走している発振部102からのクロック信号a1をカウンタ部103により分周してa2とし、ビットタイミングを生成するカウンタ部104を、変化点検出部101からのパルスによりプリセットする。

より詳細には、受信信号に同期した H_c ($= 192 \times 10^3$) のビットタイミング信号a3 (第11図 (5)) を生成するために、発振部101により自走する H_c ($= M \times N$; M、Nは整数：例としてM = 2、N = 16で $= 6.144 \times 10^6$) の信号a1 (第11図 (1)) を作成し、この信号a1をカウンタ部103により1/Mに分周して信号a2 (第11図 (2)) とし、信号a2をカウンタ部104により1/Nに分周する。変化点検出部101は受信信号の変化点p1を検出してクロック信号c1及びc2によりパルスa9 (第11図 (4)) を発生させ、このパルスa9によりカウンタ部104に対してプリセットをかける。カウンタ部104はパルスa9の立ち上がりからビット周期の5.2 μ s をカウントした後に出力を立ち上げる。こうして、受信データにビット同期した H_c のビットタイミング信号が得られる。

このカウンタプリセット方式はビット同期が受信信号の変化点ですぐに確立するが、受信データに含まれる回線ノイズに対してすぐにビット抽出タイミングが影響を受けてしまうことと、また受信信号のたびにカウンタ2

をプリセットするためタイミング抽出ジッタが大きいという欠点がある。

DPLL (デジタル位相同期ループ) 方式を第12図、第13図及び第14図によって説明する。この方式は、内部で自走している発振器121から分周して生成するビットタイミング信号a3と回線からの受信データの位相比較をおこなってその位相差によりビットタイミングの補正をする。

より詳細には、DPLL方式のビット同期抽出部は、受信データa4に同期した H_c ($= 192 \times 10^3$) のビットタイミング信号a3を生成するために、自走する H_c ($= M \times N$; M、Nは整数：例としてM = 2、N = 16で $= 6.144 \times 10^6$) の信号a1を作成する発振部121と、信号a1を1/Mに分周してさらにパルスの増加と減少を調整するパルス調整部122と、パルス調整部122の出力a2を1/N分周して受信データa4にビット同期がとれたビットタイミング信号a3を作成するカウンタ部123と、受信データa4とカウンタ部123の出力のビットタイミング信号a3との位相を比較してビットタイミングが進んでいるときは進みパルスa5をビットタイミングが遅れているときは遅れパルスa6を出力する位相比較部124と、遅れパルスa6が途中で発生することなしに進みパルスa5が続けてL回 (例 L = 8) 発生するとパルス調整部122に対し減少指示信号a7を出力し、進みパルスa5が途中で発生することなしに遅れパルスが続けてL回 (例 L = 8) 発生するとパルス調整部122に対し増加指示信号a8を出力する段数保護部125からなる。

受信データa4とカウンタ部123の出力があるビットタイミング信号a3との位相を比較してビットタイミングが進んでいるときは位相比較部124から進みパルスa5が発生する。進みパルスa5が続けてL回 (例 L = 8) 発生するとパルス調整部122に対し減少指示信号a7を出力し、パルス調整部122によりパルスが減少される。そのためカウンタ部123により1/N分周したときにビットタイミングは1ステップ分の1/秒 ($= 6,144\text{MHz}$ の時は0.16 μ s) だけ遅れ、受信データa4に近づく。これを繰り返すことで徐々に受信データa4に対してビットタイミング信号a3の位相が合ってくる。

また受信データa4とカウンタ部123の出力のビットタイミング信号a3との位相を比較してビットタイミングが遅れているときは位相比較部124から遅れパルスa6が発生する。遅れパルスa6が続けてL回 (例 L = 8) 発生するとパルス調整部122に対し増加指示信号a5を出力し、パルス調整部122によりパルスが増加される。そのためカウンタ部123によりパルス調整部122の出力信号a2を1/N分周したときにビットタイミング信号a3は1ステップ分の1/秒 ($= 6,144\text{MHz}$ の時は0.16 μ s) だけ進み、受信データの位相に近づく。これを繰り返すことで徐々に受信データa4の位相に対してビットタイミング信号a3の位相が合ってくる。

この方法ではビット同期がとれて位相が合うと、回線ノイズに対してはビットタイミングは安定しており、また1ステップ分づつ補正するためタイミング抽出ジッタは1/秒(例では0.16 μ s)である。

〔発明が解決しようとする課題〕

このように従来のカウンタプリセット方式はビット同期抽出時間は短いという長所があるが、回線ノイズに弱く、タイミング抽出ジッタが大きいという欠点がある。

また、従来のDPLL方式は回線ノイズにも強く、タイミング抽出ジッタが小さいという長所があるが、ビット同期確立までの補正分は最悪2.6 μ s(5.2 μ s/2)である。これを0.36 μ s以内のステップで補正していくためビット同期確立時間が長いという欠点があった。例えば、0.16 μ sのステップで補正するとビット同期確立まで16ステップ(2.6 μ s \div 0.16 μ s)の補正が必要である。そのため保護段数を8段とすると128ビット(16ステップ \times 8段)のデータの変化点が必要である。そこで1フレーム(250 μ s)の48ビット中に最小でデータ変化点が4であるため、同期確立時間は最大で8ms(128ビット/4 \times 250 μ s)の時間がかかることになる。

ISDN端末はビット同期抽出回路82により抽出されたビットタイミングを用いて、回線にデータを送出する。データ送出時の規定であるビットタイミング抽出ジッタを $\pm 7\%$ (0.36 μ s)以内を保証するためには、前者では規格を満足できないため、後者のDPLL方式が使われていた。

〔課題を解決するための手段〕

第1図は本発明の原理ブロック図である。同図において、ISDNベーシックユーザ網インタフェースの参照点S/TにおけるISDN回線インタフェースでビット同期のために用いられるビット同期抽出回路が示されており、1は自走信号を発振する発振手段、2は自走信号を分周して所望の周波数のビット同期信号を生成するカウンタ手段、3はカウンタ手段2の出力信号と受信データとの位相比較を行う位相比較手段、4は位相比較手段3の出力に得られる位相差に応じて自走信号のパルス数を増減するパルス調整手段、5は受信データの変化点を検出する変化点検出手段、6は受信データからフレーム同期を検出するフレーム同期検出手段である。フレーム同期検出手段6によりフレーム同期が検出されないときは変化点検出手段5により受信データの変化点で該カウンタ手段2をプリセットしてビット同期の抽出を行い、フレーム同期検出手段6によりフレーム同期が検出されたときは位相比較手段3の出力に得られる位相差に応じて自走信号のパルス数を増減する。

上記フレーム同期検出手段6に代えて、受信信号の後方保護段数2段以下、前方保護段数2段以上の擬似フレーム同期検出手段7を用いてもよい。この場合、擬似フレーム同期検出手段7により擬似フレーム同期が検出さ

れないときは変化点検出手段5により受信データの変化点でカウンタ手段2をプリセットしてビット同期の抽出を行い、疑似フレーム同期検出手段7により疑似フレーム同期が検出されたときは位相比較手段3の出力に得られる位相差に応じて該自走信号のパルス数を増減するようにする。

ビットタイミング抽出ジッタの規定はデータ送出に対する規定である。そこでビット同期のためのDPLLの動作をフレーム同期に依存させて動作させるようにした。

10 このために、ISDNユーザ網インタフェースに接続されるISDN端末からISDN回線へのデータ送出は受信データの同期確立時のみを行い、同期外れ時にはデータ送出は行わないということを利用し、

本発明の一態様によれば、フレーム同期が検出されないときは変化点検出部により受信信号の変化点でカウンタ部をプリセットしてビット同期の抽出を行う機能と、フレーム同期が検出されたときは内部で自走している発振回路から分周して生成する192kHzのビットタイミングと網終端装置NTからの受信信号の位相比較をおこなってその位相差によりビットタイミングの補正をする機能をもち、フレーム同期に依存してビット同期抽出方式を切り換えることを特徴としたビット同期抽出回路が提供され、それにより、ビット同期抽出時間を短縮し、かつフレーム同期確立時は回線ノイズにも強くタイミング抽出ジッタが小さいためデータ送出時の規定であるビットタイミング抽出ジッタを $\pm 7\%$ (0.36 μ s)以内を保証することができるようにしたものである。

また、本発明の他の態様によれば、後方保護段数2段以下、前方保護段数2段以上の疑似フレーム同期回路を有し、疑似フレーム同期が検出されないときは変化点検出部により受信信号の変化点でカウンタ部をプリセットしてビット同期の抽出を行う機能と、疑似フレーム同期が検出されたときは内部で自走している発振回路から分周して生成する192kHzのビットタイミングとNTからの受信信号の位相比較をおこなってその位相差によりビットタイミングの補正をする機能を持ち、疑似フレーム同期に依存してビット同期抽出方式を切り換えることを特徴としたビット同期検出回路が提供され、それにより、ビット同期抽出時間を短縮し、かつ疑似フレーム同期確立とフレーム同期確立の間に1フレーム以上の時間を保証することでフレーム同期確立時は回線ノイズにも強くタイミング抽出ジッタが小さいためデータ送出時の規定であるビットタイミング抽出ジッタを $\pm 7\%$ (0.36 μ s)以内を保証することができるようにしたものである。

〔作用〕

50 本発明によりフレーム同期に依存してビット同期抽出方式を切り換えることにより、ビット同期抽出時間を短縮し、かつフレーム同期確立時は回線ノイズにも強く、タイミング抽出ジッタが小さいためデータ送出時の規定であるビットタイミング抽出ジッタを $\pm 7\%$ (0.36 μ s)

s) 以内を保証することができる。

〔実施例〕

ビットタイミング抽出ジッタの規定はデータ送出に対する規定である。そこでビット同期のためのDPLLの動作をフレーム同期に依存させて動作させるようにした。

ISDNユーザ網インタフェースに接続されるISDN端末においてはISDN回線へのデータ送出は受信データの同期確立時にのみ行い、同期外れ時には送出を行わないということを利用し、

本発明の一実施例によれば、はフレーム同期が検出されないとき(すなわち正常フレーム3回連続受信まで)は変化点検出部により受信信号の変化点でカウンタ部をプリセットしてビット同期の抽出を行う。この時の動作はカウンタプリセット方式と同様である。さらにフレーム同期が検出されたときは内部で自走している発振回路から分周して生成する。

192kHzのビットタイミングとNTからの受信信号の位相比較をおこなってその位相差によりビットタイミングの補正をする。この動作はDPLL方式と同様である。

本発明の他の実施例によれば、フレーム同期について後方保護段数P段($P \geq 2$)、前方保護段数Q段($Q \geq 2$)の擬似フレーム同期検出部を持ち擬似フレーム同期が検出されないとき(すなわち正常フレームP回連続受信まで)は変化点検出部により受信信号の変化点でカウンタ部をプリセットしてビット同期の抽出を行う。この時の動作はカウンタプリセット方式と同様である。さらに擬似フレーム同期が検出されたときは内部で自走している発振回路から分周して生成する192kHzのビットタイミングとNTからの受信信号の位相比較をおこなってその位相差によりビットタイミングの補正をする。この時の動作はDPLL方式と同様である。擬似フレーム同期確立とフレーム同期確立の間に1フレーム以上の時間を保証している。

以下、本発明の実施例を詳細に説明する。

第2図は本発明の実施例によるフレーム依存型ビット同期抽出回路の構成を示すブロック図、第3図は第2図の回路の動作説明図である。

第2図において、フレーム依存型ビット同期抽出回路はISDN端末装置(TE)内のISDN回線インタフェースに含まれており、受信データa4に同期した H_c ($= 192 \times 10^3$) のビットタイミング信号a3を生成するために、自走する H_c ($= \frac{1}{M} \times M \times N; M, N$ は整数: 例として $M = 2, N = 16$ で $= 6.144 \times 10^6$) の信号a1を作成する発振部21と、信号a1を1/Mに分周してさらにパルスの増加と減少を調整するパルス調整部22と、パルス調整部22の出力a2を1/N分周して受信データa4にビット同期がとれたビットタイミング信号a3を作成するカウンタ部23と、受信データa4とカウンタ部23の出力のビットタイミング信号a3との位相を比較してビットタイミングが進んでいるときは進みパルスa5をビットタイミングが遅れていると

きは遅れパルスa6を出力する位相比較部24と、遅れパルスa6が途中で発生することなしに進みパルスa5が続けてL回(例 $L = 8$)発生するとパルス調整部22に対し減少指示信号a7を出力し、進みパルスa5が途中で発生することなしに遅れパルスが続けてL回(例 $L = 8$)発生するとパルス調整部22に対し増加指示信号a8を出力する段数保護部25を備え、更に、受信データa4の変化点を検出して変化点検出パルスa9を出力する変化点検出部26と、受信データからフレーム同期を検出しフレーム同期信号a10を出力するフレーム同期検出部30と、フレーム同期信号a10を反転するインバータ27と、変化点検出部26からの変化点検出パルスa9とインバータ27の出力との論理積をとるANDゲート28とを備えている。

第3図に示すように、第2図の回路は、フレーム同期が確立する前はカウンタプリセットモードで動作し、その後はDPLLモードで動作する。

フレーム同期信号a10がローレベルであるカウンタプリセットモードでは、受信データa4に同期した H_c ($= 192 \times 10^3$) のビットタイミング信号a3を生成するために、発振部21により自走する H_c ($= \frac{1}{M} \times M \times N; M, N$ は整数: 例として $M = 2, N = 16$ で $= 6.144 \times 10^6$) の信号a1を作成し、この信号a1をパルス調整部22により1/Mに分周して信号a2とし、信号a2をカウンタ部23により1/Nに分周する。変化点検出部26は受信信号の変化点を検出して従来同様にクロック信号によりパルスa9を発生させる。このパルスa9はANDゲート28を通過してカウンタ部23に対してプリセットをかける。カウンタ部23はパルスa9の立ち上がりからビット周期の $5.2 \mu s$ をカウントした後に出力を立ち上げる。こうして、受信データにビット同期した H_c のビットタイミング信号が得られる。そのためビット同期が受信データa4の変化点ですぐに確立する。

正常フレームを3回受信してフレーム同期信号a10がハイレベルになると、インバータ27の出力はローレベルとなり、変化点検出パルスa9はANDゲート28を通過しなくなってDPLL(デジタル位同期ループ)モードとなる。この場合、内部で自走している発振部21から分周して生成するビットタイミング信号a3と回線からの受信データa4との位相比較を位相比較部24により行ってその位相差によりビットタイミングの補正をする。より詳細には、受信データa4とカウンタ部23の出力であるビットタイミング信号a3との位相を比較してビットタイミングが進んでいるときは位相比較部24から進みパルスa5が発生する。進みパルスa5が続けてL回(例 $L = 8$)発生するとパルス調整部22に対し減少指示信号a7を出力し、パルス調整部22によりパルスが減少される。そのためカウンタ部23により1/N分周したときにビットタイミングは1ステップ分の $1/秒$ ($= 6.144MHz$ の時 $0.16 \mu s$)だけ遅れ、受信データa4に近づく。これを繰り返すことで徐々に受信データa4に対してビットタイミング信号a3の

位相が合ってくる。

また受信データa4とカウンタ部23の出力のビットタイミング信号a3との位相を比較してビットタイミングが遅れているときは位相比較部24から遅れパルスa6が発生する。遅れパルスa6が続けてL回(例L=8)発生するとパルス調整部22に対し増加指示信号a5を出力し、パルス調整部22によりパルスが増加される。そのためカウンタ部23によりパルス調整部22の出力信号a2を1/N分周したときにビットタイミング信号a3は1ステップ分の1/秒($=6,144\text{MHz}$ の時は $0.16\mu\text{s}$)だけ進み、受信データの位相に近づく。これを繰り返すことで徐々に受信データa4の位相に対してビットタイミング信号a3の位相が合ってくる。

この方法ではビット同期がとれて位相が合うと、回線ノイズに対してはビットタイミングは安定しており、また1ステップ分ずつ補正するためタイミング抽出ジッタは1/秒(例では $0.16\mu\text{s}$)である。

エラーフレームを続けて2回受信するとフレーム同期信号a10がローレベルになり、再びカウンタプリセットモードに戻る。

第2図及び第3図によって説明した上記実施例により、フレーム同期に依存してビット同期抽出方式を切り換えることにより、ビット同期抽出時間を短縮し、かつフレーム同期確立時は回線ノイズにも強く、タイミング抽出ジッタが小さいためデータ送出時の規定であるビットタイミング抽出ジッタを $\pm 7\%$ ($0.36\mu\text{s}$)以内を保証することができる。

第4図は本発明の他の実施例によるフレーム同期依存型ビット同期検出抽出回路の構成を示すブロック図、第5図は第4図の回路の動作説明図である。

第4図において、第2図と異なるところは、第2図においてはフレーム同期信号a10を用いてカウンタプリセットモードとDPLLモードとを切り替えていたのに対し、第4図においては疑似フレーム同期検出部40を用いていることであり、他の構成は第2図と同様であって各構成要素は同一参照番号で示してある。疑似フレーム同期検出部40は、受信データの後方保護段数Pを2段以下、前方保護段数Qを2段以上とした疑似フレームを検出する。すなわち、受信データ中に正常フレームを1又は2個検出すると疑似フレーム同期を検出し、疑似フレームの確立中にエラーフレームを2個以上検出したとき、疑似フレーム同期が外れたとする。実施例では $P=1, Q=2$ としている。したがって、第2図の実施例におけるフレーム同期信号a10は、正常フレームを3回受信したときにハイレベルとなるものであったが、本実施例における疑似フレーム同期信号a11は、正常フレームを1回受

信すると直ちに発生するものである。正常フレームを1回だけ受信しても連続3回受信するまではフレーム同期は確立したとみなされないため、フレームの分解、フレームの組立、及びデータの送信は行われぬが、疑似フレーム同期信号a11がハイレベルになるとカウンタプリセットモードからDPLLモードに移行する。そして、エラーフレームを続けて2回受信するとDPLLモードからカウンタプリセットモードに戻る。DPLLモードに一早く移行するので、第一の実施例と比較して、DPLLモードの時間が長く、このため安定にデータの送信が行われる。

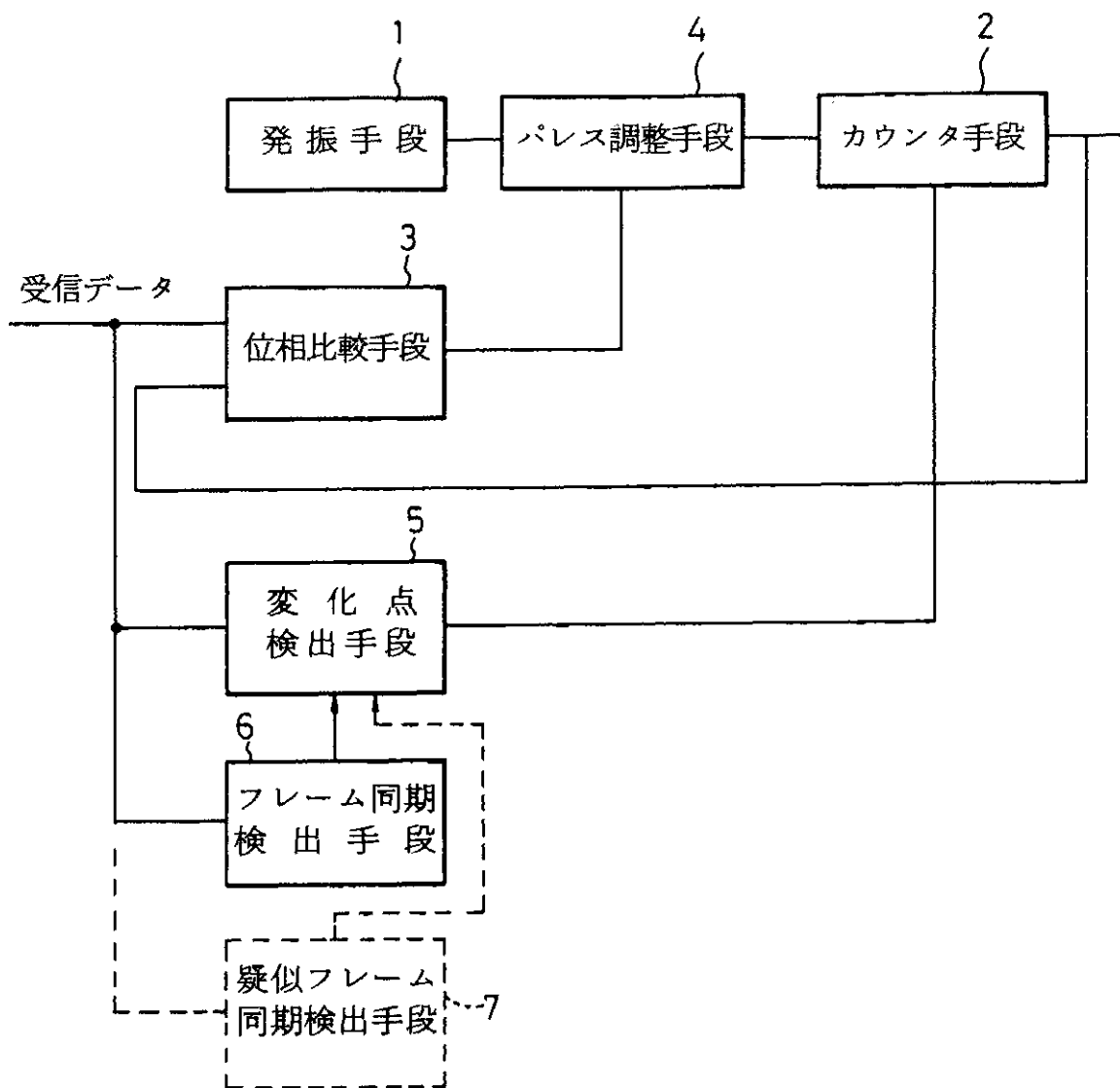
〔発明の効果〕

以上の説明から明らかなように、本発明によりフレーム同期に依存してビット同期抽出方式とDPLL方式とを切り換えることにより、ビット同期抽出時間を短縮し、かつフレーム同期確立時は回線ノイズにも強く、タイミング抽出ジッタが小さいためデータ送出時の規定であるビットタイミング抽出ジッタを $\pm 7\%$ ($0.36\mu\text{s}$)以内を保証することができる。

【図面の簡単な説明】

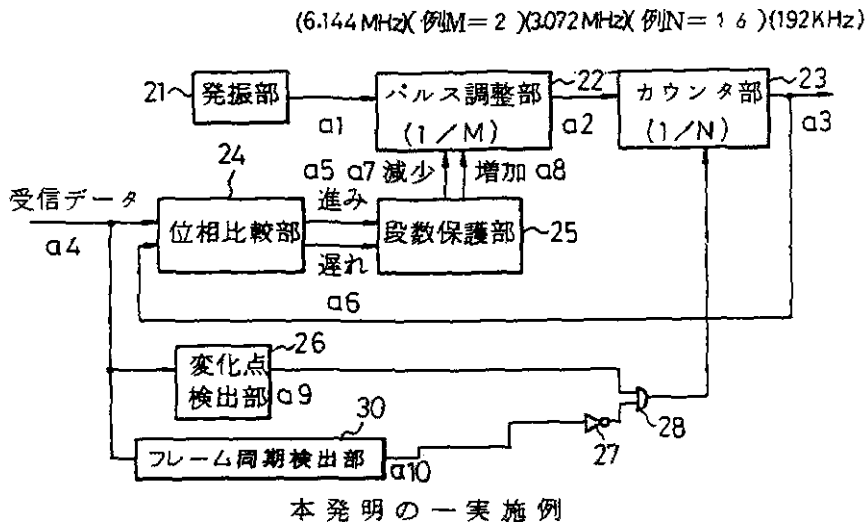
- 第1図は本発明の原理ブロック図、
 - 第2図は本発明の一実施例の説明図、
 - 第3図は第2図の回路の動作説明図、
 - 第4図は本発明の他の実施例の説明図、
 - 第5図は第4図の回路の動作説明図、
 - 第6図は本発明の産業上の利用分野におけるシステム構成を示すブロック図、
 - 第7図は本発明の産業上の利用分野のISDN網におけるデータのフレーム構成図、
 - 第8図は本発明の背景であるISDN回線インタフェースの構成を示すブロック図、
 - 第9図は第8図の装置の動作説明図、
 - 第10図は従来のビット同期抽出部の一例を示すブロック図、
 - 第11図は第10図の装置の動作説明図、
 - 第12図は従来のビット同期抽出部の他の一例を示すブロック図、
 - 第13図及び第14図は第12図の装置の動作説明図である。
- 図において、
- 1 発振手段、
 - 2 カウンタ手段、
 - 3 位相比較手段、
 - 4 パルス調整手段、
 - 5 変化点検出手段、
 - 6 フレーム同期検出手段、
 - 7 疑似フレーム同期検出手段である。

【第1図】

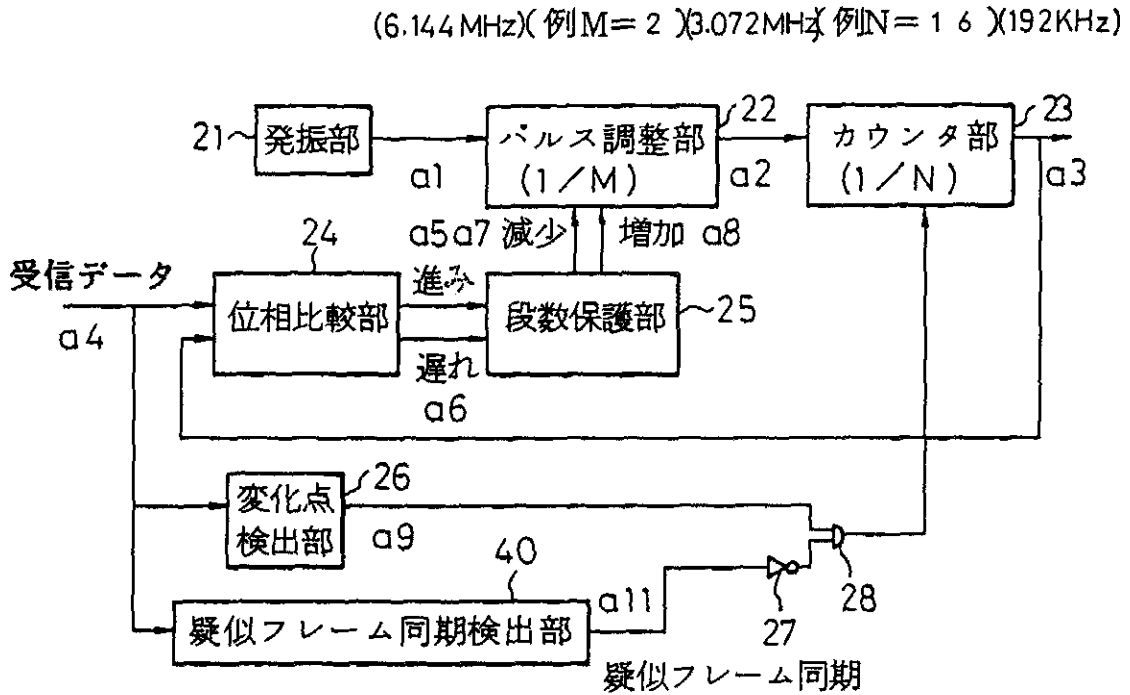


本発明の原理ブロック図

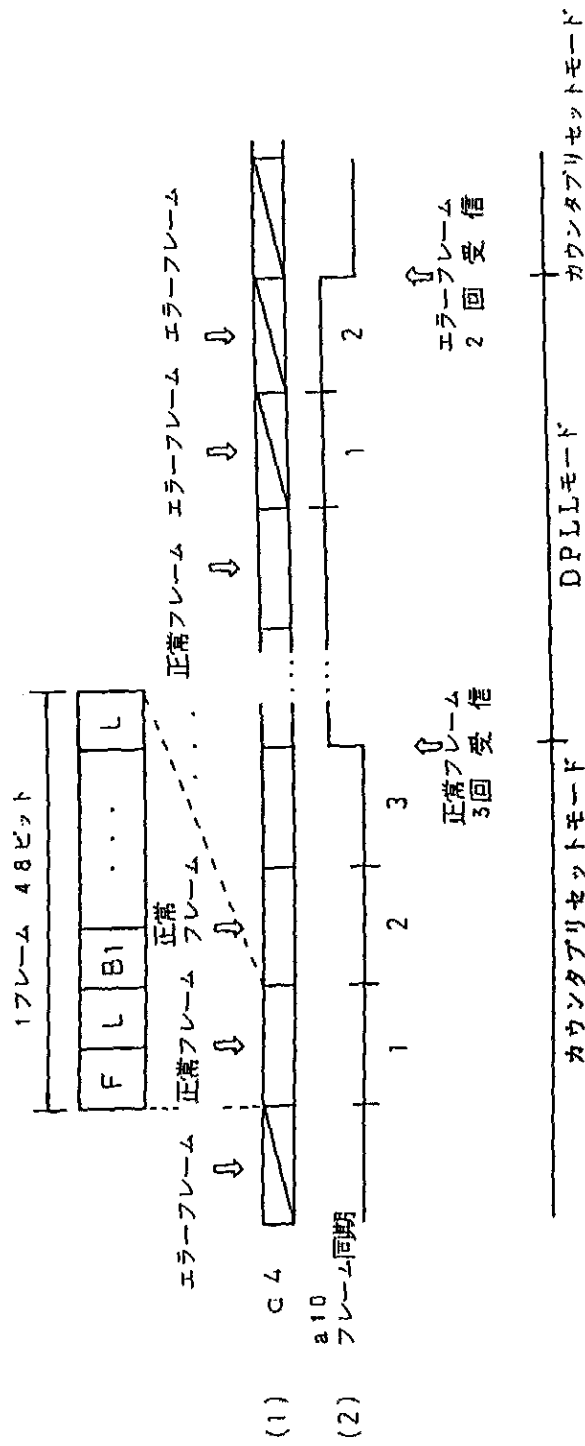
【第 2 図】



【第 4 図】

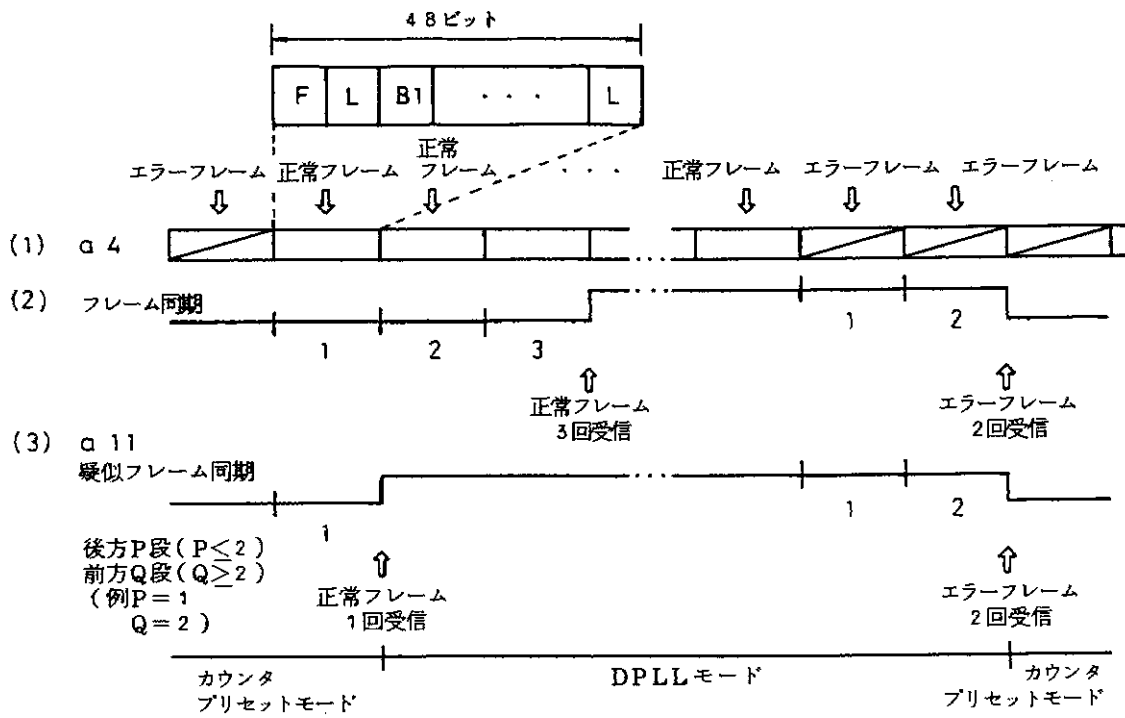


【第3図】



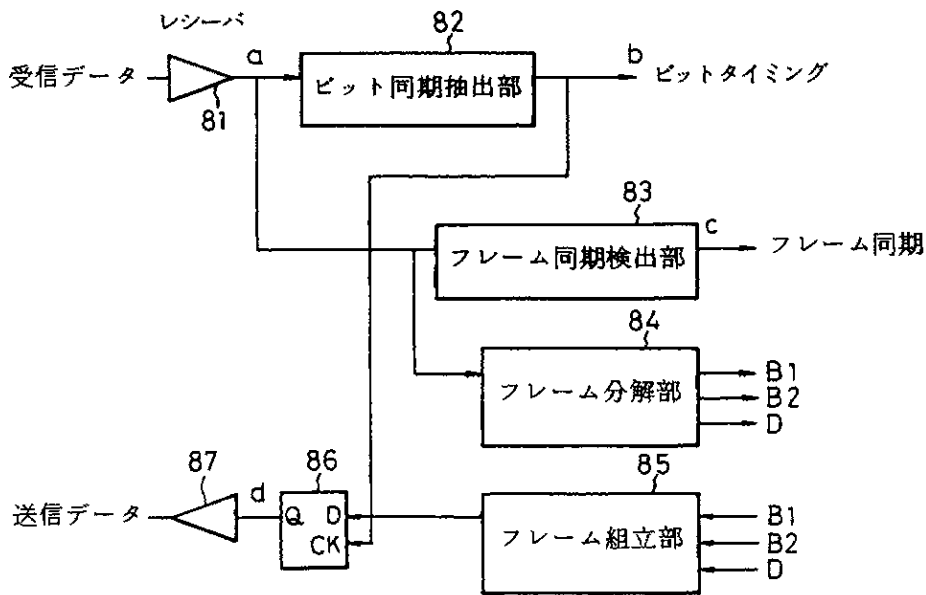
第2図の回路の動作説明図

【第 5 図】



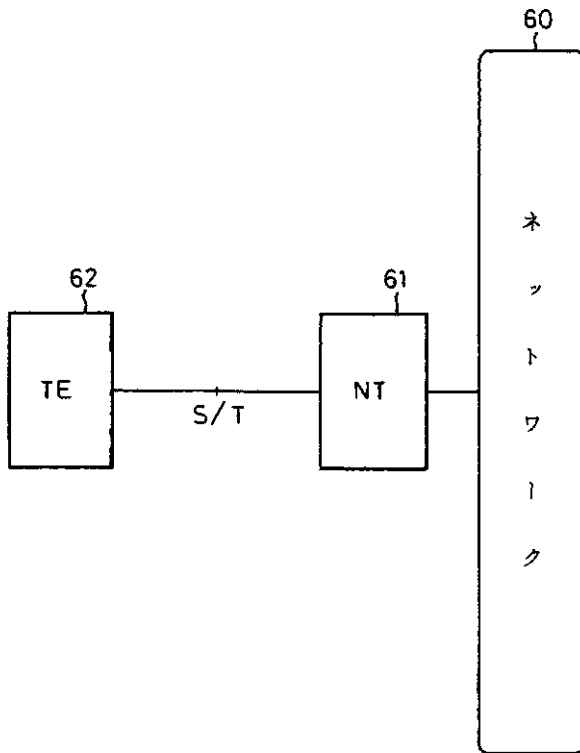
第 4 図の装置の動作説明図

【第 8 図】



本発明の背景である I SDN 回線インタフェースの構成

【第 6 図】

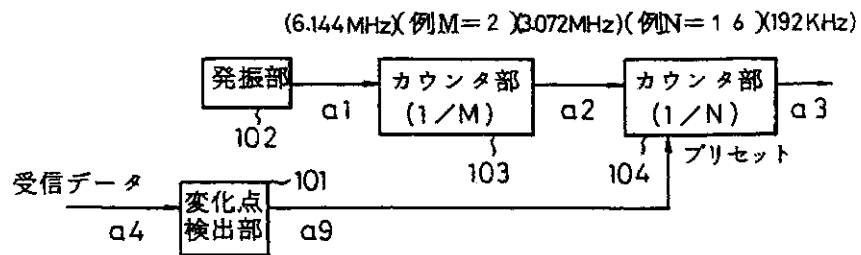


本発明の産業上の利用分野におけるシステム構成

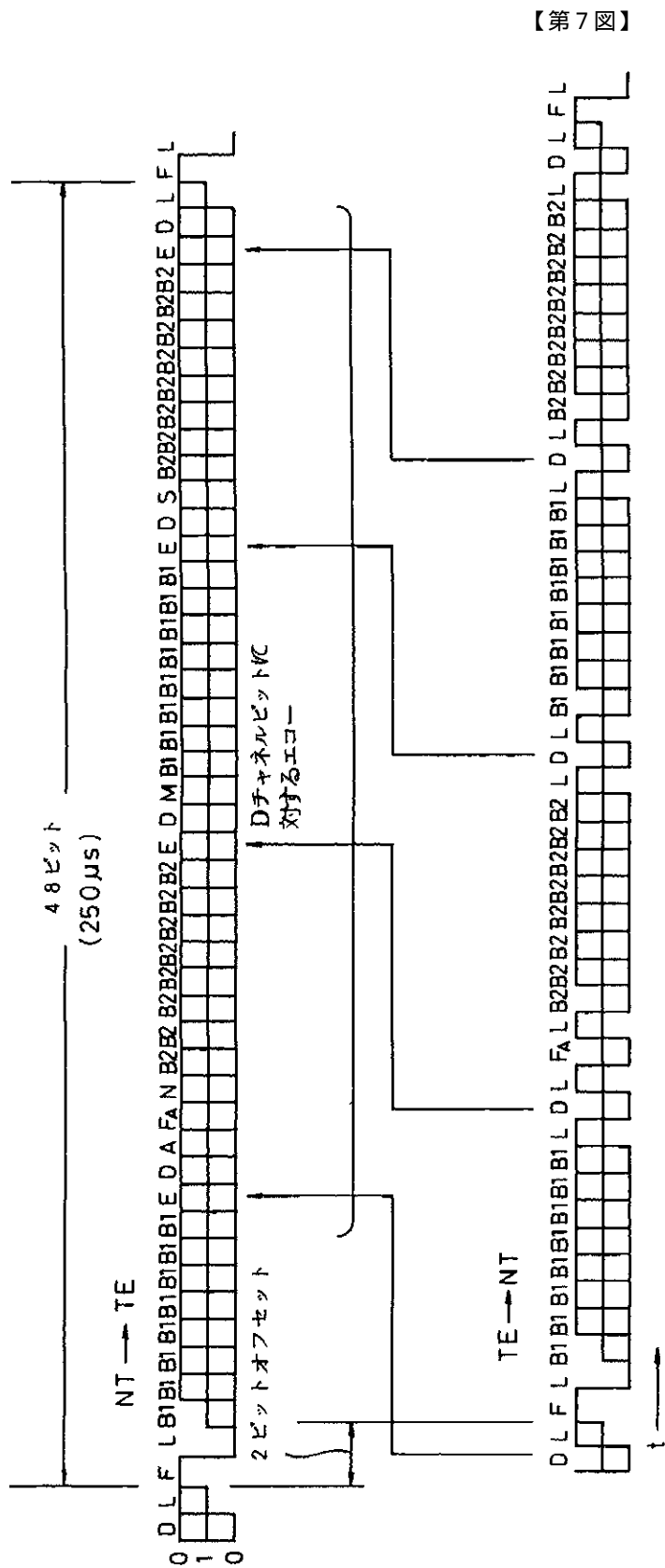
NT…網終端装置
 TE…ISDN端末装置

【第 1 0 図】

カウンタプリセット方式



従来のビット同期抽出部の一例

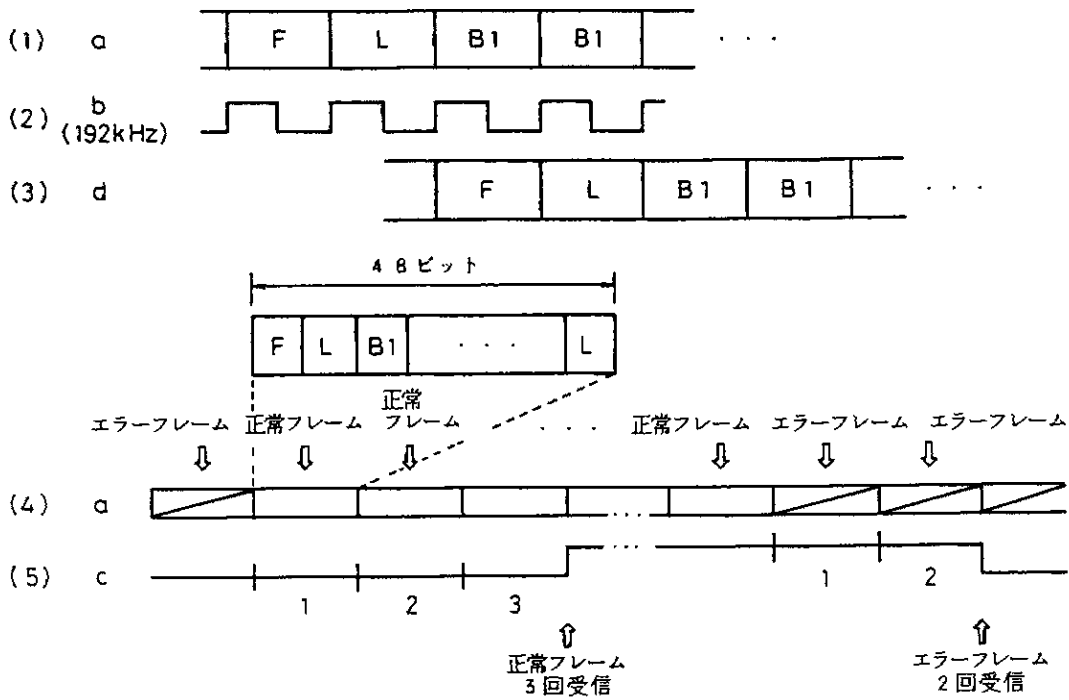


【 図 7 番 】

本発明の産業上の利用分野のISDN網におけるデータのフレーム構成

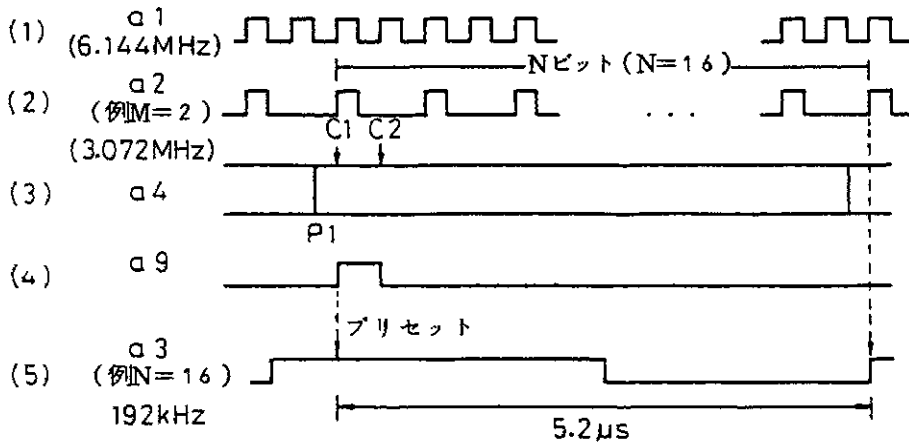
- F ... フレームビット
- L ... 直流平衡ビット
- D ... Dチャネルビット
- E ... Dエコーチャネルビット
- FA ... 補助フレームビット
- N ... 2進数でN=FAにセットしたビット
- B1 ... Bチャネル1内のビット
- B2 ... Bチャネル2内のビット
- A ... 起動に使用するビット
- S ... Sビット
- M ... マルチフレームビット

【第 9 図】



第 8 図の装置の動作説明図

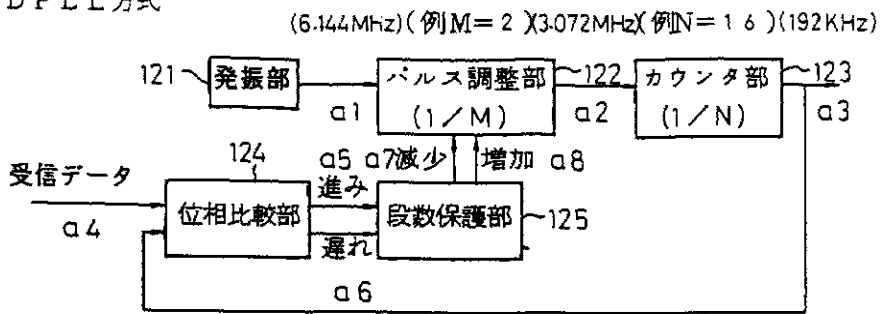
【第 11 図】



第 10 図の装置の動作説明図

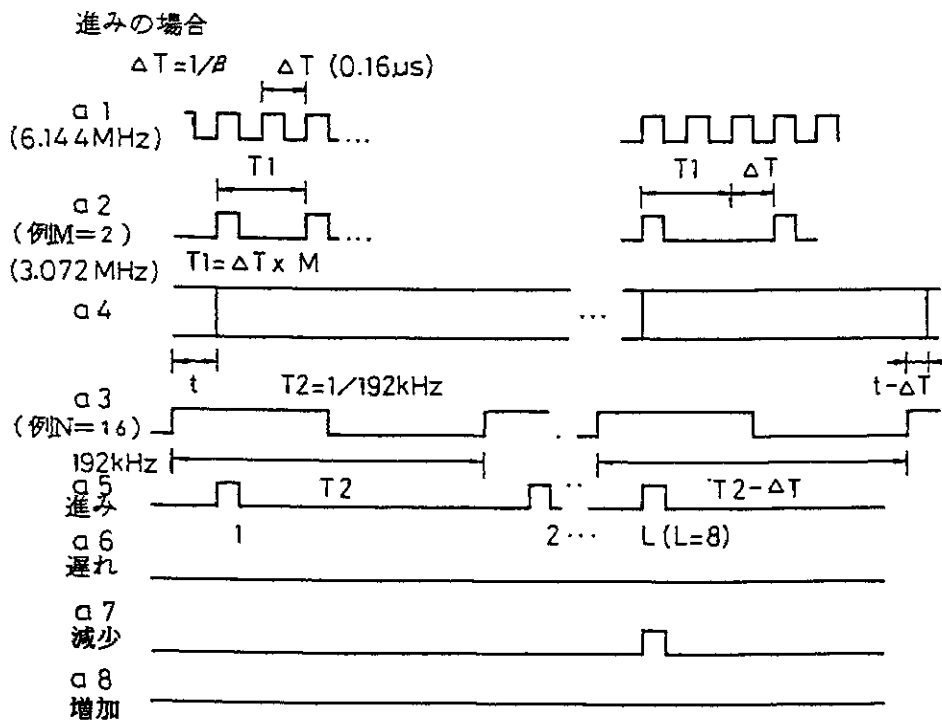
【第 1 2 図】

DPLL方式



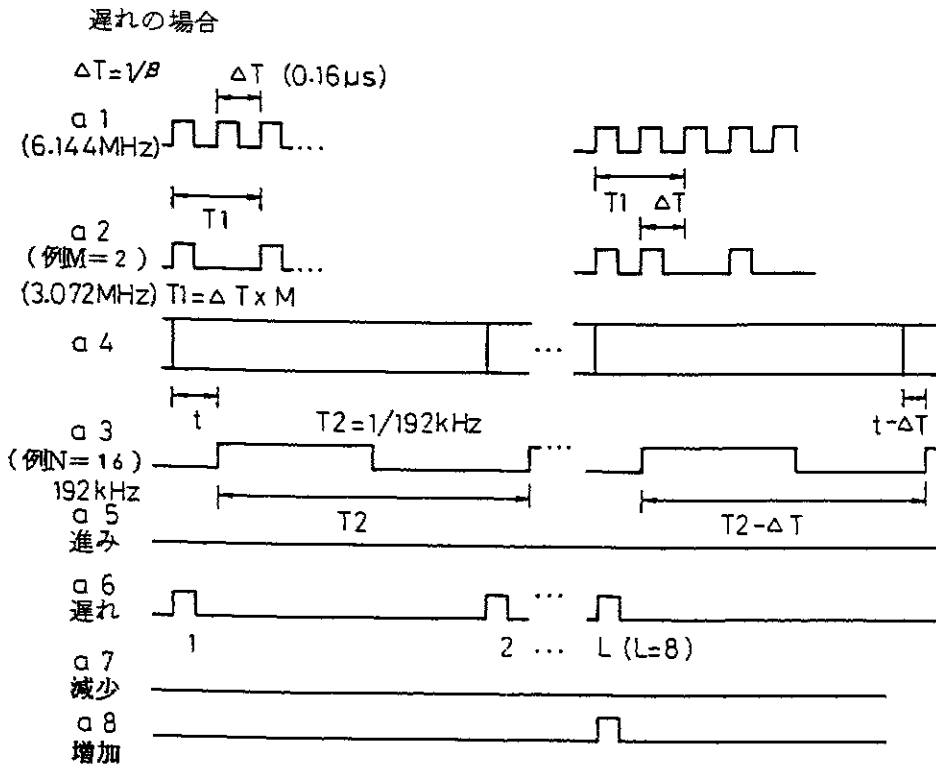
従来のビット同期抽出部の他の一例

【第 1 3 図】



第 1 2 図の装置の動作説明図

【第 1 4 図】



第 1 2 図の装置の動作説明図