

ISDNベーシックユーザ網インタフェース におけるデジタル電話機の試作

The digital telephone
with ISDN user-network interface

中山 幹夫
M. NAKAYAMA
(株) 富士通
FUJITSU Ltd.

深沢 英夫
H. FUKASAWA
(株) 富士通
FUJITSU Ltd.

浜田 道博
M. HAMADA
(株) 富士通
FUJITSU Ltd.

Abstract The digital telephone, with capability of connection in point-to-multipoint configuration, based on the recommendation of ISDN (Integrated Services Digital Network) by CCITT in Oct. 1984 was studied. The configuration of the the digital telephone, the driver, the receiver and the LSI for the layer 1 with ISDN user-network interface are described in this paper.

1. はじめに

現在では電話は社会生活に不可欠な存在となっている。公衆電話網はアナログ信号による通信手段として重要な役割を果たしている。一方、情報社会の発達に伴いデジタル信号によるデータやイメージの伝達への必要性が高まり、テレックス網、DDX網、FAX網など電話以外の網が急速に発展しつつある。

そこで、1984年10月にCCITT(国際電信電話諮問委員会)は統合サービスデジタル網(ISDN; Integrated Services Digital Network)に関し、利用者と網の間におけるベーシックユーザ網インタフェースについてのIシリーズ勧告を提出した。

現在、各国でISDNの研究開発が進められている。

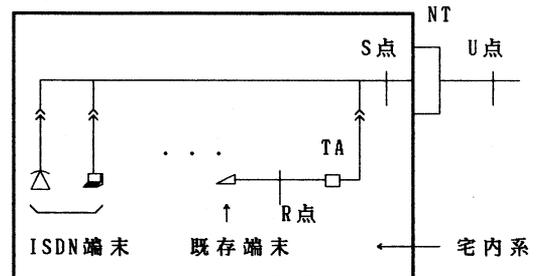
本稿ではデジタル電話機試作にあたっての検討、実現方法、並びに評価について述べる。

2. 開発目的

統合サービスデジタル網(ISDN)は端末内でアナログ信号の音声波形を64Kビット/秒のデジタル信号に変換し、データやイメージのデジタル信号と同じレベルにすることで、音声/データ/イメージの統合が可能となり、

その結果、多様な通信網は一つに統合される。

したがって、将来の家庭やオフィスの中はアナログ電話線の代わりに192 Kビット/秒の高速なデジタル加入者線(DSL; Digital Subscriber Line)で置き換えられ、利用者は宅内に張りめぐらされた情報コンセントに多様な端末を自由に抜き差しすることができるようになる。宅内における端末の接続形態の例を図1-1に示す。



NT: 回線終端

TA: ターミナルアダプタ

図1-1 ISDNにおける端末の接続形態

上図において、NTは回線系と宅内系の分岐点であり回線終端と呼ばれている。NTと網の間はU点と称され、NTと端末の間はベ

3. 2 構成

デジタル電話機のブロック図を図3-2に示す。CPUは80C88を用いている。スイッチ部(SW)ではCODECやFAX、V.24端末へのBチャンネルの信号の切り替えを行う。4ビットマイコンを用いてキースキャン、各種トーン(DT, BT, RBT, ICT; 呼出音)の生成と、LEDの点滅のタイミング作成を行って小型化を図った。Dチャンネルの分解/組立にMPSCを用い、CPUの負担を減らすためにDMACを用いた。PTMとPICは、それぞれタイマと割り込みのICである。マルチポイント接続では同一回線に8台まで端末の接続がされるため、CCITTに準拠したドライバとレシーバの設計をした。フレーム分解/組立、Dチャンネルアクセスコントロール、レイヤ1状態制御等のレイヤ1部はLSI化を行った。

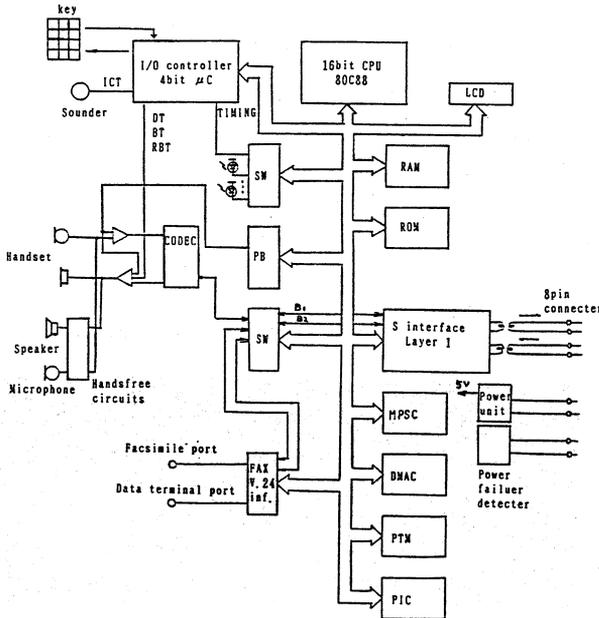


図3-2 ブロック図

3. 3 ドライバ

信号形式は直流成分をなくすためAMI信号である。AMI信号のデューティ比は、マルチポイント接続した時にショートバス形式では各端末に対するラウンドトリップ遅延の差が1/2位相近くなるため、NT側ではDPLLによる位相抽出が不可能になり3/4位相でサンプリングをすることも考慮して100%デューティになっている。図3-1-1に信号の例を示す。

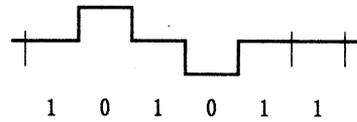


図3-1-1 AMIデューティ100%

マルチポイント接続を考慮したドライバの設計にあたって以下の点が要求される。

- (1) バス上の複数の端末が出力パルスを出した場合はレベル変化を小さくするためにローインピーダンスでドライブすること。
- (2) 信号を出力していない時は他端末の出力パルスへの影響を減らすためハイインピーダンスであること。
- (3) 5V単一電源で動作すること。
- (4) CMOS出力で制御できて、かつ立ち上がり立ち下がりに関するパルスマスクに入る条件を満たすこと。

はじめに(1)の条件について考察をする。バス上の複数の端末が同時にパルスを出すと、一般にパルスのレベルは大きくなる。パルス出力時のインピーダンスZ, ドライブ電圧Vとしてみる。無信号時ハイインピーダンスなら、図3-3-2に示されているように、1台の端末がパルス出力時のパルスレベルが $V \times 50 / (Z + 50)$ に対して、8台の端末が同時にパルスを出すと出力インピーダンスは実質1/8になるためパルスレベルは $V \times 50 / (Z / 8 + 50) = V \times 400 / (Z + 400)$ になる。そこで、勧告では8台の端末が同時にパルスを出す状態の規定の代わりに、それと電気的に同等な条件として1台の端末に8倍の負荷インピーダンス、すなわち400Ω負荷時の規定をしている。

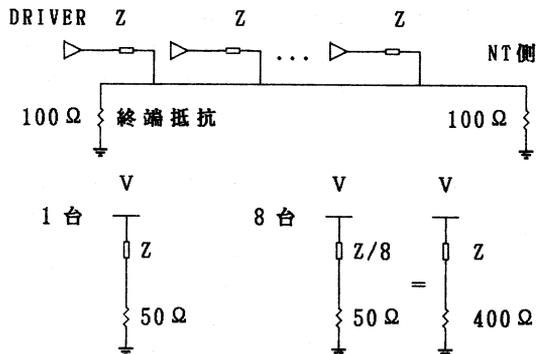


図3-3-2 バス接続の等価回路

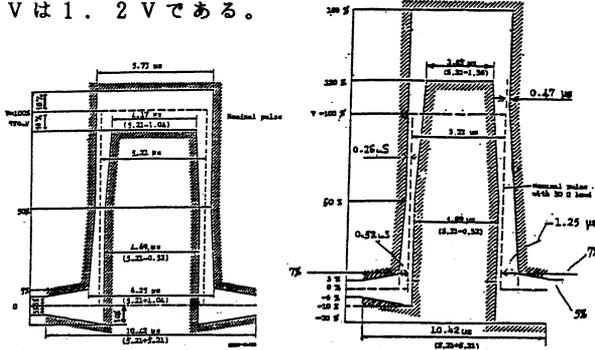
ドライバは、50Ω負荷でパルスレベルが750mV±75mV、400Ω負荷でパルスレベルが1050mV±150mVと規定されている。パルスマスクを図3-3-3に示す。

Typ値で考えると下式から

$$750\text{ mV} = V \times 50 / (Z + 50)$$

$$1050\text{ mV} = V \times 400 / (Z + 400)$$

出力インピーダンスZは24Ω、ドライブ電圧Vは1.2Vである。



50Ω負荷時 400Ω負荷時

図3-3-3 パルスマスク

次に(2)の条件について検討する。信号を出力していない時ハイインピーダンスにするには、ドライバが無信号時オープンになる事と、その状態でトランス自身のインダクタンスが十分高い事が必要である。図3-3-7のインピーダンスマスクから、低域での条件からインダクタンスは20mH以上、高域での条件から浮遊容量は500pF程度以下が望ましい。

しかしこのようなインダクタンスの高いトランスを小型に作ると直流抵抗が高くなり(1)の条件と相反する。またトランスが大型になれば浮遊容量が大きくなり高域での条件が満たせない。そこで(3)の単一5Vでの動作という条件も考慮すると巻線比4:1のトランスが適当と考えられる。1次側に直流抵抗約400Ωを接続し、5Vでドライブすることで出力インピーダンス $Z = 24\Omega = 400\Omega / 4^2$ 、ドライブ電圧 $V = 1.2V = 5V / 4$ が満たされる。

以上の条件と上下パルスの対称性を考慮したトランスを作成した。トランスの仕様を表3-3-4に示す。

表3-3-4 ISDNドライバトランス仕様

巻線比	4 : 1
インダクタンス	30 mH
浮遊容量	400 pF
直流抵抗	1次側 3Ω 2次側 12Ω

次に(4)の条件について検討する。端末は低消費電力化のためロジック部はCMOSで組む。そのためドライバはCMOSで直接に制御でき、かつ立ち上がり立ち下がりに関する制限を満たす必要がある。それには1段目をCMOS形式のFETで組む形式が適している。

以上の様な検討を行い、図3-3-5に示すドライバを試作した。出力パルスを図3-3-6に示し、インピーダンスを図3-3-7に示す。いずれも勧告を満たしている。

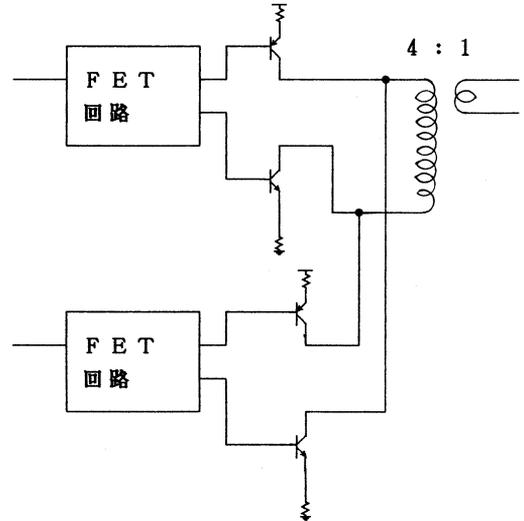
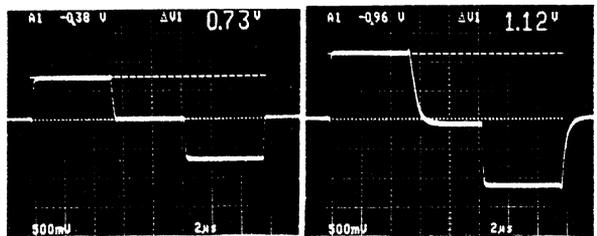


図3-3-5 ドライバ回路



50Ω負荷時 400Ω負荷時

図3-3-6 出力パルス

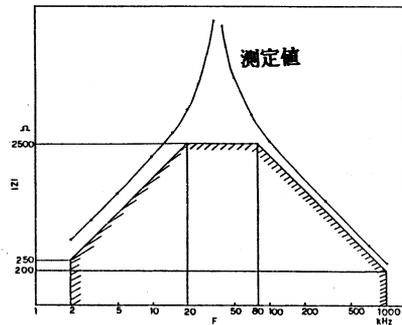


図3-3-7 無信号時インピーダンス

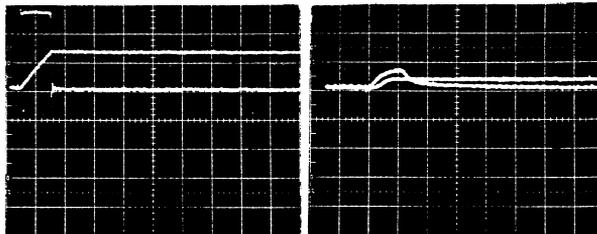
3. 4 レシーバ

レシーバはドライバとインピーダンスマスクが同じなので同一のトランスが使用可能である。レシーバに要求される項目を以下にあげる。

- (1) 伝送ロスがポイント-ポイントでMAX 6 dB (0.6φ, 1 km) であるため、オートスレッシュホールド特性を有すること。
- (2) ヒステリシスをもつこと。
- (3) 常時ハイインピーダンスであること。
- (4) 5 V単一電源で動作すること。

スレッシュホールド値はピーク値の50%とし、ワンパルスでのピークホールドを可能とした。放電による電圧降下は1フレーム(48ビット)で5%以下とし、放電の時定数を5 mS程度とした。

図3-4-1に損失なしと擬似線路2.5 kmでの受信パルスとオートスレッシュホールド値の様子を示す。接続形態は図3-4-2に示す。6 dBロスで十分に動作することが確認された。



5 μs/div 0.5V/div 5 μs/div 0.5V/div
無損失 2.5 km

図3-4-1 レシーバ入力とスレッシュホールド値

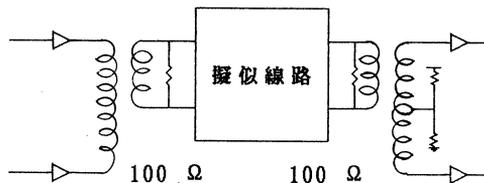


図3-4-2 接続形態

3. 5 レイヤ1

レイヤ1ロジック部では、NRZ/AMI変換、DPLLによるビット同期抽出、バイオレーションによる同期確立のほか、Dチャンネルアクセス、レイヤ1の状態管理によるinfo 0~4の送受信、レイヤ1とレイヤ2及びマネージメントエンティティ間のプリミティブのやりとり等をおこなっている。

レイヤ1のロジック部の仕様を表3-5-1

に示す。

表3-5-1 レイヤ1のロジック部の仕様

フレーム構成	
信号形式	100%AMI
ビットレート	192kビット/秒
フレーム構成	B+B+D
ビット同期	DPLL
フレーム同期	violationによる 後方3段 前方2段
PLL遅延	0.4 μs
送信遅延	7.8 μs
D/R遅延	2.2 μs
TOTAL 2位相	
Dチャンネルアクセスコントロール	
Eチャンネルモニタ	Xカウンタ
優先制御	X=8/9 X=10/11
衝突検出	EとDビットの比較
プリミティブコントロール	
状態制御	F1~F8
アクティブ	PH-AR, PH-AI
ディアクティブ	PH-DI
マネージメント	MPH-ES, MPH-EI
S点の信号形式	info 0 ~ info 4

プリミティブインタフェースの表現を表3-5-2、表3-5-3に示す。レイヤ1へのプリミティブであるPH-ARとMPH-ESは各ビットで表現し、レイヤ1からのプリミティブであるPH-AI、PH-DI及びMPH-EIを表現するために状態F1~F8を縮退させ、仮にここでstatus bitsと呼ぶa,d,eを用いた。すべてのstatus bitsの変化点(dビットの1→0の除く)で上位レイヤへの割込みを発生し、status bitsの変化の組合せで各プリミティブは表現される。

表3-5-2 プリミティブ表現

	PH-AI	PH-DI	検出 MPH-EI 復旧				PH-AR
			*I2	*LF	*I0/I2	*I4	
a	0→1	x	1→0	1→1	1→0	1→1	MPH-ES
d	x	0→1	0→0	0→0	x	0→0	
e	0→0	x	0→0	0→1	1→0	1→0	

*; エラーの原因, I; info, LF; 同期はずれ

表 3-5-3 status bits

	F1	F2	F3	F4	F5	F6	F7	F8
a	0			0			1	1
d	1			0			0	0
e	0			0			0	1

以上の様な機能を、今回の試作においてマスタースライスによるLSI化をした。

LSIの概要を表3-5-4に示し、ブロック図を図3-5-5に示す。

表 3-5-4 レイヤ1 LSI 概要

プロセス	CMOSゲートアレイ
ピン数	42ピン DIP
ゲート数	2600ゲート
基本クロック	9.216MHz
電源	5V

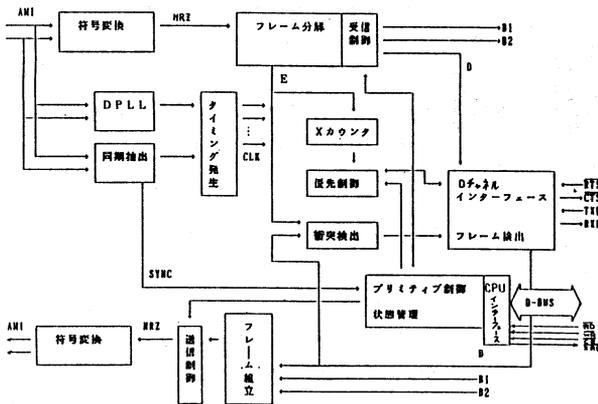


図 3-5-5 レイヤ1ブロック図

4. 評価

以上の検討に基づいてデジタル電話機を試作した。消費電力はTotalで3.5W、停電時には非電話の回路部を切り離すことで電話機能のみにし、DMACとMPSCを除き320mWで動作可能であった。

また、形状は27cm×21cm×6cmと比較的コンパクトなサイズになった。

5. まとめ

以上、本論文では試作にあたってのCCITT-Iシリーズ勧告の検討、デジタル電話機の機能と構成の概要、ドライバとレシーバを含めたレイヤ1の勧告に対する考察と実現方法について述べた。現在、デジタル電話機に対する詳細な評価を進めており、さらに端末の小型化やDチャンネルパケットの実現等のISDNの可能性を生かした端末について検討を進めて行く予定である。

なおデジタル電話機とレイヤ1のLSIの外観を図5-1、図5-2にそれぞれ示す。

最後に、本検討を進める上で日頃御指導下さっている関係各位に感謝致します。

<参考文献>

- (1) CCITT Iシリーズ勧告, '84.10
- (2) 中山他, "ISDN宅内端末装置の構成", 59年春, 電子通信学会総合全国大会 2697
- (3) 中山他, "ISDN端末におけるプリミティブインタフェースの検討", 59年秋, 電子通信学会総合全国大会 778
- (4) 中谷他, "ISDN宅内端末装置における各種サービストーンの生成", 59年秋, 電子通信学会総合全国大会 779



図 5-1 DTELの外観

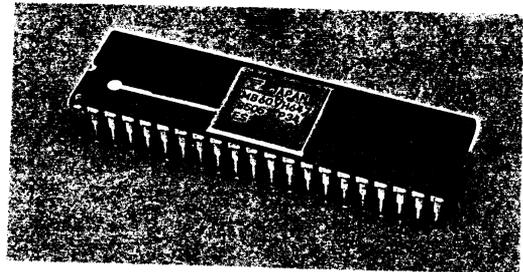


図 5-2 レイヤ1LSIの外観