

⑫ 公開特許公報(A)

平2-171050

⑮ Int. Cl.⁵H 04 L 7/00
7/02

識別記号

G

庁内整理番号

6914-5K

⑬ 公開 平成2年(1990)7月2日

6914-5K H 04 L 7/02

Z

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 ISDNインタフェース回路

⑰ 特 願 昭63-324813

⑱ 出 願 昭63(1988)12月24日

⑲ 発 明 者 中 山 幹 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 佐 野 好 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 柏谷 昭司 外1名

明 細 書

1 発明の名称

ISDNインタフェース回路

2 特許請求の範囲

レシーバ(1)と、該レシーバ(1)による受信信号からクロック信号を抽出するクロック抽出部(2)と、該クロック抽出部(2)により抽出したクロック信号を基に送信するドライバ(3)とを有するインタフェース参照点S/Tに於けるISDNインタフェース回路に於いて、

前記クロック抽出部(2)により抽出した前記クロック信号の位相を段階的にシフトする位相シフト回路(4)と、

前記レシーバ(1)及びドライバ(3)の遅延時間を補償するように前記位相シフト回路(4)により位相シフトされたクロック信号を選択して前記ドライバ(3)に加えるセレクタ(5)とを設けた

ことを特徴とするISDNインタフェース回路。

3 発明の詳細な説明

(概要)

ISDNベーシックユーザ網インタフェース参照点S/Tに於けるISDNインタフェース回路に関し、

レシーバ及びドライバの遅延時間を補償して、送受信タイミングの偏差を規格内に納めることを目的とし、

レシーバと、該レシーバによる受信信号からクロック信号を抽出するクロック抽出部と、該クロック抽出部により抽出したクロック信号を基に送信するドライバとを有するインタフェース参照点S/Tに於けるISDNインタフェース回路に於いて、前記クロック抽出部により抽出した前記クロック信号の位相を段階的にシフトする位相シフト回路と、前記レシーバ及びドライバの遅延時間を補償するように前記位相シフト回路により位相シフトされたクロック信号を選択して前記ドライバに加えるセレクタとを設けて構成した。

〔産業上の利用分野〕

本発明は、ISDNベーシックユーザ網インタフェース参照点S/Tに於けるISDNインタフェース回路に関するものである。

ISDN(統合サービス・デジタル網)に於いて、ベーシックユーザ網インタフェース参照点S/Tに於ける受信フレームと送信フレームとのタイミングの許容範囲が規格化されており、この規格を満たすように、インタフェース回路を構成する必要がある。

〔従来の技術〕

ISDNベーシックユーザ網インタフェースに於いては、64Kb/sのBチャンネルを2個と、16Kb/sのDチャンネルを1個とを用いた2B+D構成が用いられている。

第4図はインタフェース参照点説明図であり、ネットワーク31はISDN交換機等を含み、伝送路40~42を介してそれぞれ網終端装置(NT1)32, 35, 37が接続され、網終端装置32と構内交換機等に相当する網終端装置(NT

2)33との間のインタフェース参照点をT、網終端装置33とISDN端末装置(TE1)34との間のインタフェース参照点をSとするものである。又網終端装置35にISDN端末装置(TE1)36が接続されている場合は、同じインタフェース参照点S, Tとなるから、S/Tで表される。

又既存端末装置(TE2)39は、端末アダプタ(TA)38を介して網終端装置37に接続されるもので、この場合の網終端装置37と端末アダプタ38との間のインタフェース参照点はS/T、端末アダプタ38と既存端末装置39との間のインタフェース参照点はRで表される。

第5図はインタフェース参照点S/Tに於けるフレーム構成説明図であり、1フレームは48ビット(250 μ s)により構成され、網終端装置NTから端末装置TE方向には、NT \rightarrow TEで示す構成で伝送され、端末装置TEから網終端装置NT方向にはTE \rightarrow NTで示す構成で伝送され、19.2KHzのクロック信号が用いられている。

又送受信フレームは2ビットのオフセットを有し、“1”を0、“0”を正負極性のパルスとしたバイポーラ信号により伝送されるもので、DはDチャンネルビット、Lは直流平衡ビット、Fはフレーミングビット、B1はBチャンネル1のデータビット、B2はBチャンネル2のデータビット、Aは起動に使用されるビット、F_Aは補助フレームビット、Nは補助フレームビット(F_Aの2進補数)、EはDチャンネルエコービット、Sは予備ビット、Mはマルチフレーミングビットである。

網終端装置NTに送信2本、受信2本の4線式のバスを介して複数の端末装置TEが接続され、インタフェース参照点S/Tに於いては、2ビットオフセットが規定されており、その偏差 Δ として-0.4 μ s~+0.8 μ sの範囲が許容されている為に、送信遅延を1.5ビット(7.8 μ s)とし、残りの0.5ビット(2.6 μ s)を偏差 Δ の範囲でレシーバ51とドライバ53とによる遅延を用いるものである。

又前述のフレーム構成に於いて、自端末装置が

送信した場合、DチャンネルビットDを保持しておき、網終端装置NTからこのDチャンネルビットDが返送されてエコービットEとなるから、このエコービットEと比較し、一致する場合は他の端末装置が送信していない場合であり、又不一致の場合は他の端末装置が送信して衝突が発生した場合であるから、送信を一旦停止するものである。

端末装置TEに於けるインタフェース回路は、従来、例えば、第6図に示す構成を有するものであり、51はレシーバ、52はクロック抽出部、53はドライバ、54はフリップフロップ、55はインバータ、56はフレーム分解部、57はフレーム組立部である。又第7図は動作説明図であり、(a)はクロック抽出部52により抽出したクロック信号、(b)は受信データ、(c)はレシーバ出力データ、(d)はドライバ入力データ、(e)は送信データを示す。又 Δt_{PLL} はクロック抽出部52に於けるDPLL(デジタル位同期ループ)回路による遅延時間、 t_1 は1.5ビット(7.8 μ s)分の遅延時間、 Δt_R はレシーバ51の遅延時間、

Δt_0 はドライバ53の遅延時間、 Δt_{DR} はドライバ53の遅延時間とレシーバ51の遅延時間との和を示す。

レシーバ51に加えらるる受信データを(b)とすると、レシーバ51の遅延時間 Δt_R 後に(c)に示すようにデータが出力される。このレシーバ出力データは、クロック抽出部52とフレーム分解部56とに加えられ、クロック抽出部52に於けるDPLL回路等による遅延時間 Δt_{PLL} 後に、(a)に示すクロック信号が抽出される。従って、クロック信号は、受信データから $\Delta t_R + \Delta t_{PLL}$ 後に出力される。

このクロック信号はインバータ55を介してフリップフロップ54のクロック端子Cに加えらるる。又フレーム組立部57からのデータがフリップフロップ54のデータ端子Dに加えられ、出力端子Qからドライバ53に(d)に示すデータが加えられ、そのドライバ53の遅延時間 Δt_0 後に(e)に示すデータが出力される。従って、受信データから $t_1 + \Delta t_{DR} + \Delta t_{PLL}$ の時間後に送信デー

タがドライバ53から出力されることになる。

受信フレームから送信フレームまでのタイミングは、前述のように、2ビット(10.4 μ s)に規定されており、その偏差 Δ として、 -0.4μ s \sim $+0.8\mu$ sの範囲が許容されている。その為、2ビット分の中の1ビット分(5.2 μ s)をフレーム組立部57により与え、0.5ビット分(2.6 μ s)を、インバータ55によるクロック信号の反転によりフリップフロップ54により与えているものであり、残りの0.5ビット分(2.6 μ s)と偏差 Δ とを、レシーバ51とドライバ53との遅延時間とDPLL回路による遅延時間により与えるものである。

(発明が解決しようとする課題)

前述のように、ISDNインタフェース回路に於いては、受信フレームから送信フレームまでのタイミングを2ビットとなるように規定され、又その偏差 Δ は -0.4μ s \sim $+0.8\mu$ sに規定されている。又1.5ビット分の遅延時間はクロック信号の遅延により、0.5ビット分はレシーバ51と

ドライバ53との遅延時間とDPLL回路による遅延時間とにより与えることになるが、0.5ビット分(2.6 μ s)について偏差 Δ (-0.4μ s \sim $+0.8\mu$ s)内に納まるように、レシーバ51とドライバ53とを設計しなければならない。従って、比較的大きい遅延時間を与えると共に、僅かな偏差 Δ 内に納めるように設計することは容易でなく、又高速動作のレシーバ51やドライバ53は遅延時間が非常に小さいことから使用できないものであった。

本発明は、レシーバ及びドライバの遅延時間を補償して、送受信タイミングの偏差を規格内に納めることを目的とするものである。

(課題を解決するための手段)

本発明のISDNインタフェース回路は、位相シフト回路によりクロック位相を調整することにより、受信フレームと送信フレームとの間のタイミングの関係を偏差内に納めるものであり、第1図を参照して説明する。

レシーバ1により受信した信号がフレーム分解

部6とクロック抽出部2とに加えられ、フレーム組立部7からフリップフロップ8を介してデータがドライバ3に加えられ、クロック抽出部2から抽出されたクロック信号を基にデータを送信するインタフェース参照点S/Tに於けるISDNインタフェース回路に於いて、クロック抽出部2により抽出したクロック信号の位相を段階的にシフトする位相シフト回路4と、レシーバ1及びドライバ3の遅延時間を補償するように位相シフト回路4による位相シフトされたクロック信号を選択してドライバ3に加えるセレクトタ5とを設けたものである。

(作用)

位相シフト回路4は、シフトレジスタ等により構成され、高速クロック信号によりクロック抽出部2から抽出されたクロック信号をシフトして、段階的な位相差を有する複数のクロック信号を並列に出力するものであり、複数のクロック信号の所望の位相のクロック信号をセレクトタ5により選択して送信用のクロック信号とするものである。

従って、高速動作のレシーバ1及びドライバ3を用いることにより、遅延時間が短くなった場合でも、位相シフト回路4により位相シフトされたクロック信号をセクタ5により選択して、偏差内に納まる所望の遅延時間を容易に得ることができる。

〔実施例〕

以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の実施例のブロック図であり、11はレシーバ、12はクロック抽出部、13はドライバ、14は位相シフト回路、15はセクタ、16はフレーム分解部、17はフレーム組立部、18はフリップフロップ、20はインバータ、21はシフトレジスタである。又CLKはクロック抽出部12により抽出された192KHzのクロック信号、SCKはシフトレジスタ21に加える例えば $16 \times 192 = 3072$ KHzのシフトクロック信号である。

受信データは、レシーバ11を介してクロック

クロック信号は、選択信号SLにより制御されるセクタ15により選択出力されて、フリップフロップ18のクロック端子Cに加えられ、このクロック信号に同期してデータが送信される。

第3図は本発明の実施例の動作説明図であり、(a)はクロック抽出部12から抽出されたクロック信号CLK、(b)はレシーバ11に加えられる受信データで、Fはフレーミングビット、Lは直流平衡ビット、B1はBチャンネルのデータビットを示す。又(c)はレシーバ11の出力データ、(d)はインバータ20により反転されたクロック信号、(e)はシフトクロック信号SCK、(f)~(i)はシフトレジスタ21の各段の出力クロック信号、(j)はドライバ13に加えられるデータ、(k)はドライバ13の出力データである。

クロック抽出部12により抽出された(a)に示すクロック信号CLKは、(c)に示すレシーバ11の出力データより、DPLL(デジタル位相同期ループ)回路による遅延時間 Δt_{PLL} だけ遅れ、又レシーバ11の出力データは(b)に示す受信デー

抽出部12とフレーム分解部16とに加えられ、クロック抽出部12によりクロック信号CLKが抽出され、そのクロック信号CLKに従ってフレーム分解部16に於いてフレーミングビットFの検出によるフレーム同期がとられ、B1、B2、Dチャンネルに分解される。又送信するB1、B2、Dチャンネルのデータは、フレーム組立部17に於いて第5図に示すようなフレームに組立てられ、フリップフロップ18のデータ端子Dに加えられ、セクタ15により選択されたクロック信号がフリップフロップ18のクロック端子Cに加えられ、出力端子Qからドライバ13を介して回線にデータが送出される。

位相シフト回路14は、インバータ20とシフトレジスタ21とにより構成され、クロック抽出部12からのクロック信号CLKは、インバータ20により反転されてシフトレジスタ21に加えられ、シフトクロック信号SCKにより高速シフトされて、各段の出力端子Q1~Qnから位相シフトされたクロック信号が出力される。これらの

タより、レシーバ11の遅延時間 Δt_n だけ遅れる。(a)に示すクロック信号は、インバータ20により反転されて(d)に示すクロック信号となり、(e)に示す高速のシフトクロック信号SCKによりシフトされる。

シフトレジスタ21の各段の出力クロック信号に於いて、例えば、出力端子Q1からの出力クロック信号を、シフト段数及びシフトクロック信号の周波数を選定して、(f)に示すように、(c)のレシーバ11の出力データの位相に合わせると、出力端子Q2、Q3、Qnの出力クロック信号は、(g)、(h)、(i)に示すように、それぞれ Δt 、 $2\Delta t$ 、 $n\Delta t$ の位相差となり、例えば、(f)~(i)に示す出力クロック信号は、(a)に示すクロック信号に対して進み位相の関係となる。ここで、 Δt はシフトクロック信号SCKの1位相分の時間である。

レシーバ11の遅延時間 Δt_n とドライバ13の遅延時間 Δt_p とがそれぞれ零の場合、シフトレジスタ21の出力端子Q1からの出力クロック信号をセクタ15により選択出力すれば、受信

フレームから送信フレームまでのタイミングは2ビットとなる。

しかし、実際は、それぞれの遅延時間が零ではなく、且つ製作誤差等により遅延時間が設計値と異なる場合も生じるので、例えば、ドライバ13の遅延時間 Δt_D と、レシーバ11の遅延時間 Δt_R との和が、 $2\Delta t + \text{偏差}\Delta$ ($-0.4\mu s \sim +0.8\mu s$)の範囲に入っている場合、選択信号S_Lによりセクタ15を制御して、シフトレジスタ21の出力端子Q3の出力クロック信号(第3図の(h))を選択出力したとすると、ドライバ13には(i)に示すデータが加えられ、ドライバ13の遅延時間 Δt_D だけ遅れて(k)に示すデータが送信される。この場合に、 t_2 を2ビットオフセットに相当する時間($10.4\mu s$)、 $\Delta t_D + \Delta t_R = \Delta t_{DR}$ とすると、受信フレームのタイミングから送信フレームのタイミングまでの時間は、 $t_2 + \Delta t_{DR} - 2\Delta t$ となり、 $\Delta t_{DR} - 2\Delta t$ は、偏差 Δ ($-0.4\mu s \sim +0.8\mu s$)の範囲内である為、レシーバ11とドライバ13との遅延時間 Δ

t_R 、 Δt_D を補償して、受信フレームから送信フレームまでのタイミングを偏差 Δ の範囲内で2ビットの時間とすることができる。従って、レシーバ11とドライバ13との遅延時間の和 Δt_{DR} が小さい場合でも、又大きい場合でも、セクタ15を制御して位相シフトされたクロック信号を選択することにより、それらの遅延時間を補償することが可能となる。

又その場合の偏差 Δ は、シフトクロック信号S_{CK}の周期に相当したものとなり、前述のように、 $16 \times 192 \text{ KHz} = 3072 \text{ KHz}$ のシフトクロック信号を用いた場合、 $\Delta t = 0.325\mu s$ となるから、偏差 Δ を $-0.4\mu s \sim +0.8\mu s$ の規格内に納めることが可能となる。即ち、位相シフトを少なくとも偏差 Δ 以下の値で段階的に行うことにより、レシーバ11とドライバ13との遅延時間を補償し、且つその補償結果を偏差 Δ 内に納めることが可能となる。又シフトレジスタ21の出力端子Q1~Q_nの個数等は、レシーバ11とドライバ13との遅延時間の補償範囲等に対応

して選定することができるものである。

(発明の効果)

以上説明したように、本発明は、クロック抽出部2により抽出したクロック信号の位相をシフトレジスタ等により段階的にシフトする位相シフト回路4と、この位相シフト回路4により位相シフトされたクロック信号を選択出力するセクタ5とを設けて、レシーバ1とドライバ3との遅延時間を補償するものであり、送受信タイミングを偏差 Δ に納めることが可能となるから、レシーバ1とドライバ3との設計の自由度が大きくなる利点がある。

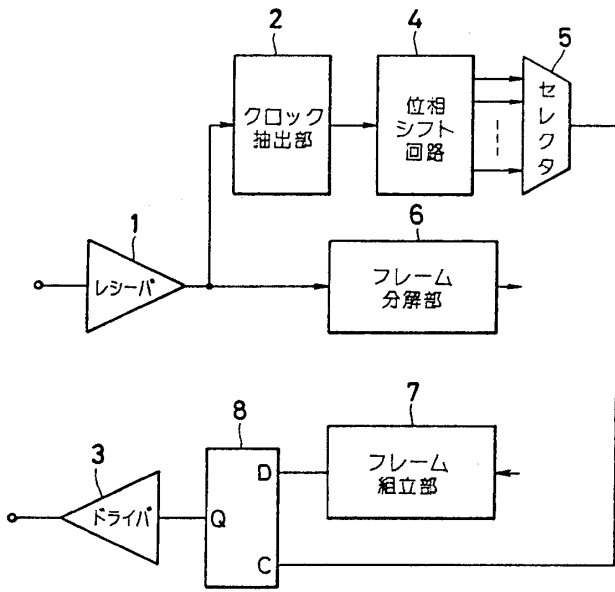
例えば、高速動作のレシーバとドライバとを用いた場合、遅延時間が非常に短くなるが、受信フレームから送信フレームまでのタイミングが2ビットとなり、且つ許容偏差内となるように、インタフェース回路を組立てた後に、セクタ5により位相シフトされたクロック信号を選択設定すれば良いことになる。

4 図面の簡単な説明

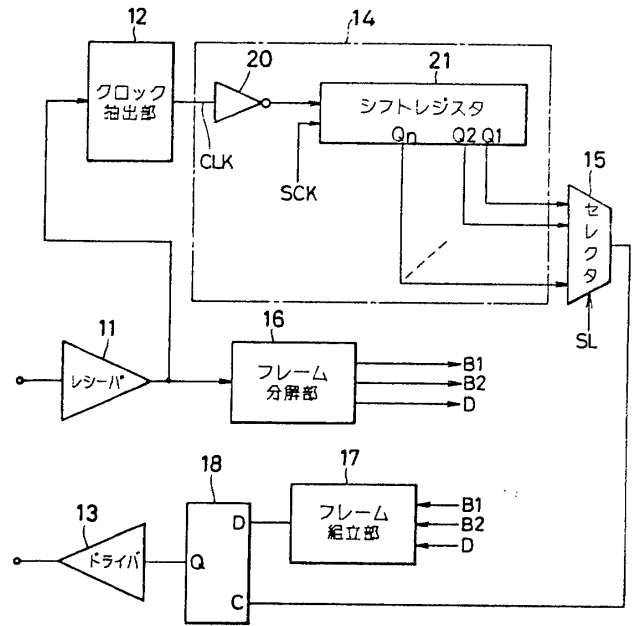
第1図は本発明の原理説明図、第2図は本発明の実施例のブロック図、第3図は本発明の実施例の動作説明図、第4図はインタフェース参照点説明図、第5図はフレーム構成説明図、第6図は従来例の要部ブロック図、第7図は従来例の動作説明図である。

1はレシーバ、2はクロック抽出部、3はドライバ、4は位相シフト回路、5はセクタ、6はフレーム分解部、7はフレーム組立部、8はフリップフロップである。

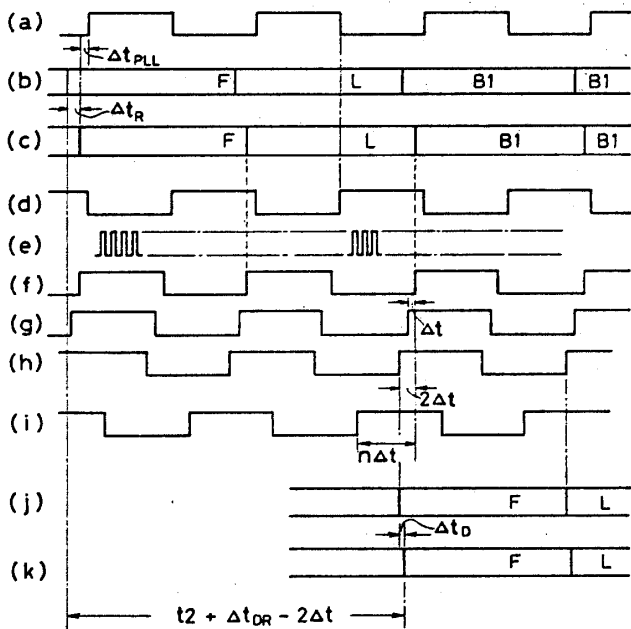
特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一



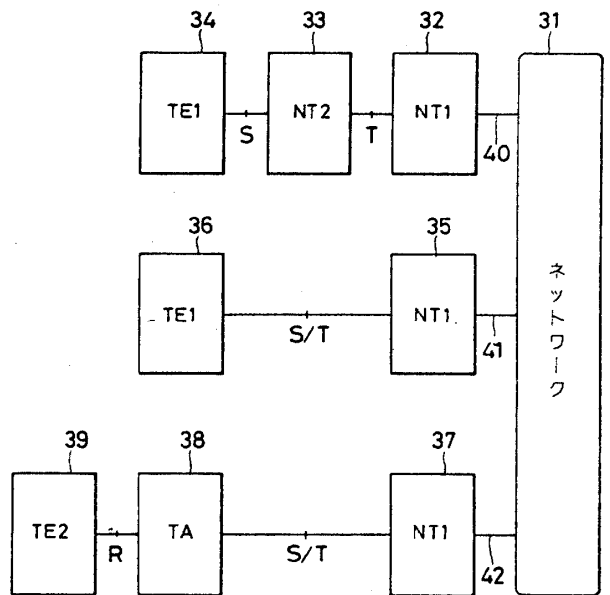
本発明の原理説明図
第1図



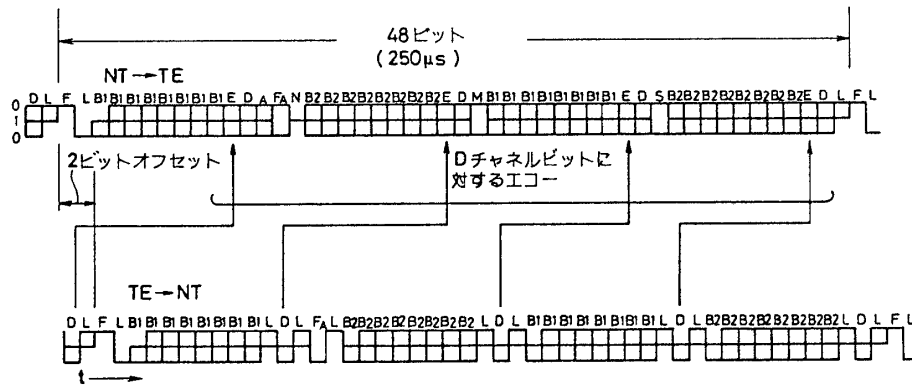
本発明の実施例のブロック図
第2図



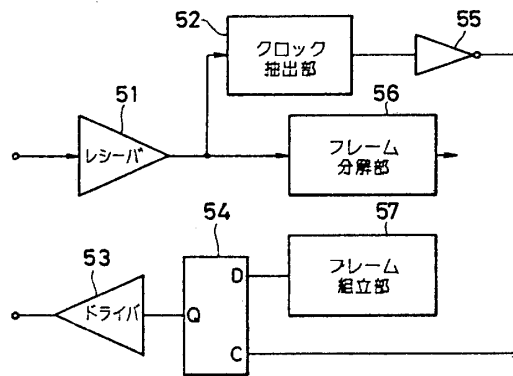
本発明の実施例の動作説明図
第3図



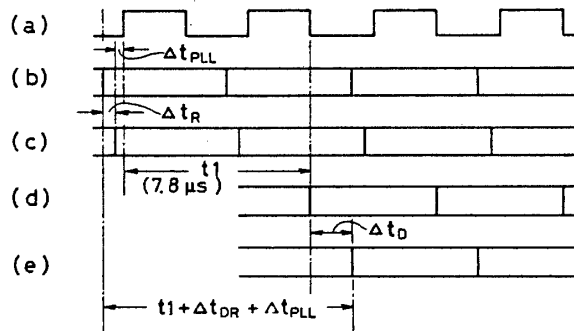
インタフェース参照点説明図
第4図



フレーム構成説明図
第5図



従来例の要部ブロック図
第6図



従来例の動作説明図
第7図