

(51) Int.Cl.⁵

識別記号

F I

H 0 4 L 12/28
H 0 4 J 3/00
H 0 4 Q 3/00

H 0 4 L 11/20
H 0 4 J 3/00
H 0 4 Q 3/00
H 0 4 L 11/20

E
U
F

審査請求 未請求 請求項の数14 O L (全 23 頁)

(21) 出願番号 特願平9-216854

(22) 出願日 平成9年(1997) 8月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 中山 幹夫

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

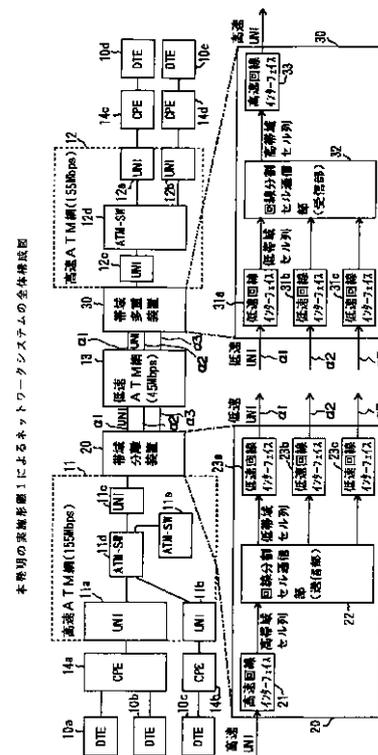
(74) 代理人 弁理士 遠山 勉 (外1名)

(54) 【発明の名称】 ネットワークシステム、送信装置、及び受信装置

(57) 【要約】

【課題】 複数の回線の夫々から受信したセルを、その複数の回線の夫々におけるセル遅延やセル揺らぎに拘わらず適正な順序に並べることができるネットワークシステムを提供すること。

【解決手段】 送信部22は、複数のセルSの夫々を複数の回線1~3の何れかへ所定の割振順で周期的に割り振る。続いて、送信部22は、同一の周期にて複数の回線1~3の夫々に割り振られる各セルSに対して同一のセルブロック番号Dを付加する。そして、各セルSを対応する回線へ送出する。受信部32は、送信部22から送出された複数のセルSを複数の回線1~3の夫々から受信する毎に、同一のセルブロック番号Dが付加されたセルSを割振順に従った順序に並べる。



【特許請求の範囲】

【請求項 1】複数の回線を有する網に接続され、所定順序を有する複数のセルの夫々を前記複数の回線の何れかへ所定の割振順で周期的に割り振るとともに、同一の周期にて前記複数の回線の夫々に割り振られる各セルに対して同一のセルブロック番号を付加する送信手段と、前記複数の回線を有する網に接続され、前記送信手段から送信されたセルを前記複数の回線の夫々から受信する毎に、受信した複数のセルのうち同一のセルブロック番号が付加されたセルを前記割振順に従った順序に並べる受信手段とを備えたネットワークシステム。

【請求項 2】第 1 の回線から受信するセル列のセルを複数の第 2 の回線に分配して伝送し、前記複数の第 2 の回線から夫々受信するセルを一つのセル列に多重して第 3 の回線を使って伝送するネットワークシステムにおいて、

前記第 1 の回線から受信する各セルについて、前記セル列における順序に関する情報たる順序情報を生成する生成手段と、

前記生成手段により生成した前記順序情報を各セルのヘッダに設定する設定手段と、

前記設定手段によって前記順序情報がヘッダに設定されたセルを、前記複数の第 2 の回線の何れかへ分配する分配手段と、

前記複数の第 2 の回線から受信するセルを、前記順序情報に基づいて整列させて一つのセル列に多重する整列手段と、

前記整列手段により整列されたセル列を、前記第 3 の回線へ伝送する伝送手段とを備えたことを特徴とするネットワークシステム。

【請求項 3】複数の回線の夫々からセルを受信した際に、受信した複数のセルのうちヘッダに同一のセルブロック番号が格納されたセルを抽出し、抽出したセルを所定の割振順に並べる受信装置に対し、前記複数の回線を介して接続される送信装置であって、

前記所定順序を有する複数のセルの夫々を前記複数の回線の何れかへ所定の割振順で周期的に割り振り、同一の周期にて前記複数の回線の夫々に割り振られる各セルに対して同一のセルブロック番号を付加し、セルブロック番号を付加した各セルを前記複数の回線の何れかを通じて前記受信装置に送信することを特徴とする送信装置。

【請求項 4】各セルの一般的フロー制御情報格納領域に前記セルブロック番号を付加することを特徴とする請求項 3 記載の送信装置。

【請求項 5】前記所定順序を有する複数のセルを生成するセル生成部をさらに備えたことを特徴とする請求項 3 記載の送信装置。

【請求項 6】前記所定順序を有する複数のセルを伝送する網が接続されていることを特徴とする請求項 3 記載の送信装置。

【請求項 7】前記所定順序を有する複数のセルの夫々を入力された切替信号に応じて前記複数の回線の何れかへ送出するセレクタと、前記セレクタに切替信号を与える切替制御部と、前記切替信号に応じたセルブロック番号を生成するブロック番号生成部と、前記ブロック番号生成部からセルブロック番号を受け取り前記セレクタから送出されたセルに付加するブロック番号付加部とを有することを特徴とする請求項 3 記載の送信装置。

【請求項 8】第 1 の回線から受信するセル列のセルを複数の第 2 の回線に分配して伝送する送信装置において、前記第 1 の回線から受信する各セルについて、前記セル列における順序に関する情報を生成する生成手段と、前記生成手段により生成した前記順序情報を各セルのヘッダに設定する設定手段と、

前記設定手段からのセルを、前記複数の第 2 の回線へ分配する分配手段とを備えたことを特徴とする送信装置。

【請求項 9】所定順序を有する複数のセルの夫々を複数の回線の何れかへ所定の割振順で周期的に割り振るとともに、同一の周期にて前記複数の回線の夫々に割り振られる各セルに対して同一のセルブロック番号を付加し、セルブロック番号を付加した各セルを前記複数の回線の何れかへ送出する送信装置に対し、前記複数の回線を介して接続された受信装置であって、

前記送信手段から送信されたセルを前記複数の回線の夫々から受信する毎に、受信した複数のセルのうち同一のセルブロック番号が付加されたセルを前記割振順に従った順序に並べることを特徴とする受信装置。

【請求項 10】前記割振順に従って並べられたセルの夫々を順次受信するセル受信部をさらに備えることを特徴とする請求項 9 記載の受信装置。

【請求項 11】前記割振順に従って並べられたセルの夫々を順次受け取って夫々の送信先へ向けて伝送する網が接続されている請求項 9 記載の受信装置。

【請求項 12】前記送信装置から送信された同一のセルブロック番号が付加された全てのセルを受信しない場合には、受信した同一のセルブロック番号が付加されたセルのみを前記割振順に従って並べることを特徴とする請求項 9 記載の受信装置。

【請求項 13】前記複数の回線の夫々から転送されてきたセルを格納するセル保持部と、前記セル保持部から同一のセルブロック番号が付加された複数のセルを受け取りこれらを前記割振順に従って並べるセル多重部と、前記セル保持部に格納された各セルのセルブロック番号をチェックし同一のセルブロック番号を有する各セルを前記セル多重部へ向けて送出させるブロック番号チェック部とからなることを特徴とする請求項 9 記載の受信装置。

【請求項 14】複数の第 1 の回線から受信した複数のセルを一つのセル列に多重して第 2 回線を使って伝送する受信装置において、

前記複数の第1の回線から受信した複数のセルを、これらのセルのヘッダに格納されたセルの順序に関わる情報に基づいて整列させて1つのセル列に多重する整列手段と、
前記整列手段により整列されセル列を、前記第2の回線へ伝送する伝送手段とを備えたことを特徴とする受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、高帯域レートのネットワークにて生成された高帯域セル列をなす複数のセルを、低帯域レートの複数の回線を用いて伝送する際に用いられるネットワークシステム、送信装置、及び受信装置に関する。

【0002】

【従来の技術】ネットワークにおいて、高帯域セルレートのATMセル(高帯域セル列)を送信するのに十分な容量の回線がない場合には、高帯域セル列を複数の低速回線に対応する低帯域セル列に分割して送信する必要がある。このため、高帯域セル列を複数の低帯域セル列に分割し送受信する回線分割セル通信機能を備えたネットワークシステムが知られている。

【0003】例えば、回線分割セル通信機能を備えたネットワークシステムには、(1)OC3C等の高速UNI(User Network Interface)を介して受信した高帯域セル列を低速UNIに分離して送信する帯域分離装置、及び低速UNIから受信した低帯域セル列を多重して高帯域セル列を生成する帯域多重装置とを備えたネットワークシステム、或いは、(2)高帯域セル列を生成しこの高帯域セル列をなす複数のセルの夫々を複数の低速UNIに割り振って送信する低速回線高帯域装置、及び複数の低速UNIを介して受け取った複数のセルを高帯域セル列に復元して受信する低速回線高帯域装置を備えたネットワークシステムがある。

【0004】図25は、帯域分離装置5及び帯域多重装置6を備えたネットワークシステムの構成例を示す図である。図25に示したネットワークシステムは、高速ATM網間の中継網として低速ATM網が接続されたネットワークシステムであり、図25の紙面の左側から右側へ向かってデータ(セル)が伝送される場合における構成が示されている。

【0005】図25において、帯域分離装置5と帯域多重装置6の夫々は、複数の低速回線(図25では3本の低速回線1~3)を備えた低速ATM網7に低速UNIを介して接続されている。帯域分離装置5には、データ端末装置(DTE)1a,1bが夫々接続された顧客宅内機器(CPE:Customer Premises Equipment)2aが高速UNIを介して接続されている。帯域多重装置6には、DTE1c,1dが夫々接続されたCPE2bが高速UNIを介して接続されている。

【0006】上述したネットワークシステムにおいて、例えば、DTE1aがDTE1cへデータを送信し、DTE1bがDTE1dへデータを送信するとする。この場合には、DTE1aからDTE1cを送信先としてデータを格納したセルX1,X2,...,Xnが送出され、DTE1bからDTE1dを送信先としてデータを格納したセルY1,Y2,...,Ynが送出される。

【0007】すると、CPE2aは、DTE1a及びDTE1bから受信した複数のセルを受信順に多重化し帯域分離装置5へ送出する。このとき、CPE2aから送出された複数のセルは、例えば、セルX1,セルX2,セルY1,セルY2,...の順をなす1つの高帯域セル列を形成する。

【0008】帯域分離装置5は、上述した高帯域セル列をなす複数のセルをCPE2aから受け取ると、各セルをその受信順で各低速回線1~3に周期的(サイクリック)に割り振る。例えば、帯域分離装置5は、セルX1を低速回線1へ送出し、セルX2を低速回線2へ送出し、セルY1を低速回線3へ送出し、セルY2を低速回線1へ送出する。これによって、高帯域セル列が、各低速回線1~3を通じて伝送される3つの低帯域セル列に分割される。このようにして形成された3つの低帯域セル列は、各低速回線1~3を通じて帯域多重装置6へ転送される。

【0009】帯域多重装置6は、低速回線1~3の夫々から低帯域セル列を受け取り、これらを多重化して元の高帯域セル列を復元する。即ち、帯域多重装置6は、各低帯域セル列をなす複数のセルを受け取ると、これらから元の高帯域セル列を形成しCPE2bへ転送する。

【0010】CPE2bは、帯域多重装置6から高帯域セル列をなす複数のセルを受け取ると、各セルに格納された接続アドレス情報(送信先の情報)に基づいて、セルX1~Xnを帯域多重装置6からの受信順でDTE1cへ転送する。また、セルY1~Ynを帯域多重装置6からの受信順でDTE1dへ転送する。このようにして、DTE1cがDTE1aから送信されたデータを受信し、DTE1dがDTE1cから送信されたデータを受信する。

【0011】ところで、低速ATM網7内のセルの揺らぎが0で、セルの遅延時間が全て同一であれば、帯域多重装置6は各低速回線1~3から周期的に受信したセルを用いてその受信順で高帯域セル列を形成することで、帯域分離装置5から送信された順(セルX1,セルX2,セルY1,セルY2,...の順)で高帯域セル列を生成することができる。

【0012】ところが、現実にはセルの遅延時間は低速回線1~3毎に異なり、また、セル揺らぎも有限の値を持っている。このため、帯域多重装置6には帯域分離装置5からの送信順にセルが到着しない。従って、帯

域多重装置 6 がセルの受信順で高帯域セル列を復元すると、セルの順序が D T E 1 a 又は D T E 1 b からの送信順序と異なったものとなる。この場合には、受信先である D T E 1 c 又は D T E 1 d に正確な順序でセルが到着しない。この場合には、D T E 1 c 又は D T E 1 d に送信されたデータに誤りが生じ得る。

【0013】これに対処すべく、帯域分離装置 5 は送信部 5 a を有し、帯域多重装置 6 は受信部 6 a を有している。そして、送信部 5 a 及び受信部 6 a は、帯域多重装置 6 に複数の低帯域セル列から 1 つの高帯域セル列を適

正なセルの順序で生成させる。図 2 6 は、図 2 5 に示した帯域分離装置 5 (送信部 5 a) 及び帯域多重装置 6 (受信部 6 a) の動作例を示す図である。

【0014】複数の低速回線 1 ~ 3 を通じて伝送された各低帯域セル列から高帯域セル列を適正なセルの順序で生成するには、帯域多重装置 6 が低速 A T M 網 7 内の遅延を予め知っている必要がある。このため、帯域分離装置 5 の送信部 5 a は、トレーニングセル T R 1 ~ T R 3 を各低速回線 1 ~ 2 へ同一のタイミングで送信する。そして、帯域多重装置 6 の受信部 6 a が、各

トレーニングセル T R 1 ~ T R 3 の受信時間より各低速回線 1 ~ 3 の遅延時間を測定する。

【0015】但し、受信部 6 a は、トレーニングセル T R 1 ~ T R 3 の送信時間が分からないため、トレーニングセル T R 1 ~ T R 3 のうち最初に受信したトレーニングセルの受信時間を基準とした相対遅延時間 (T 1, T 2, …, T n : 図 2 6 に示す例では n = 3) を測定する。

【0016】続いて、受信部 6 a は、トレーニングセル T R 1 ~ T R 3 のうち、最も遅く受信したトレーニングセルの相対遅延時間を T max と定義する。図 2 6 に示した例では、トレーニングセル T R 2 が最も遅く受信されているので、このトレーニングセル T R 2 の相対遅延時間 T 2 が T max (T 2 = T max) となる。

【0017】その後、帯域分離装置 5 が、高帯域セル列をなすセル P 1 ~ P 8 を、3 つの低帯域セル列 (セル P 1, P 4, P 7 からなるセル列, セル P 2, P 5, P 8 からなるセル列, 及びセル P 3, セル P 6 からなるセル列) に分離して低速回線 1 ~ 3 の夫々に送出する。受信部 6 a は、帯域多重装置 6 が低速回線 1 ~ 3 の夫々からセルを受信する毎に、各セルの受信時間に固定遅延時間 (D 1, D 2, …, D n) を付加することによって時間調整を行う。ここに、固定遅延時間は、最大相対遅延時間 T max から各トレーニングセル T R 1 ~ T R 3 に係る相対遅延時間を引いた値 (D i = T max - T i : 但し、i = 1 ~ n) であり、各低速回線 1 ~ 3 毎に異なっている。

【0018】この時間調整によって、セルの順序が、帯域多重装置 6 の受信順から帯域分離装置 5 の送信順へ修正される。図 2 6 は、帯域分離装置 5 から低速回線 1

~ 3 へ 1, 2, 3 の順で送出されたセル P 1 ~ P 3 が、帯域多重装置 6 に P 1, P 3, P 2 の順に受信され、受信部 6 a によって P 1, P 2, P 3 の順に修正された例を示したものである。

【0019】同様に、セル P 4 ~ セル P 8 についても、帯域分離装置 5 から送出された順にセルの順序が修正される。そして、帯域多重装置 6 は、修正後のセルの順序でセル P 1 ~ セル P 8 からなる高帯域セル列を形成し、C P E 2 b へ転送する。

10 【0020】

【発明が解決しようとする課題】しかしながら、上述した従来におけるネットワークシステムには以下の問題があった。即ち、従来におけるネットワークシステムでは、帯域多重装置 6 に受信されるセル毎に遅延調整がなされる。このため、高帯域セル列が低速回線 1 ~ 3 へ送出される前に、帯域分離装置 5 が帯域多重装置 6 へトレーニングセル T R 1 ~ T R 3 を送出しなければならない。従って、手順が煩雑となっていた。

20 【0021】また、長時間の通信中には低速 A T M 網 7 内の特性が変化する場合があり、この場合には、各低速回線 1 ~ 3 における遅延時間も変化するので、トレーニングセル T R 1 ~ T R 3 による遅延時間の測定結果では適正に遅延時間の調整がなされなくなる場合があった。

30 【0022】さらに、低速 A T M 網 7 内におけるセル揺らぎが高帯域セル列のセル間隔よりも大きくなった場合には、セル列の順序を調整できなくなってしまっていた。本発明は上記問題に鑑みなされたものであり、複数の回線の夫々から受信したセルを、その複数の回線の夫々におけるセル遅延やセル揺らぎに拘わらず適正な順序に並べることのできるネットワークシステム、送信装置、及び受信装置を提供することを課題とする。

【0023】

40 【課題を解決するための手段】本発明は、上述した課題を解決するために以下の構成を採用する。すなわち、請求項 1 の発明は、(1) 複数の回線を有する網に接続され、所定順序を有する複数のセルの夫々を前記複数の回線の何れかへ所定の割振順で周期的に割り振るとともに、同一の周期にて前記複数の回線の夫々に割り振られる各セルに対して同一のセルブロック番号を付加する送信手段と、(2) 前記複数の回線を有する網に接続され、前記送信手段から送信された複数のセルを前記複数の回線の夫々から受信する毎に、受信した複数のセルのうち同一のセルブロック番号が付加されたセルを前記割振順に従った順序に並べる受信手段とを備えたネットワークシステムである。

50 【0024】請求項 1 の発明によれば、送信手段は、複数のセルの夫々を複数の回線の何れかへ所定の割振順で周期的に割り振る。続いて、送信手段は、同一の周期にて複数の回線の夫々に割り振られる各セルに対して同一

のセルブロック番号を付加する。そして、各セルを対応する回線へ送出する。受信手段は、送信手段から送信された複数のセルを複数の回線の夫々から受信する毎に、同一のセルブロック番号が付加されたセルを割振順に従った順序に並べる。従って、同一のセルブロック番号が付加された複数のセルは、受信手段の受信順に拘わらず、割振順に従った順序に並べられる。即ち、送信手段から送信された複数のセルが、低速ネットワークにおけるセルの遅延やセルの揺らぎによる影響を受けることなく所定順序に並べられる。

【0025】請求項2の発明は、第1の回線から受信するセル列のセルを複数の第2の回線に分配して伝送し、前記複数の第2の回線から夫々受信するセルを一つのセル列に多重して第3の回線を使って伝送するネットワークシステムにおいて、前記第1の回線から受信する各セルについて、前記セル列における順序に関する情報たる順序情報を生成する生成手段と、前記生成手段により生成した前記順序情報を各セルのヘッダに設定する設定手段と、前記設定手段によって前記順序情報がヘッダに設定されたセルを、前記複数の第2の回線の何れかへ分配する分配手段と、前記複数の第2の回線から受信するセルを、前記順序情報に基づいて整列させて一つのセル列に多重する整列手段と、前記整列手段により整列されたセル列を、前記第3の回線へ伝送する伝送手段とを備えたことを特徴とする。

【0026】請求項3の発明は、複数の回線の夫々からセルを受信した際に、受信した複数のセルのうちヘッダに同一のセルブロック番号が格納されたセルを抽出し、抽出したセルを所定の割振順に並べる受信装置に対し、前記複数の回線を介して接続される送信装置であって、前記所定順序を有する複数のセルの夫々を前記複数の回線の何れかへ所定の割振順で周期的に割り振り、同一の周期にて前記複数の回線の夫々に割り振られる各セルに対して同一のセルブロック番号を付加し、セルブロック番号を付加した各セルを前記複数の回線の何れかを通じて前記受信装置に送信することを特徴とする。

【0027】請求項4の発明は、請求項3の送信装置が、各セルにおける一般的フロー制御情報格納領域に前記セルブロック番号を付加することで、特定したものである。請求項5の発明は、請求項3の送信装置が、前記

所定順序を有する複数のセルを生成するセル生成部を備えたことで、特定したものである。【0028】請求項6の発明は、請求項3の送信装置には、前記所定順序を有する複数のセルを伝送する網が接続されていることで、特定したものである。請求項7の発明は、請求項3の送信装置が、前記所定順序を有する複数のセルの夫々を入力された切替信号に応じて前記複数の回線の何れかへ送出するセレクタと、前記セレクタに切替信号を与える切替制御部と、前記切替信号に応じたセルブロック番号を生成するブロック番号生成部と、

前記ブロック番号生成部からセルブロック番号を受け取り前記セレクタから送出されたセルに付加するブロック番号付加部とを有することを特徴とする。

【0029】請求項8の発明は、第1の回線から受信するセル列のセルを複数の第2の回線に分配して伝送する送信装置において、前記第1の回線から受信する各セルについて、前記セル列における順序に関する情報を生成する生成手段と、前記生成手段により生成した前記順序情報を各セルのヘッダに設定する設定手段と、前記設定手段からのセルを、前記複数の第2の回線へ分配する分配手段とを備えたことを特徴とする。

【0030】請求項9の発明は、所定順序を有する複数のセルの夫々を複数の回線の何れかへ所定の割振順で周期的に割り振るとともに、同一の周期にて前記複数の回線の夫々に割り振られる各セルに対して同一のセルブロック番号を付加し、セルブロック番号を付加した各セルを前記複数の回線の何れかへ送出する送信装置に対し、前記複数の回線を介して接続された受信装置であって、前記送信手段から送信されたセルを前記複数の回線の夫々から受信する毎に、受信した複数のセルのうち同一のセルブロック番号が付加されたセルを前記割振順に従った順序に並べることを特徴とする。

【0031】請求項10の発明は、請求項9の受信装置が、前記割振順に従って並べられたセルの夫々を順次受信するセル受信部をさらに備えることで、特定したものである。

【0032】請求項11の発明は、請求項9の受信装置には、前記割振順に従って並べられたセルの夫々を順次受け取って夫々の送信先へ向けて伝送する網が接続されていることで、特定したものである。

【0033】請求項12の発明は、請求項9の受信装置が、送信装置から送信された同一のセルブロック番号が付加された全てのセルを受信しない場合には、受信した同一のセルブロック番号が付加されたセルのみを前記割振順に従って並べることで、特定したものである。

【0034】請求項13の発明は、請求項9の受信装置が、前記複数の回線の夫々から転送されてきたセルを格納するセル保持部と、前記セル保持部から同一のセルブロック番号が付加された複数のセルを受け取りこれらを前記割振順に従って並べるセル多重部と、前記セル保持部に格納された各セルのセルブロック番号をチェックし同一のセルブロック番号を有する各セルを前記セル多重部へ向けて送出させるブロック番号チェック部とからなることを特徴とする。

【0035】請求項14の発明は、複数の第1の回線から受信した複数のセルを1つのセル列に多重して第2回線を使って伝送する受信装置において、前記複数の第1の回線から受信した複数のセルを、これらのセルのヘッダに格納されたセルの順序に関わる情報に基づいて整列させて1つのセル列に多重する整列手段と、前記整列手

段により整列されセル列を、前記第2の回線へ伝送する伝送手段とを備えたことを特徴とする。

【0036】

【発明の実施の形態】以下、本発明による実施の形態を図面に基づいて説明する。

〔実施形態1〕最初に、本発明の実施形態1によるネットワークシステムを説明する。

ネットワークシステムの全体構成 図1は、実施形態1によるネットワークシステムの全体構成図である。図1に示したネットワークシステムは、高速ATM網1

1,12間の中継網として低速ATM網13が接続されたネットワークシステムであり、図1の紙面の左側から右側へ向かってデータ(セル)が送信される場合における構成が示されている。

【0037】図1において、帯域分離装置20は、3つの低速回線1~3を介して低速ATM網13に接続されている。帯域分離装置20は、3つの低速回線1~3に夫々対応する低速回線インターフェイス23a~23cと、これらに接続された回線分割セル通信部(送信部)22と、送信部22に接続された高速回線インターフェイス21とを備えている。

【0038】高速ATM網11は、帯域分離装置20に接続されている。具体的には、高速ATM網11は、高速回線インターフェイス21に接続された高速UNI11cと、高速UNI11cに接続されたATM-SW11dと、ATM-SW11dに夫々接続された高速UNI11a,11bと、ATM-SW11eに接続されたATM-SW11eとを備えている。

【0039】高速UNI11aには、データ端末装置(以下、「DTE」という)10a,10bの夫々が、顧客宅内機器(CPE:Customer Premises Equipment)14aを介して接続されている。また、高速UNI11bには、CPE14bを介してDTE10cが接続されている。なお、高速ATM網11のATM-SW11eには、図示せぬUNIを介して図示せぬDTEが接続されている。

【0040】また、帯域多重装置30は、3つの低速回線1~3を介して低速ATM網13に接続されている。帯域多重装置30は、3つの低速回線1~3に夫々対応する低速回線インターフェイス31a~31cと、これらに接続された回線分割セル通信部(受信部)32と、受信部32に接続された高速回線インターフェイス33とを備えている。

【0041】高速ATM網12は、高速回線インターフェイス33に接続されたUNI12cと、UNI12cに接続されたATM-SW12dと、ATM-SW12dに夫々接続されたUNI12a,12bとを備えている。そして、UNI12aにはCPE14cを介してDTE10dが接続されており、UNI12bにはCPE14bを介してDTE10eが接続されている。

【0042】図2は、図1に示したネットワークシステムにおいてデータ送信に際して用いられるセルS(ATMセル)のフォーマットを示す図である。セルSは、5バイトのヘッダ部H1と48バイトのペイロード部PL1とからなる。ヘッダ部H1には、セルSの接続アドレス情報たるVPI(仮想パス識別子)、及びVCI(仮想チャネル識別子)を格納する領域、PT(ペイロードタイプ)を格納する領域、CLPビット(Cell Loss Priority bit:セル損失優先表示ビット)を格納する領域、HEC(Header Error Control:ヘッダ誤り制御)情報を格納する領域が、夫々設定されている。さらに、ヘッダ部H1には、GFC(Generic Flow Control:一般的フロー制御)情報を格納するGFC領域25が設定されている。但し、GFC領域25は、標準的な使用方法が定められておらず、通常は使用されない空き領域となっている。また、ペイロード部PL1には、ユーザデータが格納される。

【0043】上述したセルSは、高速ATM網11,12において、所定の伝送速度で伝送される。ここに、セルSは、高速ATM網11,12では、国際的に統一された伝送速度であるSONET(Synchronous Optical Network)の仕様の一つであるOC3C(Optical Carrier 3 Concatenation)に従って伝送される。このOC3Cは、SDH(Synchronous Digital Hierarchy)のSTM1に相当し、約155Mbpsの速度を有している。

【0044】具体的には、高速ATM網11,12における高速UNI11a~11c、或いはUNI12a~12cには、SONETベースのUNIが用いられている。セルSは、高速UNI11a~11c、或いはUNI12a~12cにおいて、SONETフレームF1(図3参照)に詰め込まれる。そして、SONETフレームF1が高速ATM網11,12内を伝送される。

【0045】図3は、OC3Cに従ったSONETフレームF1のフォーマットを示す図である。図3において、SONETフレームF1は、90バイトのOC3C-OH(SONETオーバーヘッド)H2と、2340バイトのOC3Cペイロード(ペイロード部)PL2とからなる。SONETオーバーヘッドH2には、ネットワークの運用/管理に必要な情報が格納される。また、ペイロード部PL2には、複数のセルSが詰め込まれる。図3では、簡略化して図示しているが、実際には3つのOC1で伝送されるセルSがバイト単位で多重される。

【0046】また、セルSは、低速ATM網13においても、所定の伝送速度で伝送される。即ち、セルSは、例えばDS3(約45Mbps)に従って伝送される。具体的には、低速ATM網13内には、セルSは複数のフレームF2(図4参照)に分割される。そして、複数のフレームF2が低速ATM網13内を伝送される。

【0047】図4は、DS3に従ったフレームF2のフォーマットを示す図である。図4において、フレームF

2は、1ビットの先頭フラグ26と84ビットのペイロード部27とからなり、85ビットで構成される。1つのセルSは複数の部分に分割され、これらの各部分はフレームF2のペイロード部27に夫々格納される。

ネットワークシステムの動作 次に、本実施形態によるネットワークシステムの動作を説明する。例として、DTE10a及びDTE10bの夫々からDTE10d又はDTE10eへデータを送信する場合における動作を説明する。DTE10a又はDTE10bから送信されるデータは、複数のセルSとしてCPE14aへ転送される。CPE14aは、DTE10aから受け取った複数のセルSとDTE10bから受け取った複数のセルSとを多重化して高速ATM網11へ転送する。

【0048】高速ATM網11では、高速UNI11aが、CPE14aから転送された複数のセルSをSONETフレームF1に詰め込み、このSONETフレームF1をATM-SW11dへ転送する。

【0049】ATM-SW11dは、UNI11aから受け取ったSONETフレームF1から複数のセルSを取り出し、各セルSに格納されたVPI, VCIに従ってセルSを高速UNI11c又はATM-SW11eへ転送する。このとき、複数のセルSのうち、DTE10d又はDTE10eを送信先とするセルSは高速UNI11cへ転送される。高速UNI11cは、ATM-SW11dから受け取った複数のセルSをSONETフレームF1に詰め込み、帯域分離装置20へ転送する。

【0050】帯域分離装置20では、高速回線インターフェイス21が、高速UNI11cからSONETフレームF1を受け取る。すると、高速回線インターフェイス21は、SONETフレームF1から複数のセルSを取り出して1列に並べ、送信部22に対して順次送出する。これによって、送信部22へ転送される複数のセルSが、高帯域セル列を形成する。

【0051】送信部22は、1つの高帯域セル列をなす複数のセルSを低速回線1~3に周期的に割り振る。このとき、送信部22は、低速回線1~3に設定されている回線番号順に各セルSを割り振る。本実施形態では、低速回線1に回線番号1が設定され、低速回線2に回線番号2が設定され、低速回線3に回線番号3が設定されている。従って、送信部22は、複数のセルSを1, 2, 3の順で低速回線1~3の何れかに割り振る。

【0052】具体的には、送信部22は、高速回線インターフェイス21からセルSを受け取る毎にそのセルSを低速回線インターフェイス23a~23cの何れかへ転送する。このとき、送信部22は、低速回線1~3の回線番号に従い、各セルSを低速回線インターフェイス23a, 低速回線インターフェイス23b, 低速回線インターフェイス23cの順で低速回線インターフェイス23a~23cの何れかに転送する。

【0053】これによって、1つの高帯域セル列が3つの低帯域セル列に分割される。各低帯域セル列は、低速回線インターフェイス23a~23cの何れかを介し、低速回線1~3の何れかを通じて低速ATM網13へ転送される。

【0054】低速ATM網13では、低速UNIによって、各低帯域セル列をなす複数のセルSの夫々が複数のフレームF2に格納され、低速ATM網13内を伝送される。そして、各フレームF2は、低速回線1~3の何れかを通じて帯域多重装置30に転送される。

【0055】帯域多重装置30では、低速回線インターフェイス31a~31cの夫々が、低速ATM網13から複数のフレームF2を受け取り、これらの複数のフレームF2から複数のセルSを復元する。続いて、低速回線インターフェイス31a~31cの夫々は、復元した複数のセルSを1列に並べ低帯域セル列として受信部32へ転送する。

【0056】受信部32は、低速回線インターフェイス31a~31cの夫々より送出された3つの低帯域セル列から多重化することによって、1つの高帯域セル列を形成し、高速回線インターフェイス33へ転送する。即ち、受信部32は、各低帯域セル列をなす複数のセルSを、帯域分離装置20の高速回線インターフェイス21から送出された際におけるセルSの順序で、高速回線インターフェイス33に対して順次送出する。

【0057】受信部32から送出された高帯域セル列は、高速回線インターフェイス33を介して高速ATM網12の高速UNI12cへ転送される。高速UNI12cは、高帯域セル列をなす複数のセルSを受け取る。これらの複数のセルSをSONETフレームF1に詰め込んでATM-SW12dへ転送する。

【0058】ATM-SW12dは、UNI12cからSONETフレームF1を受け取ると、そのSONETフレームF1から複数のセルSを取り出すとともに、各セルSに格納されているVPI及びVCIに基づいて各セルSをUNI12a又はUNI12bへ転送する。そして、ATM-SW12dからUNI12aへ転送された複数のセルSは、CPE14cを介してDTE10dに受信される。また、ATM-SW12dからUNI12bへ転送された複数のセルSは、CPE14bを介してDTE10eに受信される。

【0059】なお、実際のネットワークシステムでは、帯域分離装置20及び帯域多重装置30は、帯域分離装置20と帯域多重装置30とを一体化した装置として構成される。従って、実際のネットワークシステムでは、DTE10d又はDTE10eからDTE10a~10cの何れかへデータが転送される場合(図1の紙面の右側から左側へセルSが転送される場合)においても、上述した動作と同様の動作が行われる。また、低速ATM網13は、複数の物理回線のみからなるものであっても

良い。

送信部及び受信部 上述したネットワークシステムにおいて、帯域分離装置 2 0 の送信部 2 2 は、1 つの高帯域セル列を 3 つの低帯域セル列に分割して低速 A T M 網 1 3 へ転送する。また、帯域多重装置 3 0 の 3 2 は、低速 A T M 網 1 3 から転送されてきた 3 つの低帯域セル列を多重化して 1 つの高帯域セル列を復元する。このとき、高帯域セル列をなす複数のセル S の順序がネットワークシステムにおけるセルの遅延や揺らぎによって帯域分離装置 2 0 側と帯域多重装置 3 0 側とで異なるように、送信部 2 2 と受信部 3 2 とは、夫々以下のように構成されている。

送信部の構成 図 5 は、図 1 に示した帯域分離装置 2 0 における送信部 2 2 の構成図である。図 5 において、送信部 2 2 は、切り替え制御部 4 1、セレクトア 4 2、C B N 生成部 4 3、及び C B N 付加部 4 4 a ~ 4 4 c からなる。

【 0 0 6 0 】図 6 は、図 5 に示した切替制御部 4 1 の構成図であり、図 7 は、図 6 に示した切替制御部 4 1 の動作説明図である。切替制御部 4 1 は、いわゆる 1 / 3 分周の 2 ビットカウンタであり、その入力端子 C K には、セル S の先頭を示す信号であるセルパルス C P が入力される。セルパルス C P は、セル S の先頭が検出される毎に " 1 " となる。切替制御部 4 1 からは、パルス Q 1 とパルス Q 2 とがセルパルス C P の 1 周期毎に出力される。このパルス Q 1 とパルス Q 2 との組み合わせが、制御信号 C としてセレクトア 4 2 に対して与えられる。なお、セルパルス C P は、帯域分離装置 2 0 に搭載された図示せぬパルス発生回路から発生される。

【 0 0 6 1 】ここに、パルス Q 1 及びパルス Q 2 は、図 7 に示すように、ともにセルパルス C P の 1 周期の間 " 0 " (L O W) となり、その後セルパルス C P の 2 周期の間 " 1 " (H I G H) となる動作を繰り返す。但し、パルス Q 0 はパルス Q 1 よりも 1 周期遅れて立ち上がる。従って、切替制御部 4 1 からは、カウンタ値 " 1 " (Q 1 = 0 , Q 0 = 1 の場合) , カウンタ値 " 2 " (Q 1 = 1 , Q 0 = 0 の場合) , 及びカウンタ値 " 3 " (Q 1 = 1 , Q 0 = 1 の場合) の夫々が、制御信号 C としてセレクトア 4 2 に対して周期的に与えられることとなる。本実施形態では、" 1 " の制御信号 C が低速回線 1 に対応づけられ、" 2 " の制御信号 C が低速回線 2 に対応づけられ、" 3 " の制御信号 C が低速回線 3 に対応づけられている。

【 0 0 6 2 】図 8 は、図 5 に示したセレクトア 4 2 の構成図であり、図 9 は、図 8 に示したセレクトア 4 2 の動作説明図である。セレクトア 4 2 は、高速回線インターフェイス 2 1 に接続された入力端子 P、C B N 付加部 4 4 a に接続された出力端子 Q 1、C B N 付加部 4 4 b に接続された出力端子 Q 2、C B N 付加部 4 4 c に接続された出力端子 Q 3、及び切替制御部 4 1 に接続された制御端子

C N T L を有している。入力端子 P には、セレクトア 4 2 に対する入力 A 1 として、高速回線インターフェイス 2 1 から送出された複数のセル S (高帯域セル列) が順次入力される。セレクトア 4 2 は、入力端子 P から入力されたセル S を制御信号 C に従って出力端子 Q 1 ~ Q 3 の何れかから送出する。

【 0 0 6 3 】即ち、セレクトア 4 2 は、制御信号 C が " 1 " である場合には、セル S を出力端子 Q 1 から出力 B 1 として送出する。また、セレクトア 4 2 は、制御信号 C が " 2 " である場合には、セル S を出力端子 Q 2 から出力 B 2 として送出する。また、セレクトア 4 2 は、制御信号 C が " 3 " である場合には、セル S を出力端子 Q 3 から出力 B 3 として送出する。このように、高帯域セル列をなす複数のセル S は、セレクトア 4 2 の出力端子 Q 1 ~ Q 3 の何れかから周期的に送出される。

【 0 0 6 4 】例えば、図 9 に示すように、高帯域セル列をなす複数のセル S としてセル P 1 ~ P 9 が順次セレクトア 4 2 に入力されるとする。このとき、セレクトア 4 2 には、切替制御部 4 1 から制御信号 C が、" 1 " " 2 " " 3 " の順で周期的に入力されるとする。すると、セレクトア 4 2 は、制御信号 C に従って、セル P 1 を出力端子 Q 1 から送出し、セル P 2 を出力端子 Q 2 から送出し、セル P 3 を出力端子 Q 3 から送出する。続いて、セレクトア 4 2 は、セル P 4 を出力端子 Q 1 から送出し、セル P 5 を出力端子 Q 2 から送出し、セル P 6 を出力端子 Q 3 から送出する。同様に、セレクトア 4 2 は、セル P 7 を出力端子 Q 1 から送出し、セル P 8 を出力端子 Q 2 から送出し、セル P 9 を出力端子 Q 3 から送出する。

【 0 0 6 5 】これによって、1 つの高帯域セル列が 3 つの低帯域セル列に分割される。そして、セレクトア 4 2 の出力端子 Q 1 から送出されたセル S (出力 B 1) は、C B N 付加部 4 4 a へ転送される。また、セレクトア 4 2 の出力端子 Q 2 から送出されたセル S (出力 B 2) は、C B N 付加部 4 4 b へ転送される。また、セレクトア 4 2 の出力端子 Q 3 から送出されたセル S (出力 B 3) は、C B N 付加部 4 4 c へ転送される。C B N 生成部 4 3 は、セルブロック番号 (Cell Block Number : C B N) D を生成し、生成したセルブロック番号 D を C B N 付加部 4 4 a ~ 4 4 c の夫々へ転送する。図 1 0 は、図 5 に示した C B N 生成部 4 3 の構成図であり、図 1 1 は、図 1 0 に示した C B N 生成部 4 3 の動作説明図である。図 1 0 において、C B N 生成部 4 3 は、デコーダ 4 3 a、AND 回路 4 3 b ~ 4 3 d、及び 4 ビットカウンタ 4 3 e からなる。

【 0 0 6 6 】デコーダ 4 3 a には、切替制御部 4 1 から制御信号 C が入力される。デコーダ 4 3 a は、出力端子 D 1 ~ D 3 を有している。出力端子 D 1 は AND 回路 4 3 b に接続されており、出力端子 D 2 は AND 回路 4 3 c に接続されており、出力端子 D 3 は AND 回路 4 3 d に接続されている。また、AND 回路 4 3 b ~ 4 3 d に

は、セルパルスCPが入力される。AND回路43bの出力端子は、4ビットカウンタ43e及びCBN付加部44aに接続されている。また、AND回路43bの出力端子は、CBN付加部44bに接続されている。また、AND回路44dの出力端子は、CBN付加部44cに接続されている。

【0067】このデコーダ43aは、入力される制御信号Cに応じて"0"(LOW)の信号又は"1"(HIGH)の信号を出力端子D1~D3の夫々から出力する。即ち、デコーダ43aは、"1"の制御信号Cが入力された場合には、出力端子D2,D3から"0"を出力し、出力端子D1から出力C1として"1"を出力する。また、デコーダ43aは、"2"の制御信号Cが入力された場合には、出力端子D1,D3から"0"を出力し、出力端子D2から"1"を出力する。また、デコーダ43aは、"3"の制御信号Cが入力された場合には、出力端子D1,D2から"0"を出力し、出力端子D3から"1"を出力する。

【0068】図11に示すように、デコーダ43aから出力された"1"の信号は、"1"のセルパルスCPとほぼ同時にAND回路43bに入力される。従って、デコーダ43aから"1"の出力C1が出力された場合には、AND回路43bから"1"が出力C2として4ビットカウンタ43eに入力されるとともに、セルSの先頭を示す"1"のセルパルスCP1がCBN付加部44aに入力される。

【0069】また、デコーダ43aの出力端子D2から"1"が出力された場合には、この"1"の信号と"1"のセルパルスCPとは、AND回路43cにほぼ同時に入力される。すると、AND回路43cから"1"のセルパルスCP2が出力される。また、デコーダ43aの出力端子D3から"1"が出力された場合には、この"1"の信号と"1"のセルパルスCPとは、AND回路43dにほぼ同時に入力される。すると、AND回路43dから"1"のセルパルスCP3がCBN付加部44cに入力される。

【0070】4ビットカウンタ43eは、AND回路43bから出力C2が入力される度にカウンタ値を1インクリメントする。但し、カウンタ値が"16"の場合には、カウンタ値を"0"に戻す。この4ビットカウンタ43eのカウンタ値がセルブロック番号Dをなす。このセルブロック番号Dは、AND回路43b~43dの何れかから出力された"1"のセルパルスCP1~CP3の何れかとともに、CBN付加部44a~44cの何れかに対して与えられる。

【0071】即ち、デコーダ43aに入力された制御信号Cが"1"の場合には、セルブロック番号DがCBN付加部44aのみに与えられる。また、制御信号Cが"2"の場合には、セルブロック番号DがCBN付加部44bのみに与えられる。また、制御信号Cが"3"の

場合には、セルブロック信号Dは、CBN付加部44cのみに与えられる。その後、再びデコーダ43aに"1"の制御信号Cが入力された場合には、4ビットカウンタ43eのカウンタ値が1インクリメントされるので、CBN付加部44a~44cには、1インクリメントされたセルブロック番号Dが順次与えられることとなる。

【0072】図12は、図5に示したCBN付加部44a~44cの構成図であり、図13は、図12に示したCBN付加部44a~44cの動作説明図である。CBN付加部44a~44cは、夫々同一の構成を有しているため、ここではCBN付加部44aを例として説明する。図12において、CBN付加部44aは、入力端子A1と、入力端子A2と、出力端子B1と、制御端子CNTLとを有している。CBN付加部44aの入力端子A1には、セレクタ42からセルSが入力される。入力端子A2には、CBN生成部43からセルブロック番号Dが入力される。そして、制御端子CNTLには、CBN生成部43からセルパルスCP1が入力される。

【0073】CBN付加部44aは、CBN生成部43から"1"のセルパルスCP1を受け取ると、入力端子A1から入力されたセルSを入力端子A2から入力されたセルブロック番号Dを付加する。このとき、CBN付加部44aは、セルSのヘッダ部H1におけるGFC領域25(図2参照)にセルブロック番号Dを格納する。そして、セルブロック番号Dを付加したセルSを出力端子B1から送出する。

【0074】図13には、高帯域セル列をなすセルP1~P9を送信部22が受け取った場合におけるCBN付加部44aの動作例が示されている。この場合には、セレクタ42によって、セルP1,セルP4,及びセルP7がCBN付加部44aに対して転送される(図9参照)。

【0075】また、CBN付加部44aに与えられるセルブロック番号Dは、CBN付加部44aに"1"の信号が入力される度に1インクリメントされた値となる。従って、CBN付加部44aは、セルP1に例えば"0"のセルブロック番号D(CBN=0)を付加した場合には、セルP4には"1"のセルブロック番号D(CBN=1)を付加し、セルP7には"2"のセルブロック番号D(CBN=2)を付加することとなる。

【0076】このように、CBN付加部44a~44cは、高帯域セル列をなす複数のセルSに対し、低速回線数N(本実施形態ではN=3)毎に同一のセルブロック番号Dを付加する。これによって、高帯域セル列をなす複数のセルSをブロック化し、セルブロックを定義する。

【0077】なお、セルSのGFC領域25には4ビットの情報格納できるので、セルブロック番号Dには、"0000"~"1111"の何れかに対応する16種類の番号を用いることができる。CBN生成部43の4ビットカウンタ43eは、このGFC領域25に格納可能なビッ

ト数を考慮して構成したものである。また、低速回線の数Nは2以上であれば幾つでも良い。

【0078】図14は、図5に示した送信部22全体の動作例を示す図である。図14には、高帯域セル列をなす複数のセルSとして、セルP1～セルP9が高速回線インターフェイス21から送信部22に対して転送された場合における動作例が示されている。

【0079】セクタ42は、セルP1を受け取ると、切替制御部41から入力された"1"の制御信号Cに従って、セルP1をCBN付加部44aに与える。このとき、CBN付加部44aには、CBN生成部43から

"1"のセルパルスCP1と"0"のセルブロック番号Dとが与えられる。CBN付加部44aは、"1"のセルパルスCP1に従って、セクタ42から受け取ったセルP1に"0"のセルブロック番号Dを付加し、セルP1を出力E1として出力する。

【0080】続いて、セクタ42は、セルP2を受け取ると、切替制御部41から入力された"2"の制御信号Cに従って、セルP2をCBN付加部44bに与える。このとき、CBN付加部44bには、CBN生成部43から

"1"のセルパルスCP2と"0"のセルブロック番号Dとが与えられる。CBN付加部44bは、"1"のセルパルスCP2に従って、セクタ42から受け取ったセルP2に"0"のセルブロック番号Dを付加し、セルP2を出力E2として出力する。

【0081】続いて、セクタ42は、セルP3を受け取ると、切替制御部41から入力された"3"の制御信号Cに従って、セルP3をCBN付加部44cに与える。このとき、CBN付加部44cには、CBN生成部43から

"1"のセルパルスCP1と"0"のセルブロック番号Dとが与えられる。CBN付加部44cは、

"1"のセルパルスCP3に従って、セクタ42から受け取ったセルP3に"0"のセルブロック番号Dを付加し、セルP3を出力E3として出力する。

【0082】続いて、セクタ42は、セルP4を受け取ると、切替制御部41から入力された"1"の制御信号Cに従って、セルP4をCBN付加部44aに与える。このとき、CBN付加部44aには、CBN生成部43から

"1"のセルパルスCP1と"0"のセルブロック番号Dとが与えられる。CBN付加部44aは、セクタ42から受け取ったセルP4に

"1"のセルパルスCP1と"0"のセルブロック番号Dとが与えられる。CBN付加部44aは、セクタ42から受け取ったセルP4に"1"のセルパルスCP1と"0"のセルブロック番号Dを付加し、セルP4を出力E1として出力する。

【0083】その後、上述した動作がセルP5～セルP9に対して行われる。これによって、CBN付加部44aからセルP1,セルP4,及びセルP7からなる低帯域セル列が出力される。また、CBN付加部44bからセルP2,セルP5,及びセルP8からなる低帯域セル列が出力される。また、CBN付加部44cからセルP3,セルP6,及びセルP9からなる低帯域セル列が出力される。

【0084】このとき、CBN付加部44a～44cの夫々によって、セルP1,セルP2,及びセルP3には、"0"のセルブロック番号Dが付加される。また、セルP4,セルP5,及びセルP6には、"1"のセルブロック番号Dが付加される。また、セルP7,セルP8,及びセルP9には、"2"のセルブロック番号Dが付加される。

受信部の構成 図15は、図1に示した帯域多重装置30における受信部32の構成図である。受信部32は、低速回線インターフェイス31a～31cに対応して設けられた受信セルバッファ部51a～51cと、これらに接続されたセル多重部52と、受信セルバッファ部51a～51c,及びセル多重部52に接続されたCBNチェック部52とからなる。

【0085】この受信部32には、低速回線インターフェイス31a～31cから3つの低帯域セル列が入力される。また、受信セルバッファ部51aにセルSが入力された場合には、そのセルSの先頭を示す"1"のセルパルスCP1が、受信セルバッファ部51a,及びCBNチェック部52に入力される。

【0086】また、受信セルバッファ部51bにセルSが入力された場合には、そのセルSの先頭を示す"1"のセルパルスCP2が、受信セルバッファ部51b,及びCBNチェック部52に入力される。さらに、受信セルバッファ部51cにセルSが入力された場合には、そのセルSの先頭を示す"1"のセルパルスCP3が、受信セルバッファ部51c,及びCBNチェック部52に入力される。

【0087】図16は、図15に示した受信セルバッファ部51a～51cの構成図であり、図17は、図16に示した受信セルバッファ部51a～51cの動作説明図である。但し、受信セルバッファ部51a～51cは夫々同一の構成を有しているため、ここでは、受信セルバッファ部51aを例として説明する。

【0088】図16に示すように、受信セルバッファ部51aは、多段の格納領域を有するFIFO(先入れ先出し)である。受信セルバッファ部51aには、低速回線インターフェイス31aから送出された低帯域セル列をなす複数のセルSが順次入力される。また、受信セルバッファ部51aには、セルSが入力される毎にそのセルSの先頭を示す"1"のセルパルスCP1が入力される。また、受信セルバッファ部51aからは、その最終段に格納されたセルSのセルブロック番号DがCBNチェック部52へ入力される。そして、受信セルバッファ部51aは、CBNチェック部52からセル送出信号("1"の出力S1)を受け取ると、その最終段に格納されたセルSをセル多重部53に対して送出する。

【0089】図18は、図15に示したCBNチェック部52の構成図であり、図19は、図18に示したCBNチェック部52の動作説明図である。但し、図18に

は、低速 A T M 網 1 3 でのセル紛失がセル 1 6 個あたり 1 以下である場合の構成が示されている。図 1 8 において、C B N チェック部 5 2 は、4 ビットカウンタ 7 1 と、比較器 7 2 ~ 7 4 と、O R 回路 7 5 ~ 7 9 と、A N D 回路 8 0 ~ 8 4 とからなる。

【0 0 9 0】ここに、4 ビットカウンタ 7 1 は、比較器 7 2 ~ 7 4 及び O R 回路 7 5 に夫々接続されている。4 ビットカウンタ 7 1 は、" 0 0 0 0 " ~ " 1 1 1 1 " の 1 6 種類のカウンタ値の何れかを、チェック信号 C B として比較器 7 2 ~ 7 4 の夫々に与える。4 ビットカウンタは、O R 回路 7 5 から " 1 " の信号が入力されると、カウンタ値を 1 インクリメントする。但し、カウンタ値が " 1 1 1 1 " の場合には、カウンタ値を " 0 0 0 0 " に戻す。なお、この 4 ビットカウンタ 7 1 のカウンタ値は、送信部 2 2 の 4 ビットカウンタ 4 3 e のカウンタ値と常に同じ値となるように設定されている。

【0 0 9 1】比較器 7 2 は、入力端子 A 1, A 2 及び出力端子 G, E を備えている。比較器 7 2 の入力端子 A 1 からは、受信セルバッファ部 5 1 a の最終段に存するセル S のセルブロック番号 D が入力される。また、比較器 7 2 の入力端子 A 2 からは、チェック信号 C B が入力される。比較器 7 2 は、セルブロック番号 D とチェック信号 C B とを対比する。このとき、比較器 7 2 は、セルブロック番号 D とチェック信号 C B とが等しい場合には、出力端子 E から出力 E 1 として " 1 " の信号を出力し、O R 回路 7 6, O R 回路 7 9, 及び A N D 8 0 に夫々入力する。また、比較器 7 2 は、セルブロック番号 D がチェック信号 C B よりも " 1 " だけ大きい場合には、出力端子 G から出力 G 1 として " 1 " の信号を出力し、O R 回路 7 6 に入力する。

【0 0 9 2】比較器 7 3 は、比較器 7 2 と同様の構成を有している。比較器 7 3 の入力端子 A 1 からは、受信セルバッファ部 5 1 b の最終段に存するセル S のセルブロック番号 D が入力される。また、比較器 7 3 の入力端子 A 2 からは、チェック信号 C B が入力される。比較器 7 3 は、セルブロック番号 D とチェック信号 C B とを対比し、両者が等しい場合には、出力端子 E から出力 E 2 として " 1 " の信号を出力し、O R 回路 7 7, O R 回路 7 9, 及び A N D 回路 8 1 に夫々入力する。また、比較器 7 3 は、セルブロック番号 D がチェック信号 C B よりも " 1 " だけ大きい場合には、出力端子 G から出力 G 2 として " 1 " の信号を出力し、O R 回路 7 7 に入力する。

【0 0 9 3】比較器 7 4 は、比較器 7 2 と同様の構成を有している。比較器 7 4 の入力端子 A 1 からは、受信セルバッファ部 5 1 c の最終段に存するセル S のセルブロック番号 D が入力される。また、比較器 7 4 の入力端子 A 2 からは、チェック信号 C B が入力される。比較器 7 4 は、セルブロック番号 D とチェック信号 C B とを対比し、両者が等しい場合には、出力端子 E から出力 E 3 として " 1 " の信号を出力し、O R 回路 7 8, O R 回路 7

9, 及び A N D 8 2 に入力する。また、比較器 7 4 は、セルブロック番号 D がチェック信号 C B よりも " 1 " だけ大きい場合には、出力端子 G から出力 G 3 として " 1 " の信号を出力し、O R 回路 7 8 に入力する。

【0 0 9 4】なお、比較器 7 2 ~ 7 4 は、上述した場合以外の場合には、各出力端子 E 又は各出力端子 G から " 0 " の信号を出力する。O R 回路 7 6 は、比較器 7 2 から受け取った出力 E 1 と出力 G 1 との一方が " 1 " である場合に、出力 F 1 として " 1 " の信号を A N D 回路 8 4 に入力する。また、O R 回路 7 7 は、比較器 7 3 から受け取った出力 E 2 と出力 G 2 との一方が " 1 " である場合に、出力 F 2 として " 1 " の信号を A N D 回路 8 4 に入力する。また、O R 回路 7 8 は、比較器 7 4 から受け取った出力 E 3 又は出力 G 3 の一方が " 1 " である場合に、出力 F 3 として " 1 " の信号を A N D 回路 8 4 に入力する。また、O R 回路 7 9 は、上述した出力 E 1, 出力 E 2, 及び出力 E 3 の何れかが " 1 " である場合に、出力 F 4 として " 1 " の信号を A N D 回路 8 4 に入力する。

【0 0 9 5】A N D 回路 8 4 は、O R 回路 7 6 ~ 7 9 の夫々から受け取った出力 F 1, 出力 F 2, 出力 F 3, 及び出力 F 4 の全てが " 1 " である場合に、出力 H として " 1 " の信号を A N D 回路 8 0 ~ 8 2 の夫々に入力する。

【0 0 9 6】A N D 回路 8 3 には、上述したセルパルス C P 1 ~ C P 3 が夫々入力される。A N D 回路 8 3 は、セルパルス C P 1 ~ C P 3 の全てが " 1 " である場合に、" 1 " の信号を A N D 回路 8 0 ~ 8 2 の夫々に入力する。

【0 0 9 7】A N D 回路 8 0 は、比較器 7 2 からの出力 E 1, A N D 回路 8 4 からの出力 H, 及び A N D 回路 8 3 の出力の全てが " 1 " である場合に、出力 S 1 として " 1 " の信号を受信セルバッファ部 5 1 a 及びセル多重部 5 3 に対して出力する。また、出力 S 1 は、O R 回路 7 5 にも入力される。

【0 0 9 8】A N D 回路 8 1 は、比較器 7 3 からの出力 E 1, A N D 回路 8 4 からの出力 H, 及び A N D 回路 8 3 の出力の全てが " 1 " である場合に、出力 S 2 として " 1 " の信号を受信セルバッファ部 5 1 b 及びセル多重部 5 3 に対して出力する。また、出力 S 2 は、O R 回路 7 5 にも入力される。

【0 0 9 9】A N D 回路 8 2 は、比較器 7 4 からの出力 E 1, A N D 回路 8 4 からの出力 H, 及び A N D 回路 8 3 の出力の全てが " 1 " である場合に、出力 S 3 として " 1 " の信号を受信セルバッファ部 5 1 c, 及びセル多重部 5 3 に対して出力する。また、出力 S 3 は、O R 回路 7 5 にも入力される。

【0 1 0 0】なお、A N D 回路 8 0 ~ 8 3 の夫々は、上述した場合以外の場合には、" 0 " の信号を出力する。

O R 回路 7 5 は、A N D 回路 8 0 からの信号 S 1, A N

D回路81からの信号S2, AND回路82からの信号S3の何れかが"1"である場合に、"1"の信号を4ビットカウンタ71に対して出力する。これによって、4ビットカウンタ71のカウント値が1インクリメントされる。

【0101】このように、CBNチェック部53のOR回路76~79, 及びAND回路84は、受信セルバッファ51a~51cの各最終段にセルSが存する場合に動作する。そして、AND回路80~82の夫々は、チェック信号CBとセルブロック番号Dとが等しい場合には、"1"の信号を該当する受信セルバッファ部51a~51cに同時に与える。各受信セルバッファ部51a~51cは、CBNチェック部52から"1"の信号を受け取ると、その最終段に存するセルSをセル多重部53に対してほぼ同時に転送する。これによって、ネットワークシステムにおける各セルSの遅延や揺らぎが解消される。その後、セル多重部53による処理が行われる。

【0102】なお、AND回路80~82の全てから"1"の信号が出力される場合には、受信セルバッファ部51a~51c内において、同一のセルブロック番号Dを有する3つのセルがそろったこととなる。一方、AND回路80~82の何れかから"1"の信号が出力されない場合には、同一のセルブロック番号Dを有する3つのセルの何れかが紛失したこととなる。

【0103】図20は、図15に示したセル多重部53の構成図であり、図21は、図20に示したセル多重部53の動作説明図である。図20において、セル多重部53は、3つのセル保持部86~88からなる。セル保持部86は受信セルバッファ部51aに接続されており、セル保持部87は受信セルバッファ部51bに接続されており、セル保持部88は受信セルバッファ部51cに接続されている。

【0104】セル保持部86~88の夫々は、対応する受信セルバッファ部51a~51cから送出されたセルSを保持する。セル保持部86には、CBNチェック部52のAND回路80(図18参照)からの出力S1が入力され、セル保持部87には、AND回路81からの出力S2が入力され、セル保持部88には、AND回路82からの出力S3が入力される。これらの出力S1~S3は、対応するセル保持部86~88の何れかにほぼ同時に入力される。

【0105】すると、セル多重部53は、セル保持部86~88の夫々に保持されたセルSを並べて高帯域セル列の一部を生成する。即ち、セル多重部53は、セル保持部86~88に保持されたセルSを、低速回線1~3の回線番号に従った順序に並べて出力する。出力された各セルSは、図1に示す高速回線インターフェイス33を介して高速ATM網12へ転送される。

【0106】図22は、図15に示した受信部32全体

の動作説明図である。図22には、低速回線インターフェイス31aから低帯域セル列をなす複数のセルSとして、セルP1,セルP4,及びセルP7が送出され、低速回線インターフェイス31bから低帯域セル列をなす複数のセルSとしてセルP2,セルP5,及びセルP8が送出され、低速回線インターフェイス31cから低帯域セル列をなす複数のセルSとして、セルP3,セルP6,セルP9が送出された際における受信部32の動作が示されている。

10 【0107】但し、各低速回線インターフェイス31a~31cから夫々送出される3つの低帯域セル列は、セルP1~セルP9をP1,P2,P3,P4,P5,P6,P7,P8,P9の順に並べて形成された高帯域セル列が帯域分離装置20において3つに分割されたものとする。

【0108】図15に示す各受信セルバッファ部51a~51cは、対応する低速回線インターフェイス31a~31cの何れかから送出された各セルP1~P9の何れかを夫々格納する。続いて、各受信セルバッファ部51a~51cの夫々は、自身の最終段にセルP1~P9の何れかが格納されると、そのセルのGFC領域25(図2参照)に格納されたセルブロック番号DをCBNチェック部52に入力し、CBNチェック部52からの応答を待つ状態となる。

【0109】このとき、セルP1~P3が、例えば、P1,P3,P2の順で対応する受信セルバッファ部51a~51cの何れかに受信されたとする。この場合には、最初に、セルP1のセルブロック番号D(例えば、CBN=0)が、CBNチェック部52に入力される。続いて、セルP3のセルブロック番号D(例えば、CBN=0)が、CBNチェック部52に入力される。そして、セルP2のセルブロック番号D(例えば、CBN=0)が、CBNチェック部52に入力される。

【0110】すると、CBNチェック部52は、4ビットカウンタ71のカウント値(チェック信号CB)と各セルブロック番号(CBN=0)とを夫々対比する。このとき、カウント値が"0"を示す値となっていれば、各比較器72~74は、各セルブロック番号Dとチェック信号CBとが等しいと判定する。これによって、CBNチェック部52から"1"の信号が各受信セルバッファ部51a~51c, 及びセル多重部53の各セル保持部86~88にほぼ同時に入力される。

【0111】これによって、各受信セルバッファ部51a~51cの最終段に夫々存するセルP1~セルP3が、セル多重部53にほぼ同時に転送され、対応するセル保持部86~88の何れかに夫々保持される。続いて、セル保持部86~88に格納されたセルP1~P3が、P1,P2,P3の順に並べられ、順次高速回線インターフェイス33へ転送される。

【0112】その後、受信セルバッファ部51a~51cの最終段の夫々にセルP4~P6の何れかが格納され

ると、セルP4～P6の各セルブロック番号(CBN=1)がCBNチェック部52に入力される。すると、CBNチェック部52、受信セルバッファ部51a～51c、及びセル多重部53が上述した動作と同様の動作を行い、セルP4～P6をP4、P5、P6の順で高速回線インターフェイス33へ転送する。

【0113】その後、受信部32は、同一のセルブロック番号D(CBN=2)が付加されたセルP7～P9に対して上述した動作を行い、セルP7～P9をP7、P8、P9の順で高速回線インターフェイス33へ転送する。このようにして、3つの低帯域セル列が多重化され、1つの高帯域セル列に復元される。このとき、セルP1～P9に夫々付加されたセルブロック番号Dに基づいて、送信部22にて定義されたセルブロック毎に多重化が行われる。

【0114】このため、低速ATM網13にて生じたセルSの遅延によってセルSが帯域多重装置30に受信される順序が変わったり、低速ATM網13にて生じたセルSの揺らぎによって帯域多重装置30によるセルSの受信間隔が区々となったりした場合でも、高速回線インターフェイス21(図1参照)から送出された順序で高帯域セル列を復元することができる。

【0115】また、セルP1～セルP9の何れか1つが受信部32に受信される前に紛失(欠落)した場合には、受信部32は、同一のセルブロック番号Dを有するセルSのみで多重化を行う。

【0116】例えば、図23に示すように、上述した例におけるセルP1～セルP9のうち、セルP1が低速ATM網13で紛失したとする。この場合には、受信部32の受信セルバッファ部51aの最終段には、最初にセルP4が格納される。このため、CBNチェック部52には、セルP4のセルブロック番号D(CBN=1)が入力される。

【0117】すると、CBNチェック部52の比較器72から出力E1の代わりに出力G1が出力されるので、AND回路80から出力S1として"0"の信号が出力され、AND回路81、82から出力S2、S3として"1"の信号が出力されることとなる。従って、セル多重部53には、セルP4は転送されず、セルP2及びセルP3のみが転送される。そして、セル多重部53がセルP2とセルP3とで多重化を行うこととなる。

【0118】その後、4ビットカウンタ71のカウント値が1インクリメントされ、受信セルバッファ部51bの最終段にセルP5が格納され、受信セルバッファ部51cの最終段にセルP6が格納される状態となる。これによって、セルP4は、セルP5及びセルP6とともにセル多重部53に転送され多重化されることとなる。

実施形態1の効果 実施形態1によるネットワークシステムによると、帯域分離装置20が、高帯域セル列を3つの低帯域セル列に分割し、各低帯域セル列を対応す

る3つの低速回線の何れかをを用いて転送する。このとき、帯域分離装置20の送信部22が、高帯域セル列をなす複数のセルSに対し、低速回線数(N=3)毎に同一のセルブロック番号Dを付加する。

【0119】また、帯域多重装置30が、各低速回線を通じて転送されてきた3つの低帯域セル列を多重化して1つの高帯域セル列に復元する。このとき、帯域多重装置30の受信部32が、3つの低帯域セル列をなす複数のセルSに夫々付加されたセルブロック番号Dに基づいて、同一のセルブロック番号Dを有するセル毎に多重化を行う。

【0120】このため、高帯域セル列をなす複数のセルSの順序が、低速ATM網13にて生じるセルSの遅延やセルSの揺らぎに拘わらず、帯域分離装置20側と帯域多重装置30側とで異なることがない。従って、DTE10a、DTE10b、及びDTE10cの何れかから送信された複数のセルSが、その送信順でDTE10d又はDTE10eに受信される。従って、DTE間で適正なデータ通信を行うことができる。

【0121】また、セルブロック番号Dを各セルSの空き領域であるGFC領域25に格納するので、セルSのヘッダ部H1及びペイロード部PL1に新たな領域を形成する必要がない。即ち、実施形態1によるネットワークシステムには標準のセルSを使用することができる。

【0122】また、従来におけるネットワークシステムのように、トレーニングセルを送信することを要しないので、データ通信の手順を従来に比べて簡略化できる。

〔実施形態2〕次に、本発明の実施形態2によるネットワークシステムを説明する。図24は、実施形態2によるネットワークシステムの全体構成図である。実施形態2によるネットワークシステムは、実施形態1によるネットワークシステムとほぼ同様の構成を有しているので、共通する構成には同一の符号を付して説明を省略し、相違する構成についてのみ説明する。

【0123】図24において、ネットワークシステムは、低速回線高帯域装置(送信装置)120と低速回線高帯域装置(受信装置)130との間を3つの低速回線1～3を備えた低速ATM網13で接続することによって構成されている。即ち、実施形態2によるネットワークシステムでは、送信装置120及び受信装置130がネットワークシステムにおける端末装置を構成する。

【0124】送信装置120は、図1に示した帯域分離装置20とほぼ同様の構成を有しており、図1に示した高速回線インターフェイス21の代わりに高帯域セル発生部121を備えている。高帯域セル発生部121は、例えばユーザからの要求に応じて上述した高帯域セル列を送出する。

【0125】受信装置130は、図1に示した帯域多重装置30とほぼ同様の構成を有しており、図1に示した高速回線インターフェイス33の代わりに高帯域セル受

信部 1 3 3 を備えている。高帯域セル受信部 1 3 3 は、受信部 3 2 から送出された高帯域セル列を受信する。

【 0 1 2 6 】以上説明した以外の構成は、実施形態 1 によるネットワークシステムと同じである。そして、ネットワークシステムの動作は、高帯域セル発生部 1 2 1 が D T E 1 0 a ~ 1 0 c に代わって高帯域セル列をなす複数のセル S を送信する点、及び高帯域セル受信部 1 3 3 が D T E 1 0 d 又は D T E 1 0 e に代わって複数のセル S を受信する点を除き、実施形態 1 によるネットワークシステムの動作と同じである。

【 0 1 2 7 】実施形態 2 による効果は、実施形態 1 による効果とほぼ同じである。なお、実施形態 1 によるネットワークシステムは、帯域分離装置 2 0 , 高速 A T M 網 1 1 , C P E 1 4 a , 1 4 b , 及び D T E 1 0 a ~ 1 0 c に代えて、送信装置 1 2 0 が接続されていても良い。また、実施形態 1 によるネットワークシステムは、帯域多重装置 3 0 , 高速 A T M 網 1 2 , C P E 1 4 c , 1 4 d , 及び D T E 1 0 d , 1 0 e に代えて、受信装置 1 3 0 が接続されていても良い。

〔実施形態 3 〕次に、本発明の実施形態 3 を説明する。但し、実施形態 3 は、実施形態 1 及び実施形態 2 とほぼ同様であるので、相違点のみについて説明する。実施形態 1 及び実施形態 2 における C B N 生成部 4 3 , 及び C B N 付加部 4 4 a ~ 4 4 c は、同一の周期にて複数の低速回線 1 ~ 3 の夫々に割り振られる各セル S に対して、同一のセルブロック番号を付加する。

【 0 1 2 8 】これに対し、実施形態 3 では、送信部 2 2 の C B N 生成部 4 3 が、セルブロック番号に代えて、1 つの高帯域セル列をなす各セルの順番を高帯域セル列をなす複数のセル S の順番に関する情報(順序情報)としてそのまま使用し、C B N 付加部 4 4 a ~ 4 4 c が、送信部 2 2 から送出する各セル S のヘッダ H 1 に順序情報を付加する。従って、順序情報は、実施形態 1 及び実施形態 2 と異なり、複数の低速回線 1 ~ 3 の夫々にセル S を割り振る周期とは全く無関係の情報となる。

【 0 1 2 9 】即ち、帯域分離装置 2 0 (図 1 , 図 2 4 参照)では、高帯域セル列をなす複数のセル S のヘッダ H 1 に高帯域セル列における順番が夫々付加され、高帯域セル列をなす複数のセル S が三つの低帯域セル列に分割され、各低帯域セル列を対応する何れかの低速回線 1 ~ 3 を用いて伝送される。

【 0 1 3 0 】帯域多重装置 3 0 では、各低速回線を通じて伝送されてきた三つの低帯域セル列をなす各セル S のヘッダ H 1 に付加された順序情報に基づいてセル S の多重が行われ、三つの低帯域セル列が一つの高帯域セル列に復元される。

【 0 1 3 1 】実施形態 3 によれば、セル S の順番に関する情報として、高帯域セル列における各セル S の順番がそのまま使用されるので、帯域分離装置 2 0 の C B N 生成部 4 3 , 及び帯域多重装置 3 0 の C B N チェック部 5

2 の構成を、実施形態 1 及び実施形態 2 に比べて簡略化することができる。

【 0 1 3 2 】

【発明の効果】本発明によるネットワークシステム, 送信装置, 及び受信装置によると、複数の回線の夫々から受信したセルを、その複数の回線の夫々におけるセル遅延やセル揺らぎに拘わらず適正な順序に並べることができる。従って、従来に比べてより適正にデータ通信を行うことができる。

10 【図面の簡単な説明】

【図 1】本発明の実施形態 1 によるネットワークシステムの全体構成図

【図 2】セルの説明図

【図 3】SONET フレームのフォーマットの説明図

【図 4】フレームのフォーマットの説明図

【図 5】図 1 に示した送信部の構成図

【図 6】図 5 に示した切替制御部の構成図

【図 7】図 6 に示した切替制御部の動作説明図

【図 8】図 5 に示したセレクタの構成図

20 【図 9】図 8 に示したセレクタの動作説明図

【図 10】図 5 に示した C B N 生成部の構成図

【図 11】図 10 に示した C B N 生成部の動作説明図

【図 12】図 5 に示した C B N 付加部の構成図

【図 13】図 12 に示した C B N 付加部の動作説明図

【図 14】図 5 に示した送信部の動作説明図

【図 15】図 1 に示した受信部の構成図

【図 16】図 15 に示した受信セルバッファ部の構成図

【図 17】図 16 に示した受信セルバッファ部の動作説明図

30 【図 18】図 15 に示した C B N チェック部の構成図

【図 19】図 18 に示した C B N チェック部の動作説明図

【図 20】図 15 に示したセル多重部の構成図

【図 21】図 20 に示した C B N チェック部の動作説明図

【図 22】図 15 に示した受信部の動作説明図

【図 23】図 15 に示した受信部の動作説明図

【図 24】実施形態 2 によるネットワークシステムの構成図

40 【図 25】従来技術の説明図

【図 26】従来技術の説明図

【符号の説明】

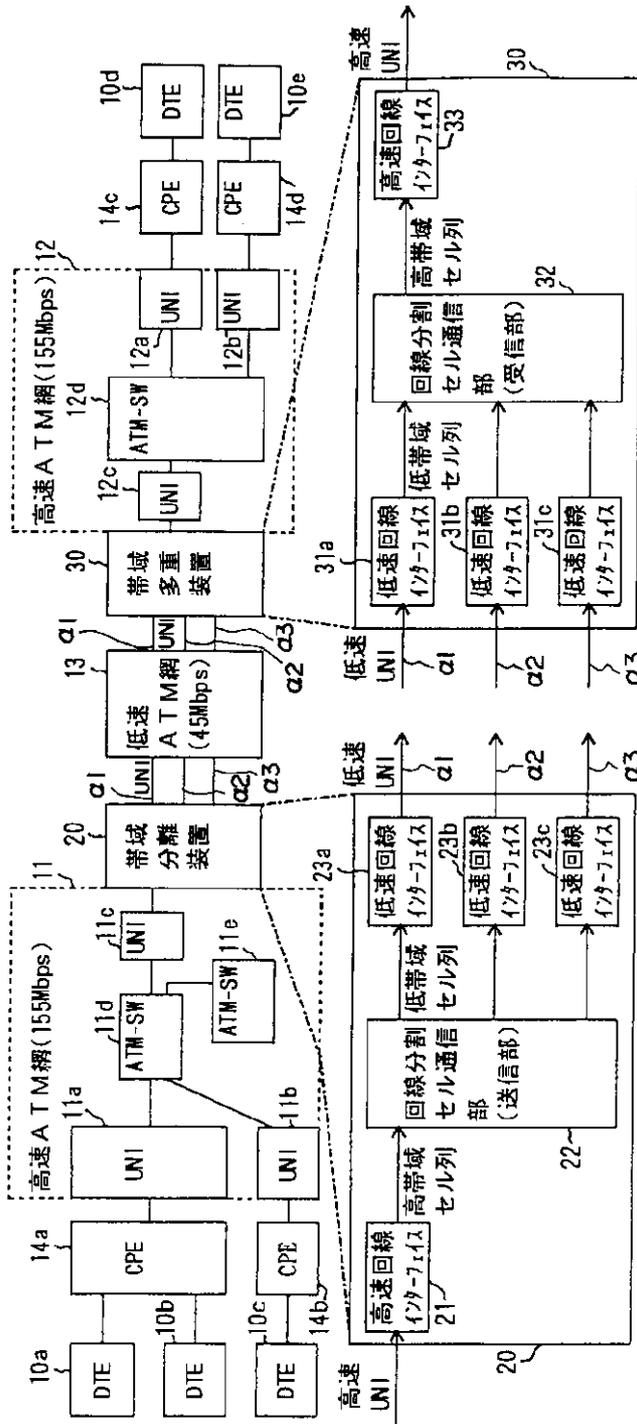
- 1, 2, 3 低速回線(複数の回線)
- S セル
- 1 3 低速 A T M 網(複数の回線を有する網)
- 2 0 帯域分離装置
- 2 2 回線分割セル通信部(送信手段)
- 2 5 G F C 領域(一般的フロー制御情報格納領域)
- 3 0 帯域多重装置
- 5 0 3 2 回線分割セル通信部(受信手段)

- 4 1 切替制御部
- 4 2 セレクタ
- 4 3 CBN生成部(ブロック番号生成部)
- 4 4 a, 4 4 b, 4 4 c CBN付加部(ブロック番号付加部)

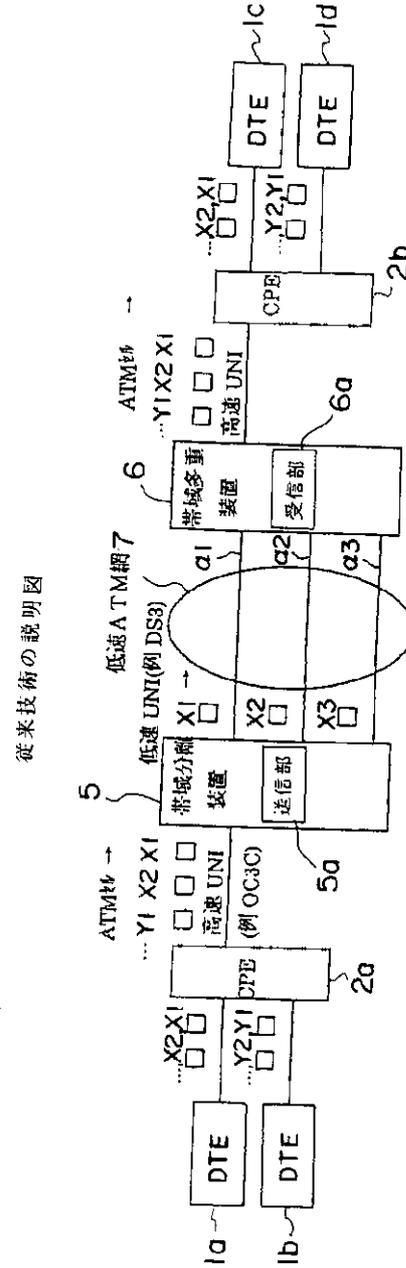
- * 5 1 a, 5 1 b, 5 1 c 受信セルバッファ部(セル保持部)
- 5 2 CBNチェック部(ブロック番号チェック部)
- 5 3 セル多重部

*

【図 1】



【図 2 5】

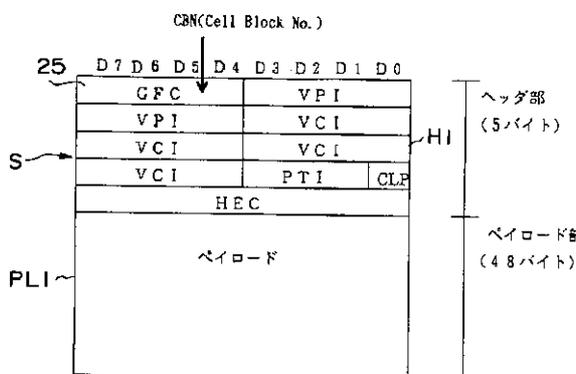


従来技術の説明図

本発明の実施形態 1 によるネットワークシステムの全体構成図

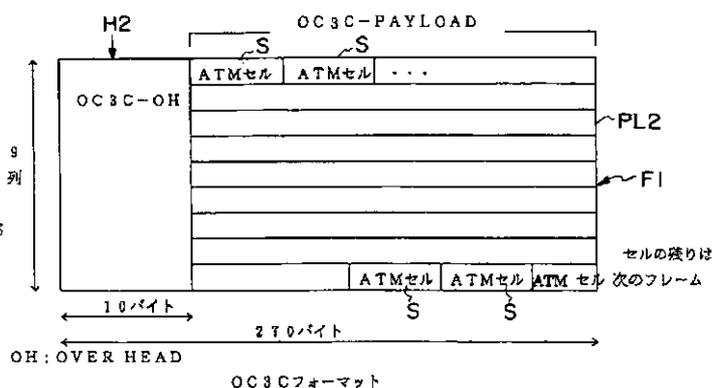
【図2】

セルの説明図



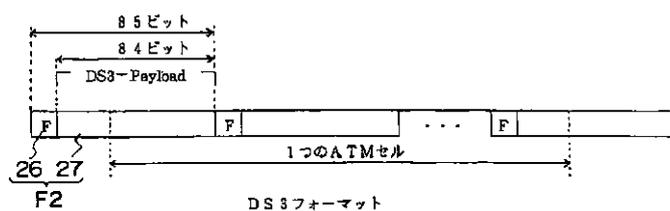
【図3】

SONETフレームのフォーマットの説明図



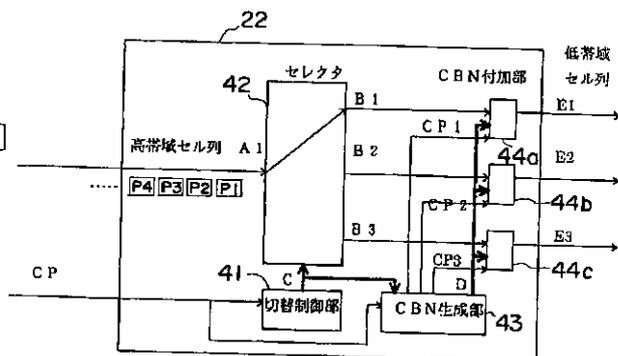
【図4】

フレームのフォーマットの説明図



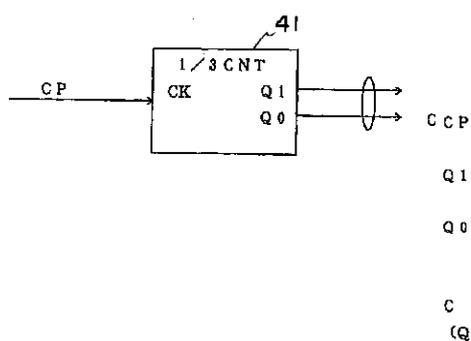
【図5】

図1に示した送信部の構成図



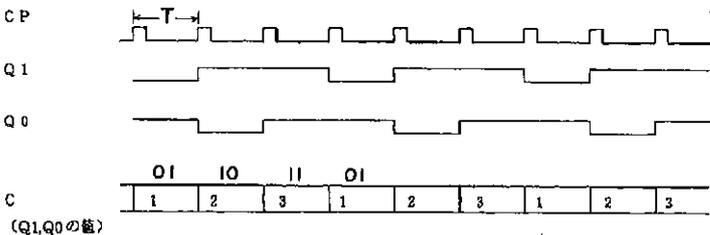
【図6】

図5に示した切替制御部の構成図



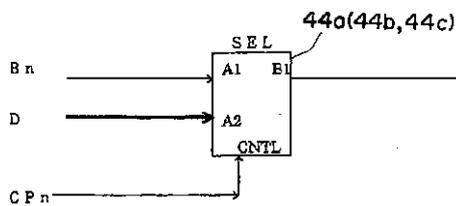
【図7】

図6に示した切替制御部の動作説明図



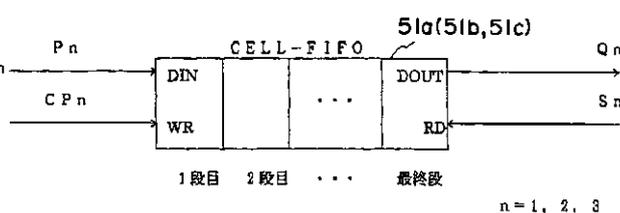
【図12】

図5に示したC BN付加部の構成図



【図16】

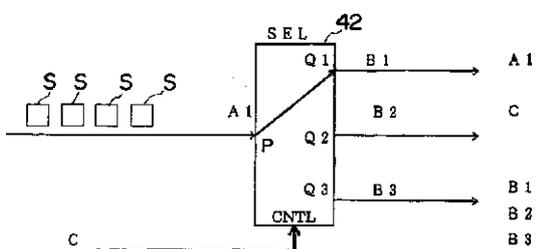
図15に示した受信セルバッファ部の構成図



n=1, 2, 3

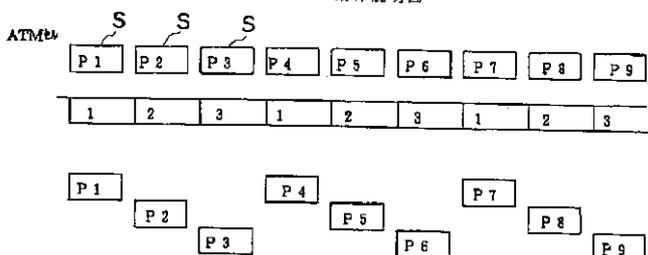
【図 8】

図 5 に示したセレクトの構成図



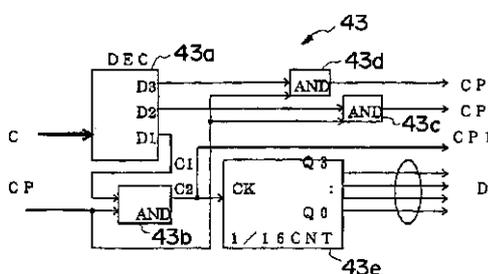
【図 9】

図 8 に示したセレクトの動作説明図



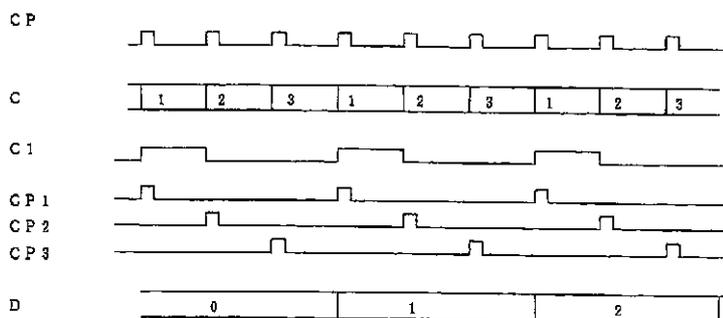
【図 10】

図 5 に示した CBN 生成部の構成図



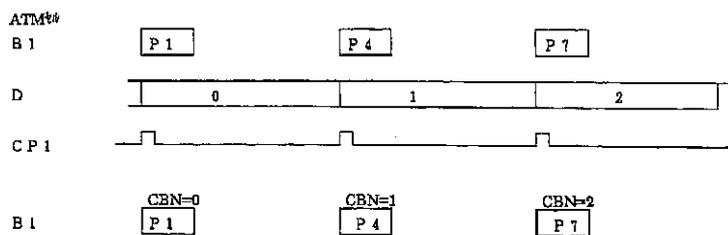
【図 11】

図 10 に示した CBN 生成部の動作説明図



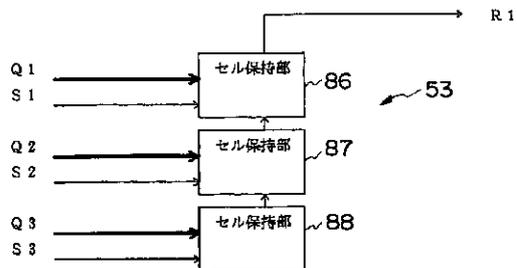
【図 13】

図 12 に示した CBN 付加部の動作説明図



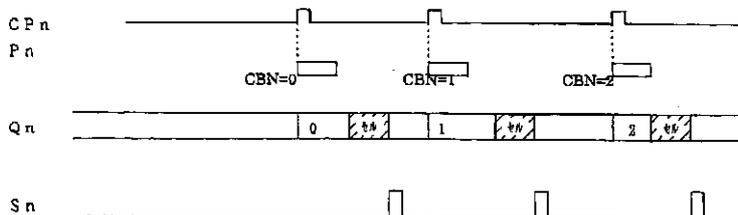
【図 20】

図 15 に示したセル多重部の構成図



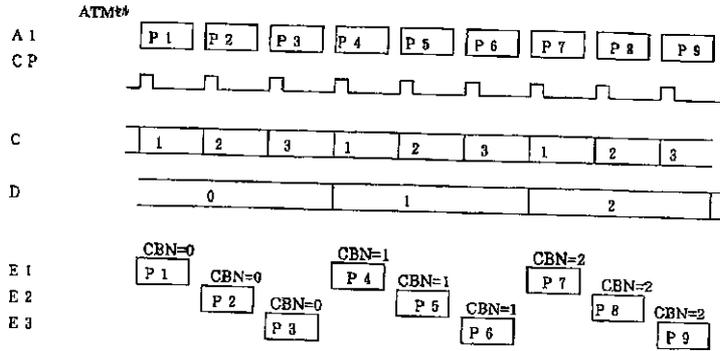
【図 17】

図 16 に示した受信セルバッファ部の動作説明図



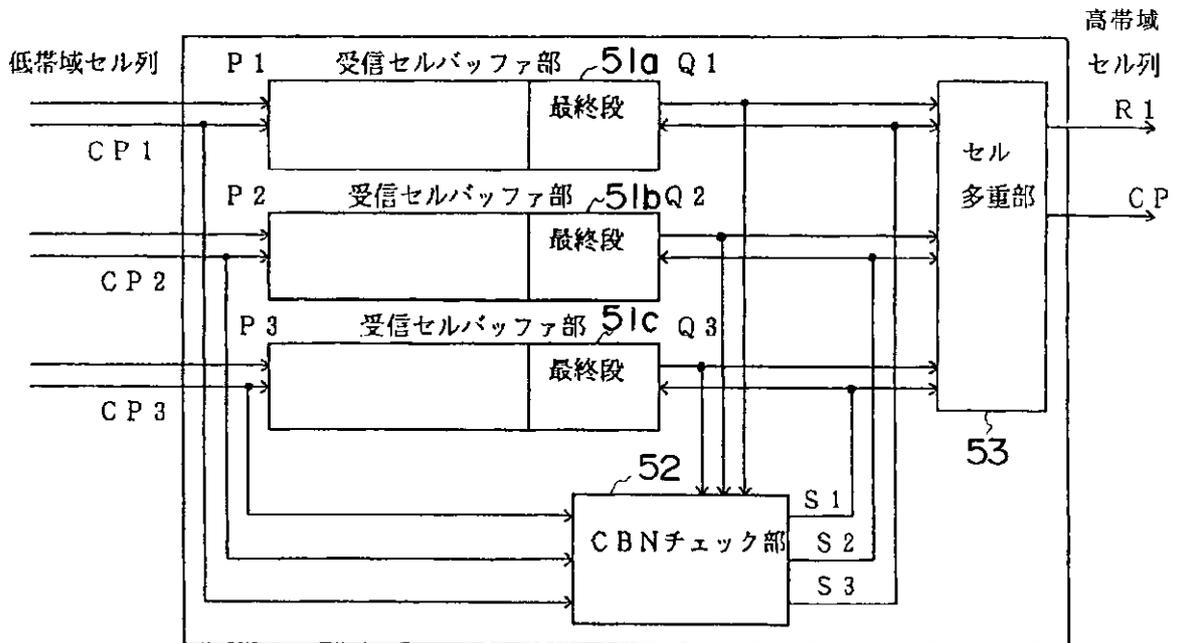
【図 14】

図 5 に示した送信部の動作説明図

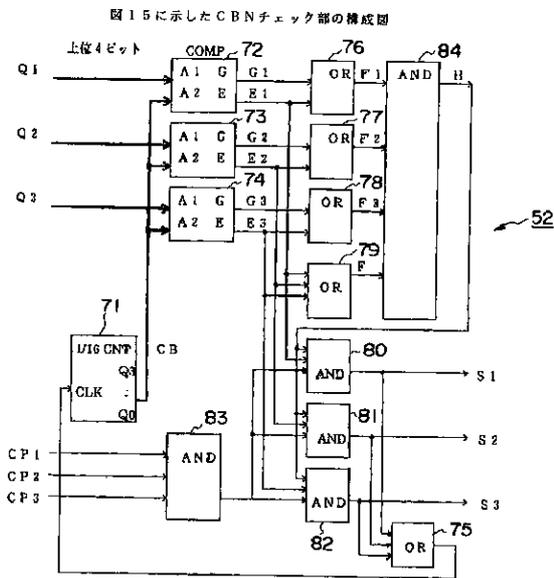


【図 15】

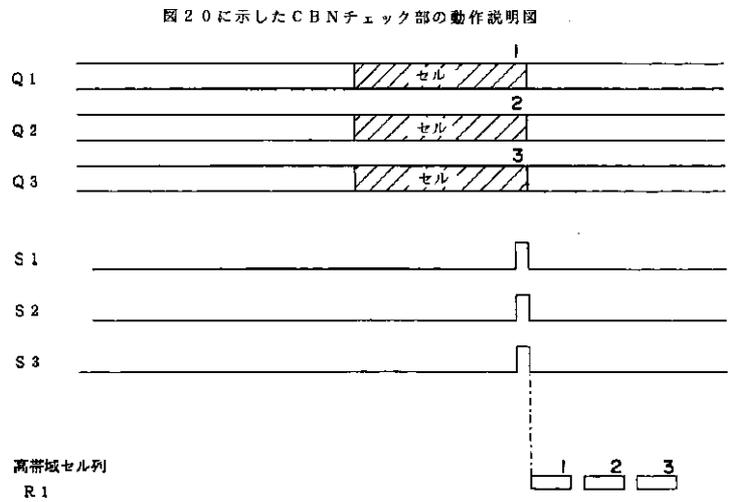
図 1 に示した受信部の構成図



【図 1 8】

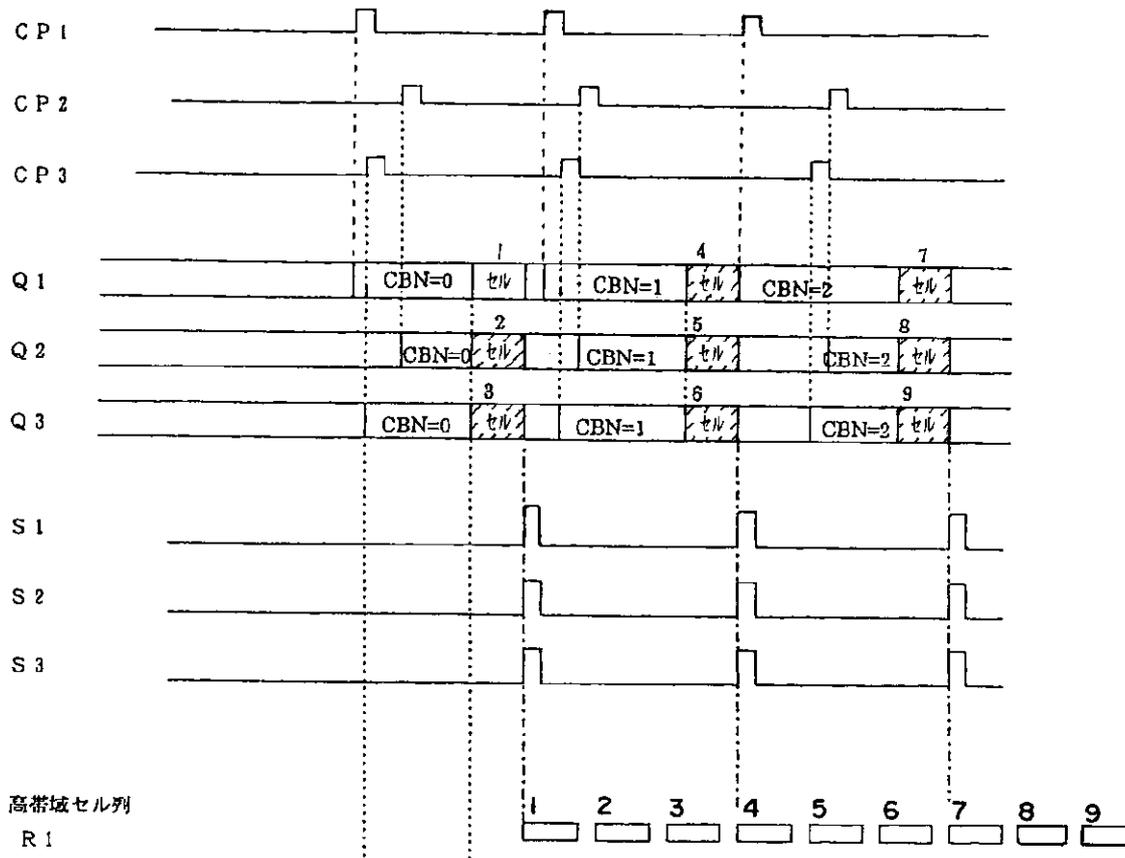


【図 2 1】



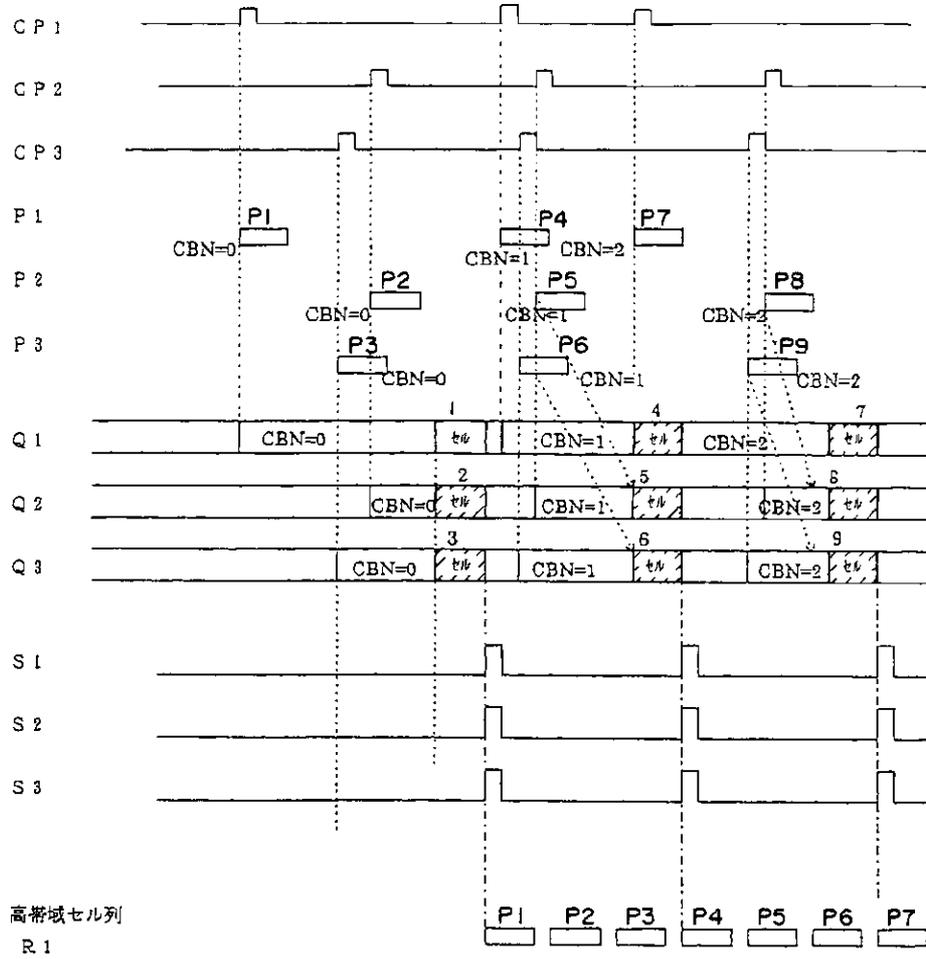
【図 1 9】

図 1 8 に示した CBN チェック部の動作説明図



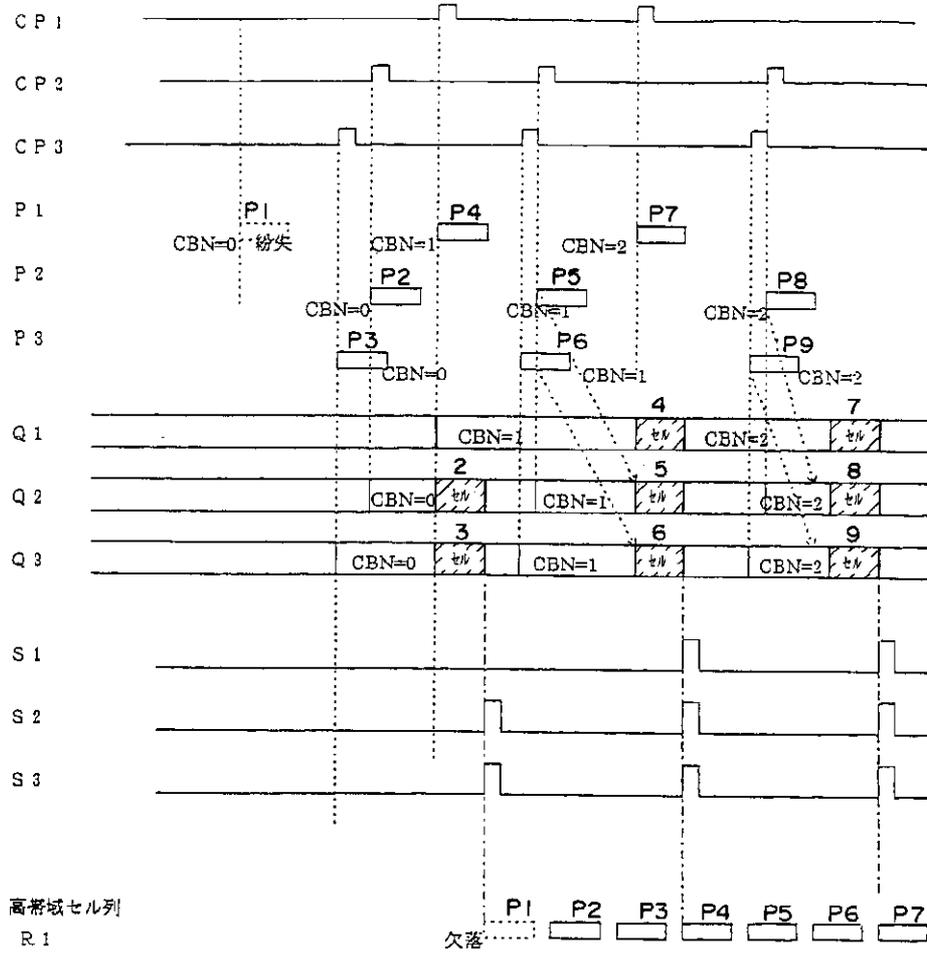
【図 2 2】

図 1 5 に示した受信部の動作説明図



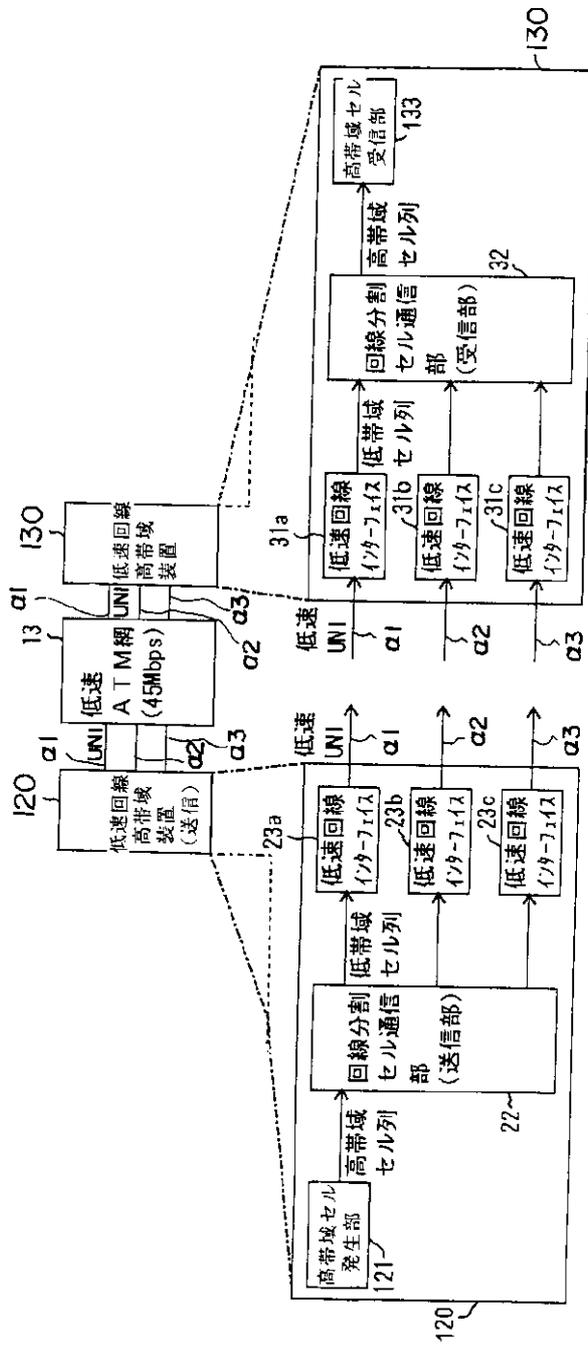
【図 2 3】

図 1 5 に示した受信部の動作説明図



【図 2 4】

実施形態 2 によるネットワークシステムの構成図



【図26】

